

Министерство науки и высшего образования Российской Федерации

Томский государственный университет систем
управления и радиоэлектроники

А.А. Бомбизов
К.А. Сердюков

**СХЕМОТЕХНИЧЕСКОЕ И ТОПОЛОГИЧЕСКОЕ ПРЕДСТАВЛЕНИЕ
В САПР CADENCE IC**

Методические указания к выполнению
лабораторной и самостоятельной работы
по дисциплине «Проектирование систем на кристалле»

Томск
2022

УДК 004.42
ББК 32.973
Б 803

Рецензент:

Тренкаль Е.И., доцент кафедры конструирования узлов и деталей радиоэлектронной аппаратуры ТУСУР, канд. техн. наук

Бомбизов, Александр Александрович
Сердюков, Константин Алексеевич

Б 803 Схемотехническое и топологическое представление в САПР Cadence IC: методические указания к выполнению лабораторной и самостоятельной работы по дисциплине «Проектирование систем на кристалле» / А.А. Бомбизов, К.А. Сердюков. – Томск. гос. ун-т систем упр. и радиоэлектроники, 2022. – 24 с.

Методическое пособие содержит описание и порядок выполнения лабораторной работы по теме «схемотехническое и топологическое представление в САПР Cadence IC» и содержание разделов отчета.

Одобрено на заседании каф. КУДР, протокол № 234 от 5 марта 2022 г.

УДК 004.42
ББК 32.973

© Бомбизов А.А., Сердюков К.А 2022
© Томск. гос. ун-т систем упр. и радиоэлектроники, 2022

1 Введение

Разработка интегральных схем с использованием технологии стандартных ячеек не ограничивается автоматическим синтезом топологии кристалла. Может быть и другой подход, путём проектирования схемы и топологии, да и сами стандартные ячейки необходимо разрабатывать.

Материал предназначен для магистрантов, изучающих дисциплину проектирование систем на кристалле.

Работа должна быть выполнена в принятом для технических работ виде и оформлена согласно образовательному стандарту вуза ОС ТУСУР 01-2021 или более поздней редакции.

2 Исходные данные

Для начала работы потребуется:

1. Cadence IC 6.1.5;
2. Библиотека gsclib045 – учебная библиотека GSCLib Cadence с технологической нормой 45 нм. Архив с библиотекой gsclib045_all_v4.4.tgz необходимо скачать по ссылке в SDO и распаковать в каталог exchange виртуальной машины.

3 Порядок создания библиотеки

1. В своём рабочем каталоге создайте папку Lib, в ней создайте папку cds. Откройте консоль и в ней зайдите в созданную папку Lib, откройте программу virtuoso одноименной командой;

2. В меню tools -> Library path editor проверьте подключены ли библиотеки gpdk045, giolib045, gsclib045. Если этих библиотек нет, то в окне Library path editor в меню file -> open в окне open file нажимаем ок, после этого библиотеки должны подключиться автоматически;

3. В основном окне virtuoso зайдите в меню tools -> Library manager. В открывшемся окне создайте новую библиотеку через меню file -> new -> library. В окне создания библиотеки выберите путь расположения (в созданной ранее папке cds) и назовите новую библиотеку в строке Name. После создания появится окно Technology File for New Library (если не появилось, то возможно оно находится позади остальных окон), в этом окне выберете пункт «Attach to an existing technology library», а в следующем окне необходимо выбрать из списка gpdk045.

4 Порядок создания стандартной ячейки

Последующая инструкция будет описывать пример создания вентиля КМОП-инвертора (рисунок 1).

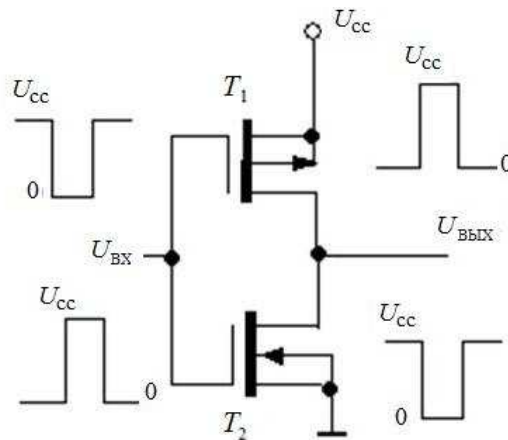


Рисунок 1 – Схема и временные диаграммы инвертора

1. Создайте ячейку File -> New -> Cell View. В появившемся окне задайте название (для инвертора INV), выберите библиотеку, в которой будет создана новая ячейка, и выберите тип представления «Schematic»;

2. После создания новой ячейки будет открыто окно Virtuoso Schematic. В данном окне необходимо создать схему инвертора. Что бы добавить необходимый элемент из другой библиотеки необходимо в меню выбрать Create -> Instance как показано на рисунке 2;

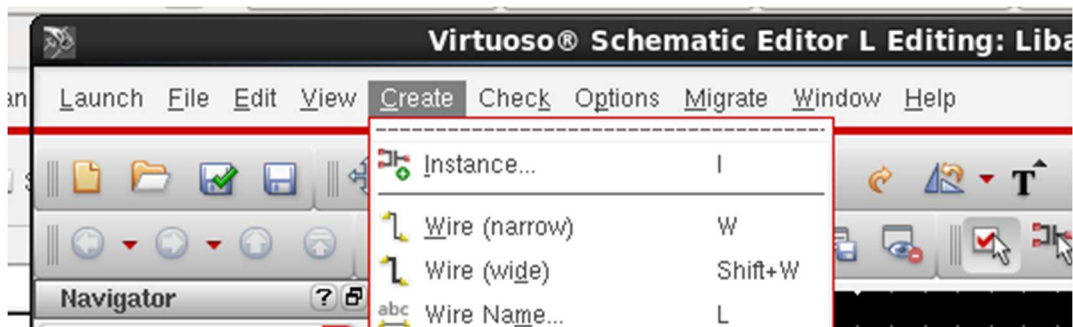


Рисунок 2 – Добавление элемента на схему

3. В появившемся окне нажмите кнопку Browse и в окне Library Browser выберите библиотеку gpdk045 (для удобства поиска необходимых элементов можно поставить галочку напротив “Show Categories” Show Categories). В библиотеке выберите раздел mos, а в нем укажите транзистор «nmos1v» (N-канальный МОП транзистор) или «pmos1v» (P-канальный МОП транзистор). В следующем окне Add instance нажмите HIDE и расставьте выбранные компоненты в рабочей области (рисунок 3);

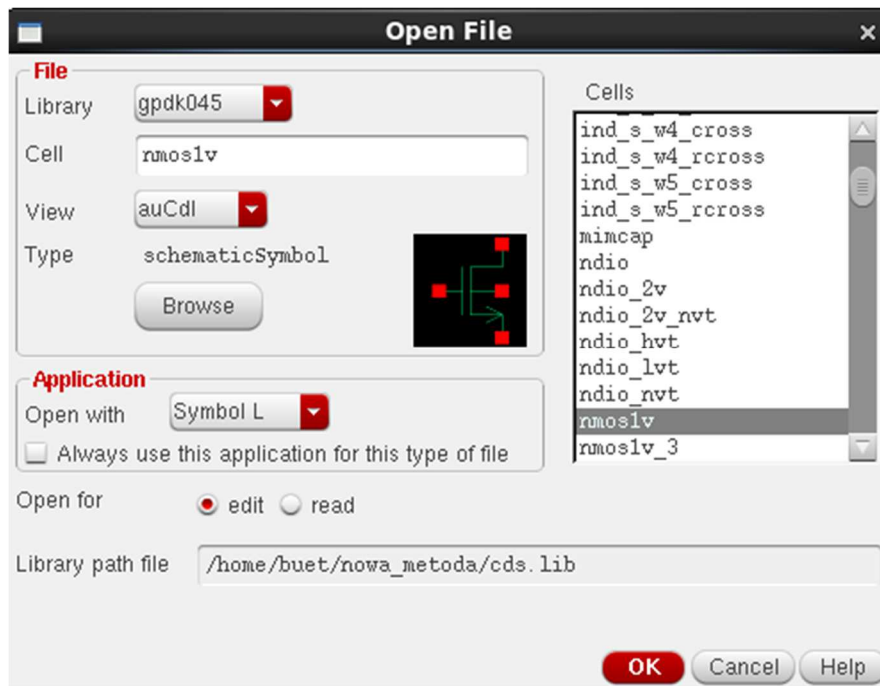




Рисунок 3 – Диалог выбора транзистора

4. После того как все необходимые элементы были выставлены необходимо их соединить и создать входы и выходы для схемы. Для создания цепей можно использовать горячую клавишу “W” или кнопку на панели инструментов . Расставить порты схемы, определяющие входы, выходы и питание, можно с помощью горячей клавиши “P” или кнопки . При создании порта должно появиться диалоговое окно, в котором необходимо определить название порта, является он выходом или входом (или двусторонним портом), а также его тип (analog, power, signal и т.д.). Для инвертора необходимы порты питания VSS (общий) и VDD (положительное напряжение питания), а также вход и выход. После того как порты выставлены в области схемы с ними нужно создать связи так же, как между элементами. На рисунке 4 представлен пример созданной схемы инвертора.

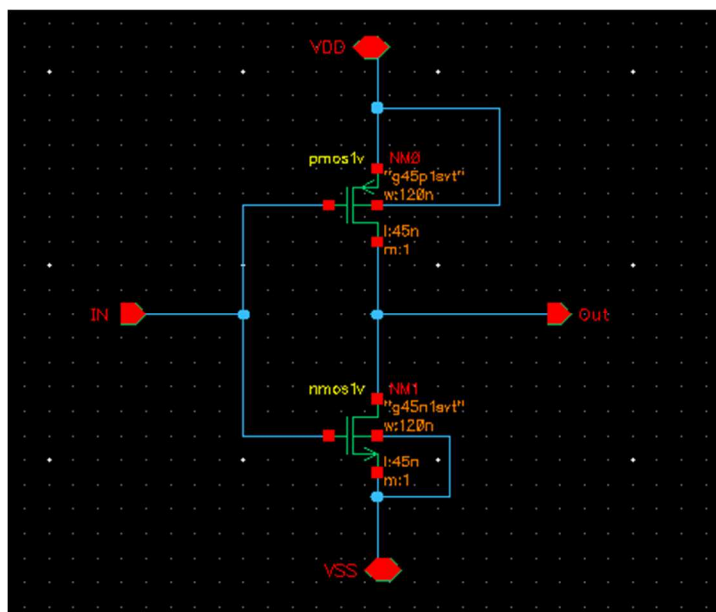


Рисунок 4 – Схема инвертора

5. Далее с помощью пункта в меню Check -> Current Cellview выполняется проверка на ошибки созданной схемы (информация будет отображена в консоли virtuoso как показано на рисунке 5);

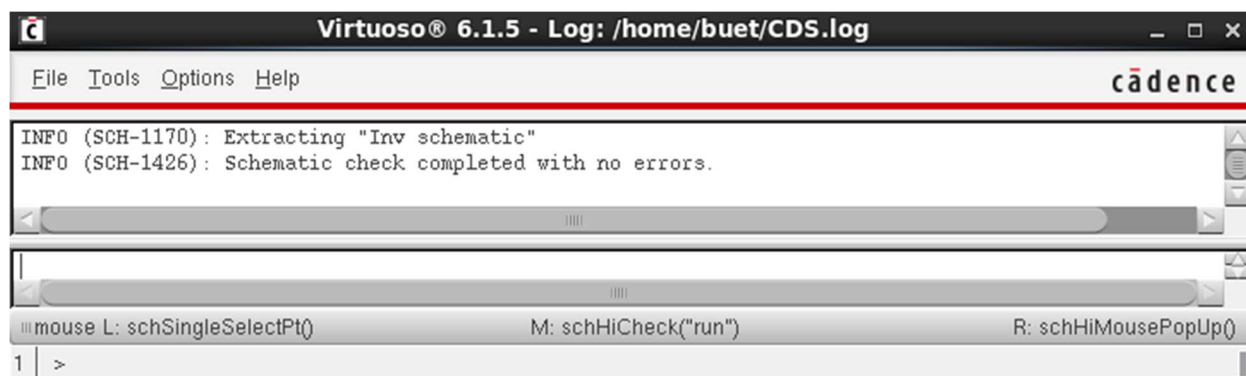



Рисунок 5 – Консоль Virtuoso

6. Для завершения создания схемного представления стандартной ячейки сохраните результат с помощью кнопки в панели инструментов 

5 Порядок создания символьного представления

1. Далее необходимо создать схемное обозначение созданного элемента. Для этого в меню выберите Create -> Cellview -> From Cellview, после чего появится диалог, как показано на рисунке 6;



Рисунок 6 – Диалог создания символа

2. В появившемся диалоге необходимо выбрать schematicSymbol и нажать ОК. После чего появится окно (рисунок 7), в котором необходимо расставить пины схемы и нажать ОК;



Рисунок 7 – Мастер генерации символа

3. Далее появится окно для редактирования символа созданного элемента (рисунок 8);

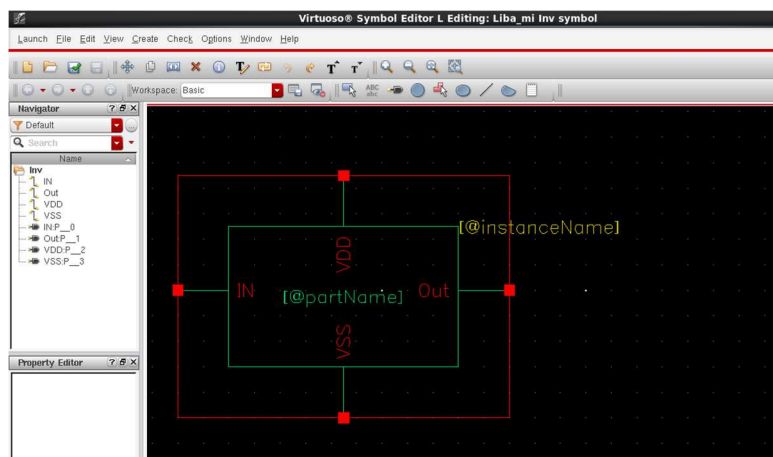


Рисунок 8 – Окно редактирования символа

4. Для редактирования символа элемента можно использовать различные инструменты, представленные в меню



. На рисунке 9 представлен схемный символ инвертора.

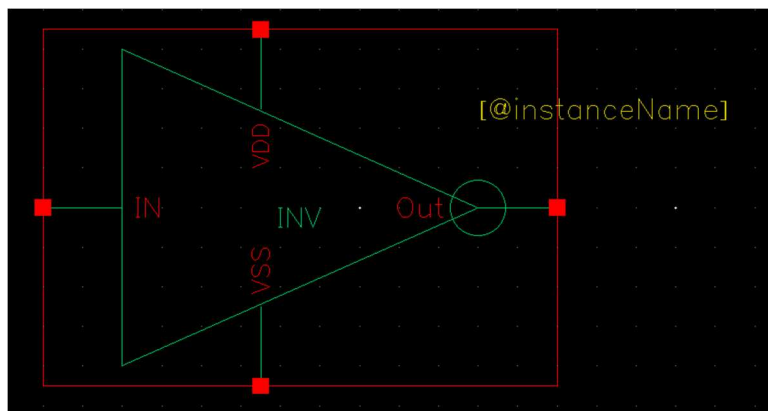



Рисунок 9 – Отредактированный символ инвертора

5. После завершения редактирования символа сохраните результат при помощи кнопки .

6 Порядок моделирование работы схемы

1. Для проверки созданного элемента необходимо разработать схему тестового стенда для организации необходимых воздействий. Для этого необходимо снова создать представление в Library Manager (повторить раздел 4) в рамках созданного компонента. Название желательно дать характерное выполняемым задачам;

2. Разместите в рабочей области вновь созданного представления созданный ранее элемент (рисунок 9);

3. Для создания тестового стенда необходимо использовать источники напряжения, которые находятся в библиотеке analogLib в разделе Sources -> Independent. Вставить на схему их можно аналогично другим компонентам. Для создания симуляции понадобится источник постоянного напряжения vdc (рисунок 10) и источник воздействующих импульсов vpulse. Общий провод находится в библиотеке basic в разделе Supplies;

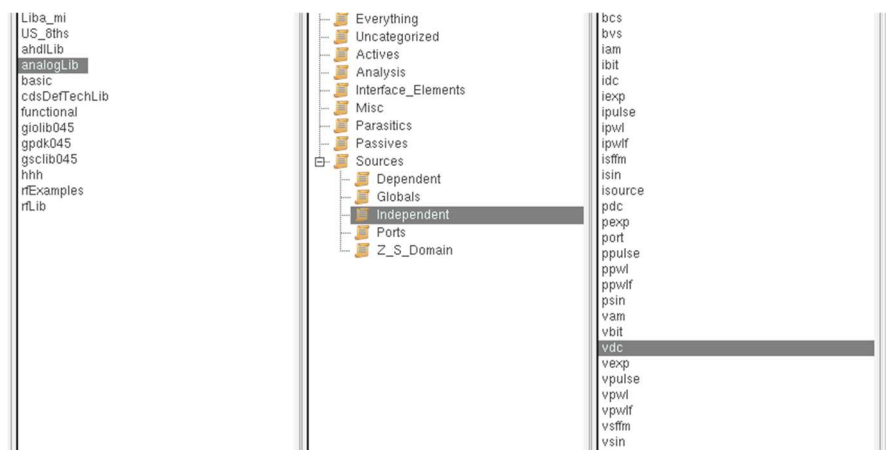


Рисунок 10 – Выбор источника питания

4. В тестируемом устройстве ко всем контактам должны быть подключены оконечные нагрузки или источники в режиме холостого хода понадобится тип контакта No connect (рисунок 11), который находится в библиотеке basic в разделе Misc. Его необходимо подключить к выходу устройства;

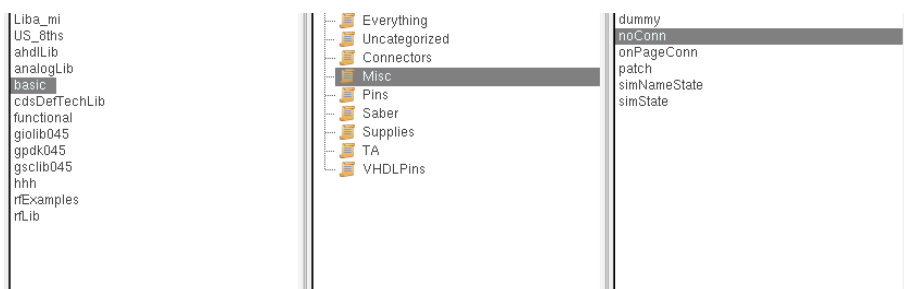



Рисунок 11 – Выбор элемента No connect

5. Для удобства электрическим ветвям можно назначать имена при помощи инструмента в панели  ;

6. На рисунке 12 представлена схема тестового стенда после того как все необходимые элементы были соединены между собой;

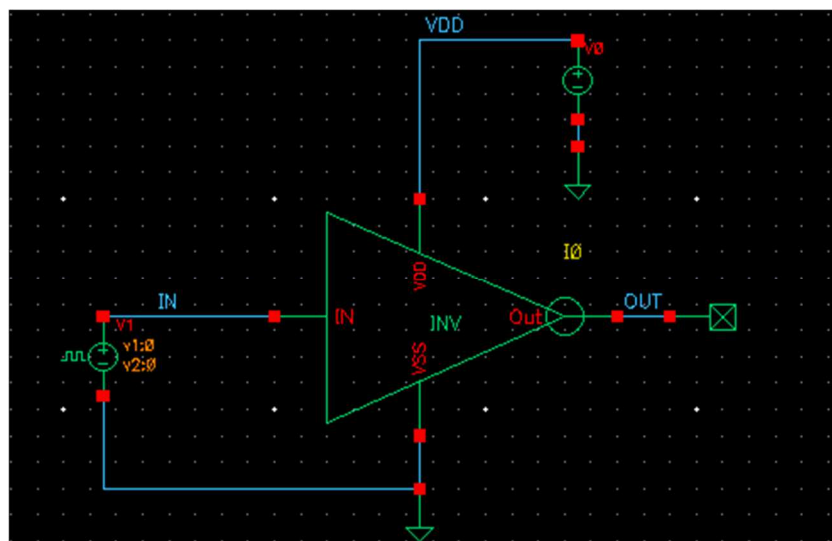


Рисунок 12 – Схема тестового стенда

7. Для настройки источника постоянного напряжения нужно обратиться к его свойствам (Properties), нажав по нему правой кнопкой мыши (рисунок 13), и выставить в пункте DC voltage значение 0,9 (что соответствует параметрам выбранных транзисторов). Параметр может быть задан переменной, например, VDD, что даст возможность проводить симуляцию с изменением значения параметра;

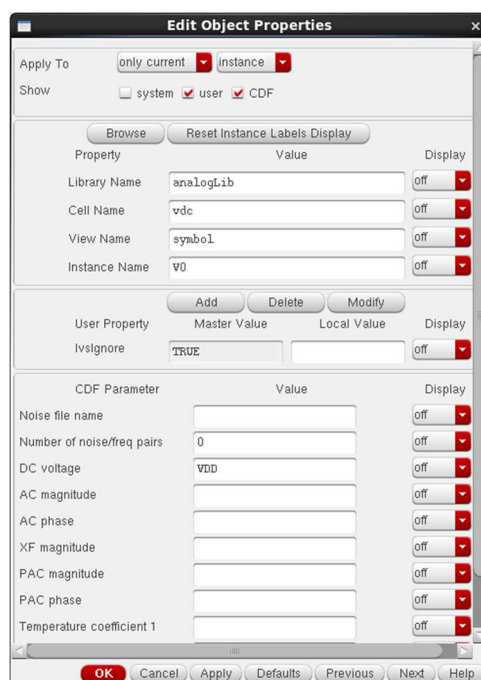


Рисунок 13 – Окно свойств элемента питания

8. Для изменения конфигурации импульсного источника напряжения таким же образом нужно перейти в раздел Properties (рисунок 14). В разделе Voltage 1 этого источника выставить значение 0, а Voltage 2 значение VDD. Период в разделе period необходимо задать с помощью переменной 1/F, где F произвольно выбранное имя переменной, которое будет использовано в

симуляторе. Далее необходимо выставить время нарастания и спада импульса в разделах Rise time и Fall time соответственно (100p соответствующее 100 пс). Ширину импульса (Pulse width) установить равной половине периода, то есть $0,5/F$. Результирующая конфигурация позволит генерировать меандровый сигнал;

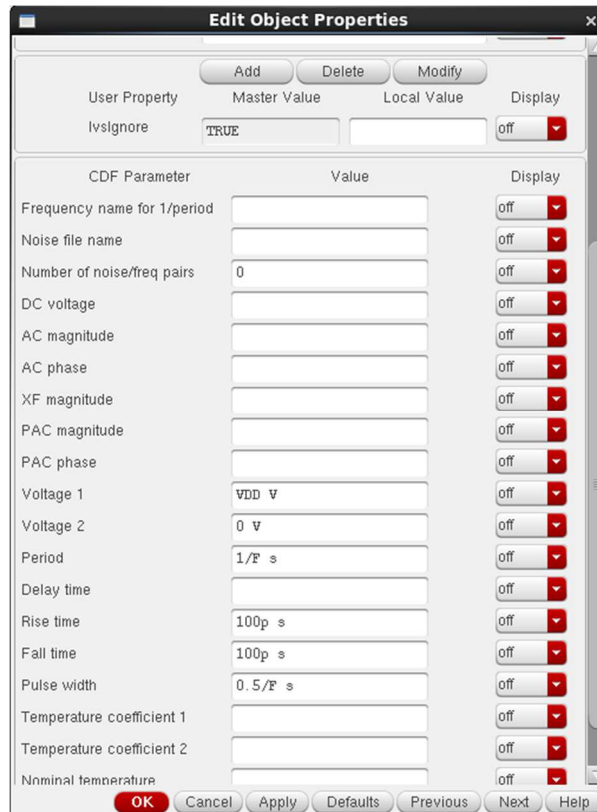



Рисунок 14 – Окно свойств импульсного источника

9. Для проведения симуляции в меню выберите пункт Launch -> ADE L. В открывшемся окне выберите Setup -> Model Libraries (или нажмите на кнопку  в панели инструментов) (рисунок 15);

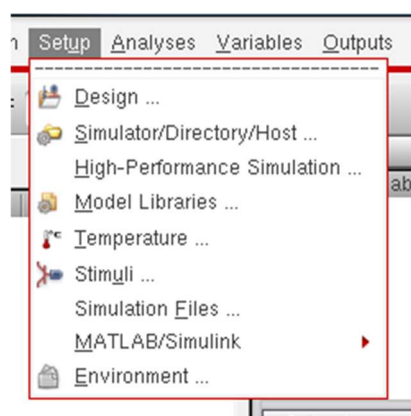


Рисунок 15 – Выбор пункта Model Libraries

В открывшемся окне выберите в колонке Section пункт tt и нажмите ОК (рисунок 16);



Рисунок 16 – Установка варианта модели tt

10. Далее необходимо задать значение переменных, которые были определены в настройках элементов на схеме. Для этого в меню перейдите в раздел Variables и нажмите на Copy From Cellview, после этого в окне ADE L справа появятся переменные. В колонке Value нужно задать им значения, например, как показано на рисунке 17;

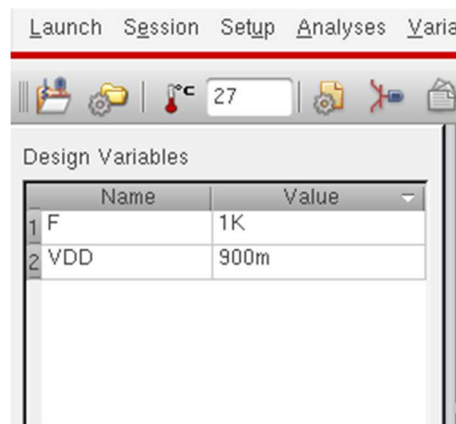


Рисунок 17 – Выбор пункта Model Libraries

11. Далее в меню выберите Analyses -> Choose. В появившемся диалоговом окне установите в разделе Analysis пункт tran (временной анализ), в разделе ниже transient analysis в строке Stop Time пропишите необходимое время анализа, его можно сделать зависимым от какой-либо переменной. Для этого переменную необходимо записать следующим образом VAR(“X”) (где X – это переменная). Так же необходимо выставить галочку напротив conservative. На рисунке 18 показан пример конфигурации с установкой времени анализа, равного пяти периодам воздействующего сигнала;

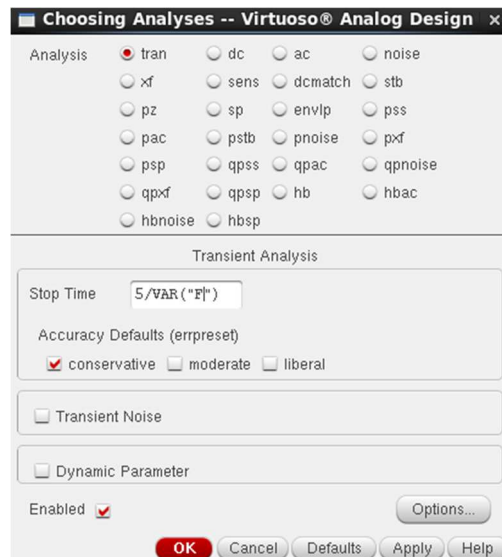


Рисунок 18 – Установка параметров временного анализа

12. Следующим этапом необходимо выбрать ветви схемы, на которых нужно отслеживать сигналы. Для этого в меню выберите Outputs -> To Be Plotted -> Select On Schematic (рисунок 19).



Рисунок 19 – Установка параметров временного анализа

После выбора этого пункта станет активным окно с созданной схемой. На ней необходимо выбрать цепи, в которых требуется измерить напряжения и узлы, в которых требуется измерить ток. Выбранные цепи выделяются цветом, узлы выделяются цветным овалом (рисунок 20).

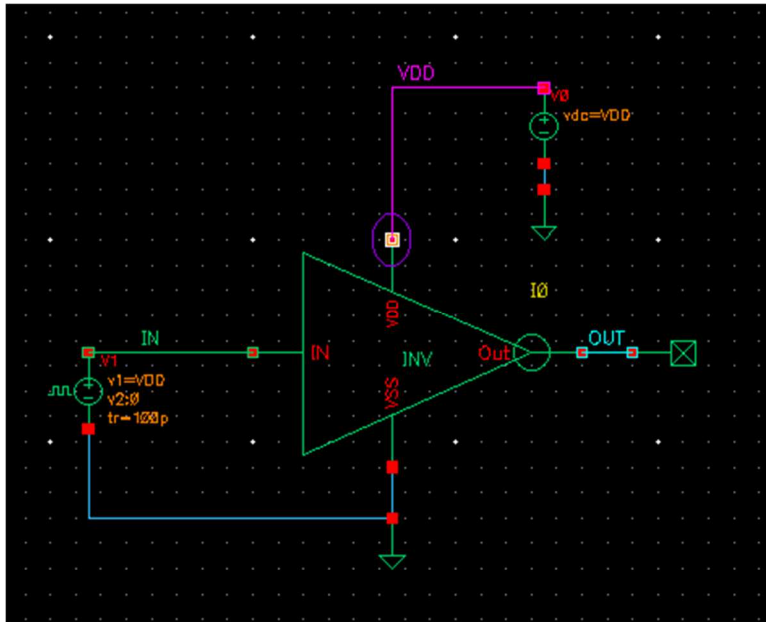


Рисунок 20 – Установка параметров временного анализа

Когда все необходимые цепи и узлы выбраны переключитесь назад в окно ADL;

13. В ADL перейдите в пункт меню Setup-> Environment, открывшееся окно заполните как показано на рисунке 21;

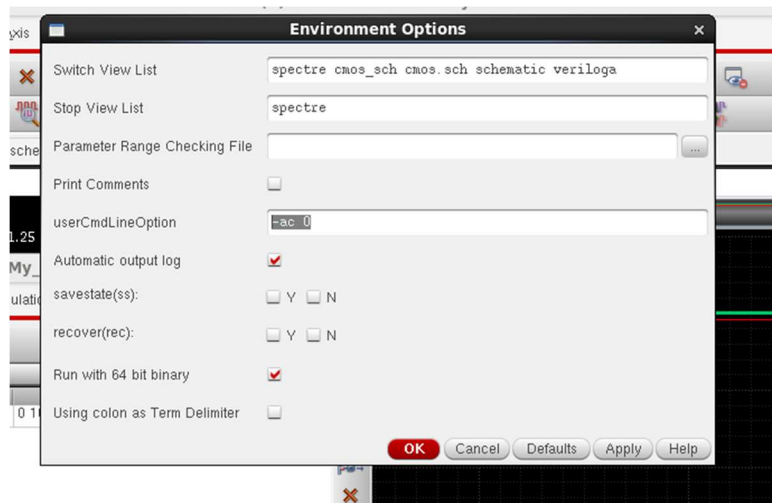




Рисунок 21 – Установка параметров временного анализа

14. После выполнения всех настроек выполните симуляцию работы схемы нажатием на кнопку , находящуюся в левом краю окна. В результате должно появиться окно с графиками работы схемы. Для удобства их рассмотрения можно нажать на кнопку в меню . Пример работы симуляции инвертора изображен на рисунке 22.

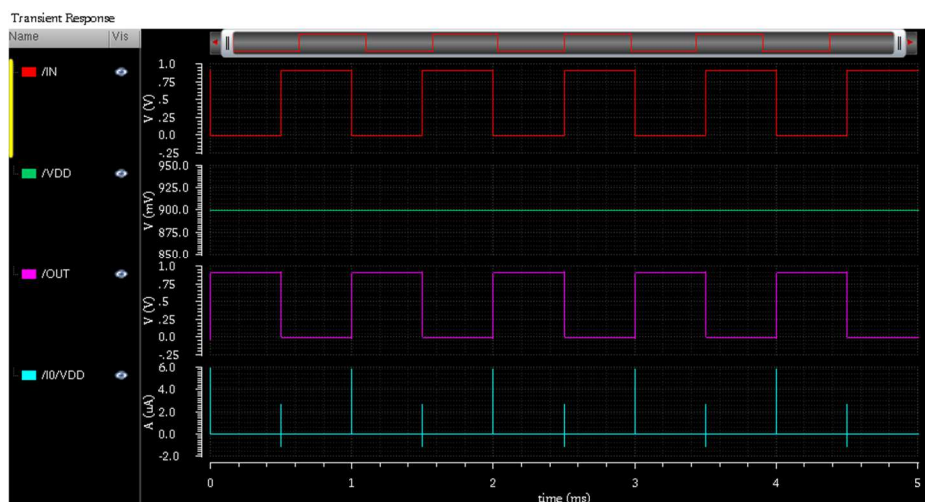


Рисунок 22 – Симуляция инвертора

Для рассмотрения графика можно использовать приближение: правой кнопкой мыши выбирается область, до которой надо приблизить (рисунок 23);

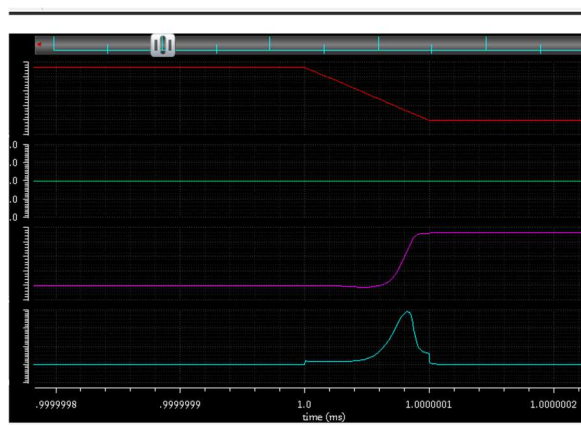


Рисунок 23 – Масштабирование

Нужно отметить, что преимущественно схема потребляет электроэнергию только в момент переключения транзисторов, когда один транзистор еще не успел закрыться, а другой начал открываться.

7 Порядок создания топологического представления

1. Далее необходимо создать топологию разрабатываемой стандартной ячейки. Для этого необходимо переключиться в Library Manager и создать ячейку для первой созданной схемы. В диалоговом окне настройки создаваемого представления необходимо выбрать Layout, а в строке Open with – «Layout XL»;

2. После открытия Layout XL в его меню выберите Connectivity -> Generate -> All From Source (рисунок 24);

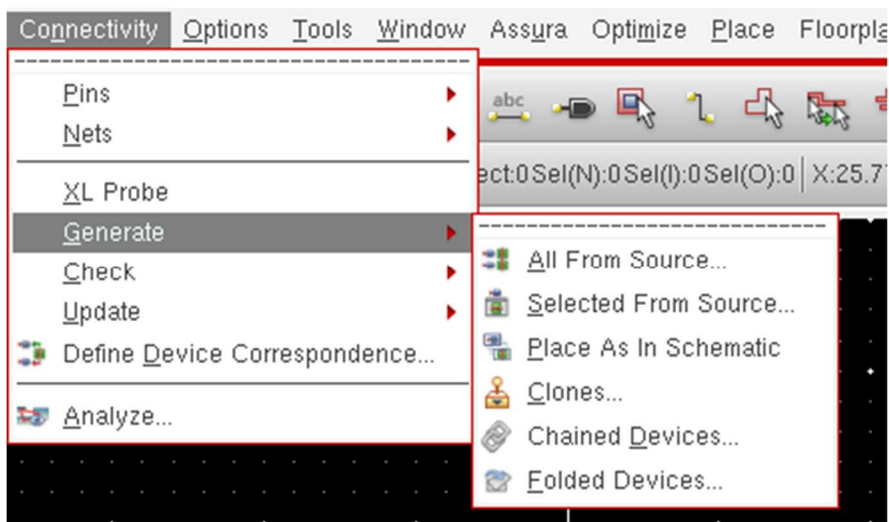


Рисунок 24 – Меню для организации импорта элементов на топологию

В открывшемся окне Generate Layout во вкладке I/O Pins выберите Layer “Metall pin” и нажмите ОК (рисунок 25);

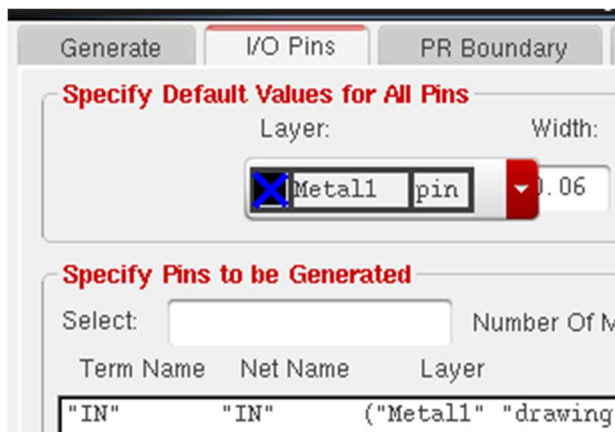


Рисунок 25 – Выбор слоя металлизации для контактов стандартной ячейки

3. После этого должен быть сгенерирован начальный вид топологии, как показано на рисунке 26;

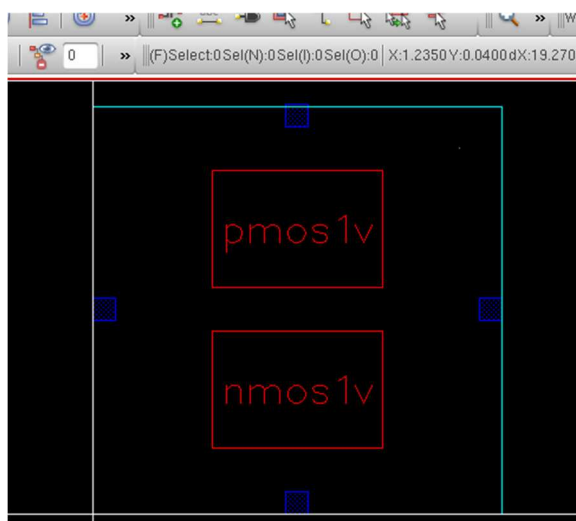


Рисунок 26 – Масштабирование

Что бы включить видимость топологии элементов необходимо нажать shift+f. При выборе контактов они отмечаются так же на открывшейся рядом схеме (рисунок 27);

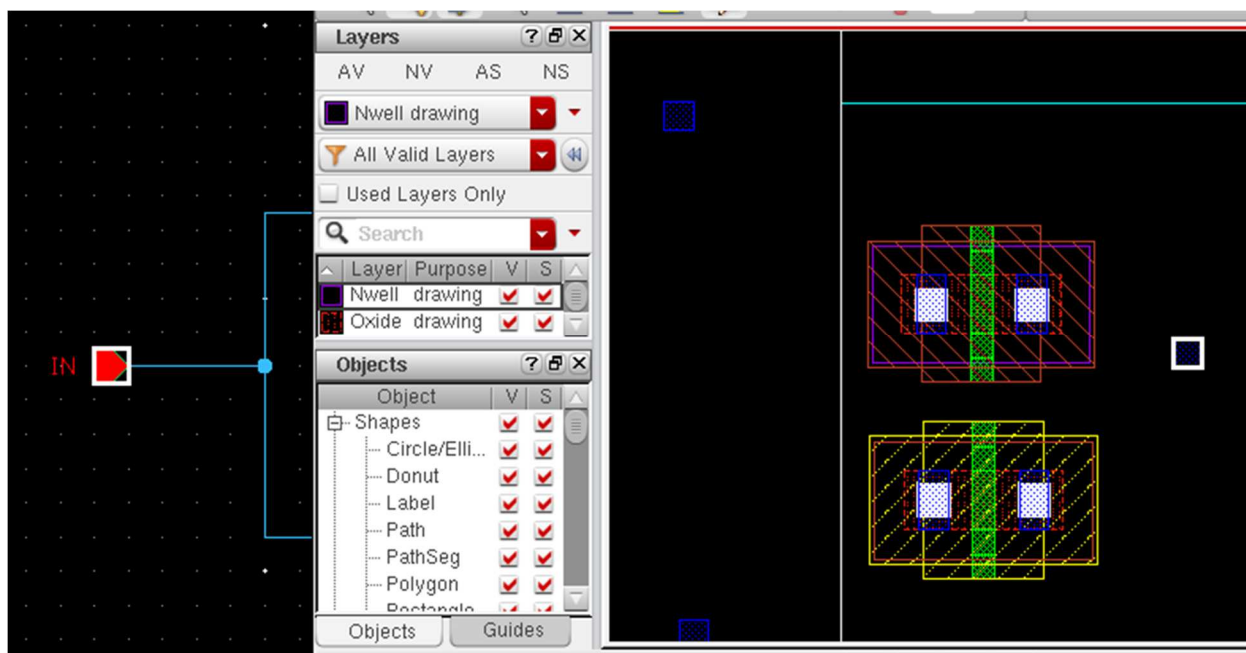


Рисунок 27 – Зеркалированный выбор контактов

4. Для правильного размещения компонентов внутри ячейки необходимо настроить высоту и ширину рамки, отмеченной бирюзовым цветом (рисунок 28).

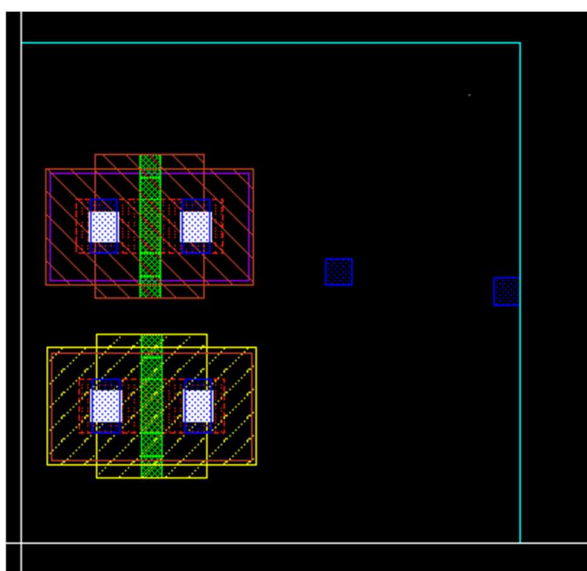



Рисунок 28 – Граница стандартной ячейки

Для этого нажмите на рамку, а затем на кнопку  на панели инструментов (рисунок 29). Высота и ширина рамки выбирается с помощью координат, высота в данном примере будет составлять 1,71, ширина такой

же. После выбора ширины и координат нажмите на кнопку Apply, проверьте правильно ли расположена рамка и нажмите ОК;

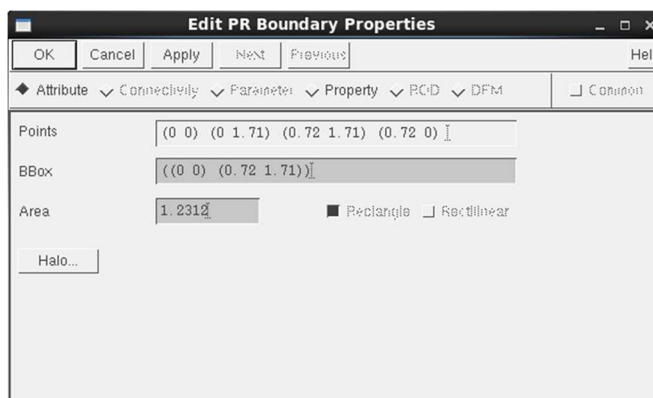



Рисунок 29 – Окно установки границы стандартной ячейки

5. Следующим этапом создаются контактные площадки для подключения питания к ячейке. Они должны быть в форме линейки длиной равной ширине стандартной ячейки. Для этого нажмите на кнопку  в панели инструментов. В появившемся диалоге задайте необходимые параметры контактной площадки, в поле Net Name запишите название необходимого контакта (рисунок 30.). А в разделе Via Definition выберите M1_NWELL для VDD, а для VCC выберите M1_PSUB.

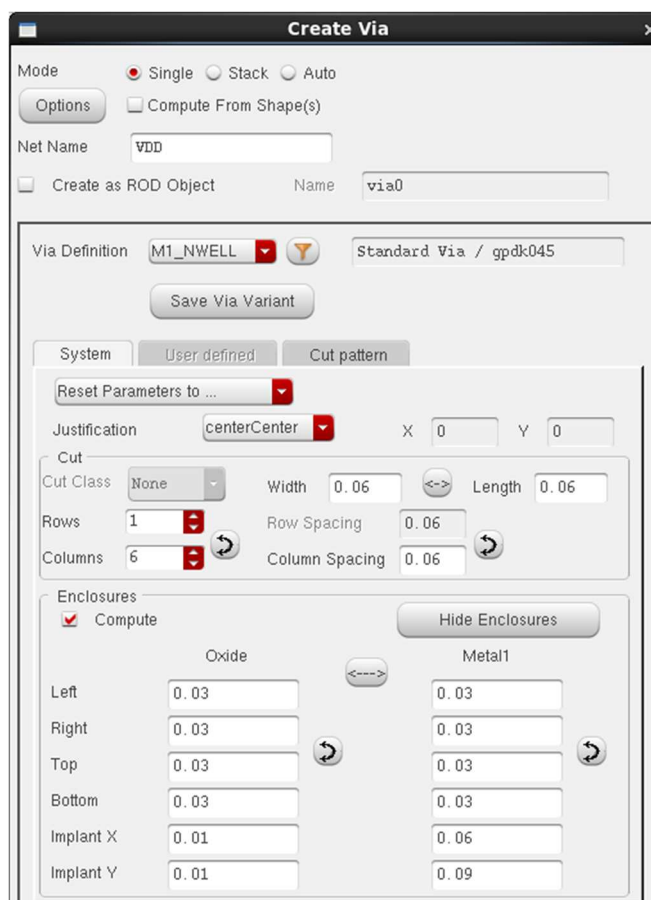


Рисунок 30 – Настройка линейки контактных площадок (шины питания)

После создания контактных площадок расставляются пины (рисунок 31).

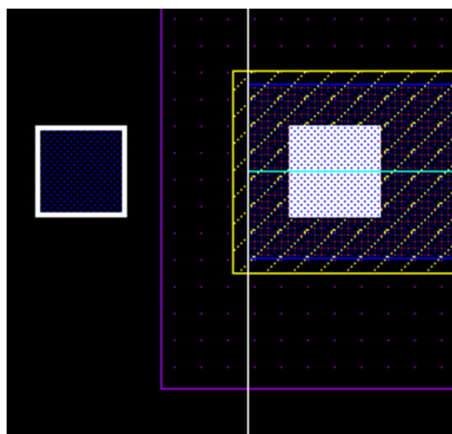


Рисунок 31 – Установка пина

На элементах уже могут быть предусмотрены контактные площадки (рисунок 32);

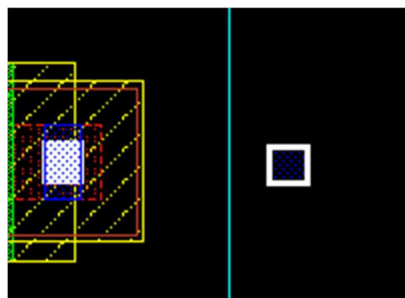



Рисунок 32 – Контактные площадки на пине транзистора

6. Далее необходимо выполнить трассировку, то есть соединить компоненты между собой в слое металлизации. Для этого нужно нажать на кнопку  в панели инструментов, затем выбрать мышкой откуда нужно вести проводник (слой будет выбран автоматически) и куда. В результате должна получиться топология, как показано на рисунке 33, где синим цветом соединены стоки, истоки и питание, зеленым – затворы транзисторов. На линии соединения затворов установлена контактная площадка (IN), на стоках уже предусмотрена контактная площадка.

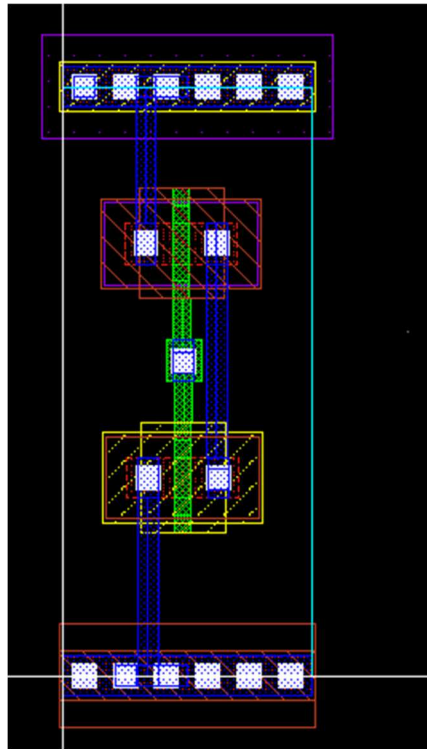


Рисунок 33 – Топология инвертора

Далее необходимо объединить подложку транзистора с питанием или землей в зависимости от типа транзистора в соответствии со схемой электрической принципиальной. Для этого необходимо выбрать слой в окне слева PWdummy или Nwell (рисунок 34).

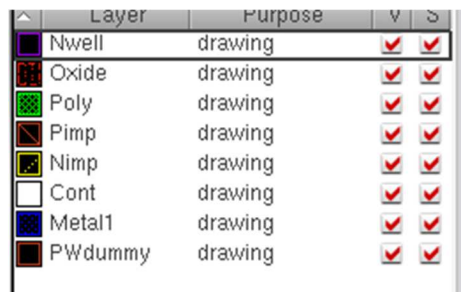


Рисунок 34 – Выбор активного слоя

Далее выбрать в меню Create-> Shape-> Rectangle (рисунок 35) и выделить область, где необходимо разместить полигон.

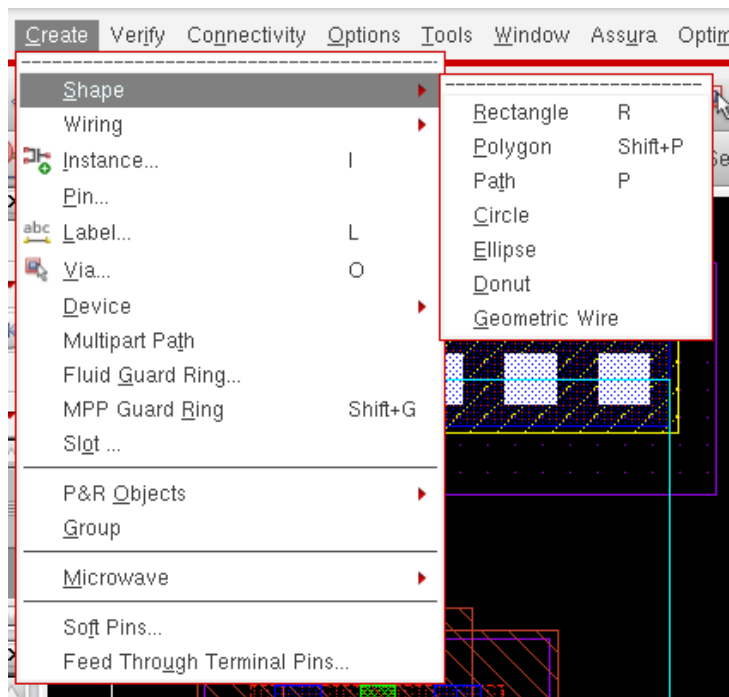


Рисунок 35 – Меню выбора прямоугольника

Готовая топология ячейки инвертора показана на рисунке 36.

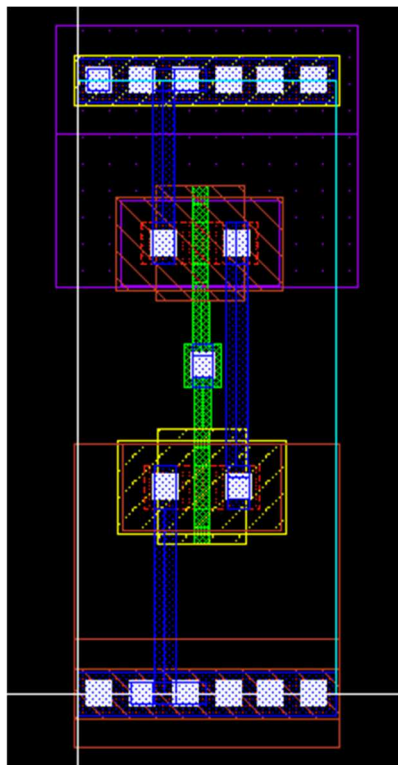


Рисунок 36 – Топология ячейки инвертора

После того как была создана простейшая логическая ячейка (НЕ, И, ИЛИ, ИЛИ-НЕ, И-НЕ и т.п.), ее можно использовать для создания более высокоуровневых элементов (таких как триггеры, мультиплексоры и т.д.). Процесс создания более сложных элементов, состоящих из различных простых, отличается только тем, что в ходе его создания используется

библиотека собственных элементов, которые были созданы ранее (их размещение на схему происходит также как транзисторов в предыдущих элементах). То есть создается иерархическая система.

8 Примерные темы работы

Темы работ определяются преподавателем кафедры. Ниже приведен примерный перечень тем работ:

- 1) 4И-НЕ;
- 2) Мультиплексор из 5-в-1;
- 3) 3И-НЕ;
- 4) Исключающее 3ИЛИ-НЕ;
- 5) Мультиплексор из 4-в-1;
- 6) D-триггер, срабатывающий по уровню (Latch) со входом установки Set;
- 7) Двухступенчатый D-триггер (Flip-Flop) с мультиплексором из 2-в-1 на входе, срабатывающий по фронту с входами установки Set и сброса Reset;
- 8) 3ИЛИ-НЕ;
- 9) D-триггер, срабатывающий по уровню (Latch);
- 10) И-ИЛИ;
- 11) И-ИЛИ-НЕ;
- 12) 4ИЛИ-НЕ;
- 13) Двухступенчатый D-триггер (Flip-Flop) с мультиплексором из 2-в-1 на входе, срабатывающий по фронту с входом установки Set.

9 Порядок выполнения и структура отчета

Выполнение работы должно начинаться с ознакомления с темой. Далее должен быть выполнен литературный обзор по тематически связанным ресурсам, собрана техническая документация на используемые технические средства. Далее должна быть описана и согласована с преподавателем логика работы разрабатываемого устройства в соответствии с выбранным вариантом задания.

Порядок действий:

1. Создать папку lib_ <номер_варианта>;
2. В созданной папке создать библиотеку;
3. В библиотеке создать ячейку в соответствии с вариантом;
4. Декомпонировать вариант задания на логические вентили;
5. Разработать электрическую схему (schematic) каждого логического вентиля. Использовать транзисторы с напряжением питания 1 В;

6. Разработать условно-графическое представление (symbol) вентиля.

В символе терминалов питания и земли быть не должно, только входы и выходы;

7. Создать ячейку со схемой тестовых воздействий <cell_name>_sim и промоделировать каждый вентиль, сохранить ADE L spectre_state;

8. Разработать топологию (layout) вентиляей;

9. Разработать на основе созданных вентиляей схему элемента в соответствии с вариантом задания;

10. Выполнить моделирование работы схемы элемента;

11. Разработать топологию (layout) элемента;

При разработке топологии элемента соблюдать следующие требования:

– высота элемента 2,0 мкм (измеряется между центрами шин питания);

– ширина элемента должна быть кратна 0,12 мкм (ширина контакта 0,06 мкм, зазор между контактами 0,06 мкм);

– шины питания и земли в металле 1 шириной 0,5 мкм;

– контакты к карману n+ и подложке p+ под шинами питания и земли с максимально возможным числом контактов Cont;

– при стыковке с другими элементами не должно быть ошибок DRC;

– ячейки стыкуются по центрам шин земли и питания;

12. Провести физическую верификацию DRC, LVS;

13. Создать ячейку <cell_name>_place и поместить в нее несколько рядов элементов с чередованием шин земли и питания для проверки стыковки элемента, шины земли и питания объединить металлами, чтобы не было ошибок stamp;

14. Разработать abstract и выполнить экспорт LEF-файла;

15. Подготовить отчет о проделанной работе.

Примерная структура отчёта должна быть следующая:

1) титульный лист, оформленный в соответствии с ОС ТУСУР 01-2021 или более поздней редакцией;

2) индивидуальное задание;

3) оглавление;

4) введение. Должно содержать тему и актуальность выполняемой работы;

5) анализ индивидуального задания, включающий в себя литературный обзор по тематически связанным ресурсам, сбор технической документации;

6) описание структурной схемы и декомпозиции элемента на вентиля;

7) результаты схемотехнического моделирования вентиляей;

- 8) результаты схемотехнического моделирования элемента;
- 9) разработка топологии элемента с результатами верификации;
- 10) заключение, содержащее перечень основных полученных в работе результатов и сделанных выводов. В него могут включаться рекомендации относительно перспектив продолжения данной работы;
- 11) список использованных источников. На все перечисленные в списке.