

Министерство науки и высшего образования
Российской Федерации

ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
СИСТЕМ УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ (ТУСУР)

А.А. Жигальский

**ПРОЕКТИРОВАНИЕ ЭЛЕКТРОННОЙ КОМПОНЕНТНОЙ
БАЗЫ МИКРОЭЛЕКТРОНИКИ И
МИКРОСИСТЕМНОЙ ТЕХНИКИ**

Учебное пособие

**Томск
2025**

УДК 621.382.049.77.002(075.8)

ББК 32.844я73

Ж68

Рецензент:

Троян Павел Ефимович,

доктор технических наук, профессор кафедры физическая
электроника ФГАОУ ВО «Томский государственный
университет систем управления и радиоэлектроники»

Жигальский, Александр Анатольевич

Ж68 Проектирование электронной компонентной базы
микроэлектроники и микросистемной техники: Учебное
пособие / А.А. Жигальский. - Томск: Томск. гос. ун-т систем
упр. и радиоэлектроники, 2025. – 204 с.

Приведен лекционный курс по дисциплине «Проектирование
электронной компонентной базы микроэлектроники и микросистемной
техники». В пособии рассматриваются вопросы проектирования
гибридных микросхем, полупроводниковых микросхем на биполярных
и МДП-транзисторах, базовых марочных кристаллов, элементов
постоянных запоминающих устройств.

Предназначено для студентов высших учебных заведений
технических специальностей.

УДК 621.382.049.77.002(075.8)

ББК 32.844я73

Одобрено на заседании кафедры физической
электроники протокол №162 от 07.11.2024 года

© Жигальский А.А., 2025

© Томск. гос. ун-т систем упр. и
радиоэлектроники, 2025

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	5
1 ИЗДЕЛИЯ МИКРОЭЛЕКТРОНИКИ	6
2 КОНСТРУИРОВАНИЕ И РАСЧЕТ ГИБРИДНЫХ МИКРОСХЕМ	11
2.1 Подложки	11
2.2 Материалы пленок тонкопленочных микросхем	14
2.3 Расчет конструкций тонкопленочных резисторов	26
2.4 Тонкопленочные конденсаторы	35
2.5 Пленочные индуктивности	41
2.6 Конструкции тонкопленочных распределенных RC-структур	44
2.7 Особенности конструкций СВЧ ГИС	46
2.8 Конструкции компонентов гибридных микросхем	50
2.9 Проектирование топологии гибридных ИМС	59
3 ТОЛСТОПЛЕНОЧНЫЕ ГИС	66
3.1 Платы толстопленочных ГИС	66
3.2 Пасты для толстопленочных ГИС	67
3.3 Основные технологические операции изготовления толстопленочных ГИС	68
4 КОНТРОЛЬНО-ПРОВЕРОЧНЫЕ РАСЧЕТЫ	71
4.1 Паразитные связи в гибридных ИМС	71
4.2 Обеспечение тепловых режимов работы ИМС	73
5 ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ	79
5.1 Подложки полупроводниковых интегральных микросхем	79
5.2 Конструирование и выбор структуры интегральных транзисторов	84
5.3 Конструирование и расчет диодов	96
5.4 Интегральные резисторы	102
5.5 Конструирование и расчет конденсаторов	112
5.6 Диоды и транзисторы с барьером Шоттки	115
5.7 Методы изоляции элементов ИМС	118
5.8 Разработка топологии полупроводниковых ИМС	125

5.9 Тепловой режим полупроводниковых ИМС	135
6 ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ НА МДП-ТРАНЗИСТОРАХ.....	139
6.1 Типы МДП-транзисторов	139
6.2 Основные принципы построения МДП ИМС	148
6.3 Проектирование топологии МДП ИМС	156
7 МИКРОСХЕМЫ С ФУНКЦИОНАЛЬНО- ИНТЕГРИРОВАННЫМИ ЭЛЕМЕНТАМИ	162
8 ЭЛЕМЕНТЫ ПОЛУПРОВОДНИКОВЫХ ПОСТОЯННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ	168
9 БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ	179
9.1 Принципы построения базовых матричных кристаллов.	179
9.2 Базовые матричные кристаллы на основе биполярных транзисторов	184
9.3 Базовые матричные кристаллы на основе полевых транзисторов с изолированным затвором.....	188
9.4 Проектирование микросхем на основе базовых матричных кристаллов.....	190
10 КОНСТРУКТИВНОЕ ОФОРМЛЕНИЕ И ЗАЩИТА МИКРОСХЕМ	192
10.1 Корпуса микросхем	192
10.2 Защита поверхности кристалла бескорпусных микросхем	201
ЛИТЕРАТУРА	203

ВВЕДЕНИЕ

Данное учебное пособие предназначено для самостоятельного изучения курса «Проектирование электронной компонентной базы микроэлектроники и микросистемной техники» студентами специальностей, связанных с разработкой интегральных устройств твердотельной электроники и содержит основные разделы изучаемой дисциплины. В пособии рассматриваются вопросы проектирования гибридных микросхем, полупроводниковых микросхем на биполярных и МДП-транзисторах, базовых матричных кристаллов, элементов постоянных запоминающих устройств. При разработке учебного пособия ставилась задача достаточно полного и доступного изложения материала. Здесь содержатся данные, необходимые для выполнения студентами курсового проекта по разработке топологии интегральной микросхемы.

Для успешного изучение курса необходимо также знание основ полупроводниковой технологии и принципов работы полупроводниковых приборов.

1 ИЗДЕЛИЯ МИКРОЭЛЕКТРОНИКИ

Интегральная микросхема (ИМС) – это конструктивно законченное микроэлектронное изделие, выполняющее определенную функцию преобразования информации, содержащее совокупность электрически связанных между собой элементов (транзисторов, диодов, резисторов и др.), изготовленных в едином технологическом цикле. Термин «интегральная микросхема» отражает суммирование, объединение значительного числа элементов и соединяющих их проводников в единую конструкцию (конструктивная интеграция), выполнение функций преобразования более сложных по сравнению с функциями отдельных дискретных приборов (схемотехническая интеграция), создание одновременно всех элементов и межэлементных соединений в едином технологическом цикле (технологическая интеграция). Микросхемы изготавливают групповым методом по материалосберегающей технологии, тиражируя одновременно в одной партии от нескольких десятков до нескольких десятков тысяч микросхем.

По конструктивно-технологическому исполнению микросхемы делят на три группы: полупроводниковые, пленочные и гибридные.

В *полупроводниковой* интегральной микросхеме все элементы и межэлементные соединения выполнены в объеме и на поверхности полупроводниковой подложки. На рис. 1.1 *a, б* показаны два варианта изготовления фрагмента полупроводниковой интегральной схемы (ИС), содержащего транзистор, два резистора и конденсатор. В первом варианте транзистор, оба резистора и одна из обкладок конденсатора сформированы в полупроводниковой подложке. Во втором варианте все пассивные элементы выполнены по тонкопленочной, а транзистор по полупроводниковой технологии.

Элемент интегральной микросхемы – это ее неотделимая составная часть, выполняющая какую-либо функцию. Поэтому транзисторы, диоды, конденсаторы, резисторы микросхемы

называют *интегральными*, в отличие от отдельно изготавляемых транзисторов, диодов, конденсаторов, резисторов, которые в этом случае называют *дискретными*.

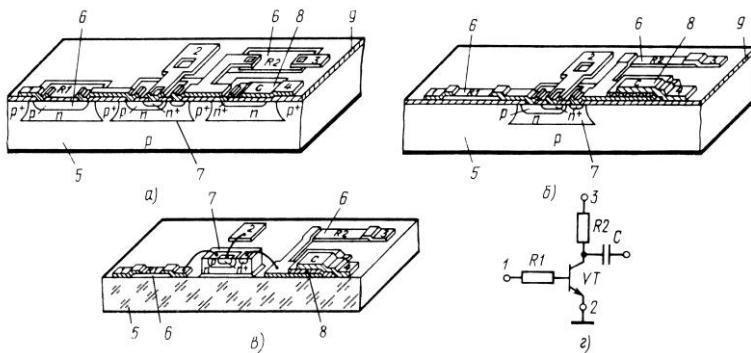


Рис. 1.1 – Варианты конструктивно-технологического исполнения интегральных микросхем: а – полупроводниковая; б – совмещенная; в – гибридная; г – схема электрическая принципиальная; 1-4 – выводы и контактные площадки; 5 – подложка; 6 – резисторы; 7 – транзисторы; 8 – конденсаторы; 9 – пленка

По типу используемых основных активных элементов полупроводниковые микросхемы подразделяют на биполярные и полевые (на МДП-транзисторах). Выпускаются также комбинированные биполярно-полевые полупроводниковые микросхемы, в которых, наряду с биполярными, используются и полевые транзисторы с *p-n*-переходом, характеризующиеся высоким входным сопротивлением и низким уровнем шумов.

В *пленочной интегральной микросхеме* все элементы и соединения между ними выполнены в виде пленок. В настоящее время методами пленочной технологии реализуются только пассивные элементы микросхем – резисторы, конденсаторы и индуктивности.

В зависимости от толщины пленок и способа создания элементов микросхемы подразделяют на *тонкопленочные* и *толстопленочные*. К первым относят микросхемы, толщина пленок в которых не превышает 1 мкм. (Проводящая

металлическая пленка называется тонкой, если ее толщина меньше длины свободного пробега в ней электронов.) Тонкопленочные элементы формируют различными методами: термического испарения материалов в вакууме, электрохимического осаждения из газовой фазы.

В *совмещенных микросхемах* все активные элементы и часть пассивных изготавливают по полупроводниковой технологии в пластине кремния, а часть пассивных элементов – по тонкопленочной технологии. Пассивные элементы располагают на гладких поверхностях защитного диэлектрика, не содержащих ступенек. Необходимость создания совмещенных микросхем вызвана тем, что тонкопленочные резисторы по сравнению с полупроводниковыми обладают более высокими номиналами сопротивлений и точностью изготовления, меньшими величинами паразитных параметров, низким термическим коэффициентом сопротивления, а тонкопленочные конденсаторы, в отличие от полупроводниковых, могут работать при любой полярности. При производстве совмещенных микросхем приходится вводить дополнительные операции нанесения тонких пленок и принимать дополнительные меры защиты тонкопленочных резисторов.

В *гибридной микросхеме* в качестве активных элементов используются навесные дискретные полупроводниковые приборы или полупроводниковые интегральные микросхемы, а в качестве пассивных элементов – пленочные резисторы, конденсаторы, катушки индуктивности и соединяющие их пленочные проводники. Механической основой такой микросхемы является диэлектрическая подложка. Довольно часто в составе гибридной микросхемы используют не только пленочные, но и миниатюрные дискретные конденсаторы, резисторы, катушки индуктивности, дроссели, трансформаторы. Их называют навесными компонентами. Этим подчеркивается, что они изготавливаются отдельно и представляют собой самостоятельные изделия, которые могут приобретаться изготовителем гибридных микросхем как покупные изделия.

Частью конструкции микросхемы является ее подложка. Она выполняет функции: механического основания, изоляции элементов друг от друга, теплоотвода. Подложки выпускаются в виде тонких круглых или прямоугольных пластин. Для полупроводниковых микросхем используют монокристаллические полупроводниковые (кремний, арсенид галлия) и монокристаллические диэлектрические (сапфир, шпинель) подложки. На последних в дальнейшем формируют слой полупроводникового материала, в котором создают элементы микросхем. Их круглая форма определяется способом получения монокристаллических слитков методом вытягивания их из расплава. Для тонкопленочных и гибридных микросхем используют подложки из стекла, стеклокристаллического материала (ситалла) и керамики.

Часть подложки, отведенную под одну микросхему, отделенную от других частей вместе со сформированными на ней элементами, в полупроводниковой технологии называют кристаллом, а в пленочной технологии – *платой*.

В настоящее время микросхемы выпускают в корпусном и бескорпусном исполнениях. Корпуса герметичны и защищают микросхемы от воздействия окружающей среды. Бескорпусные микросхемы предназначены для работы в составе радиоэлектронных устройств, которые целиком размещаются в герметизируемых объемах. Их покрывают лаком или заливают компаундами для защиты от внешних воздействий.

По функциональному назначению микросхемы подразделяются на *цифровые и аналоговые*. Если микросхема предназначена для преобразования и обработки сигналов, изменяющихся по закону дискретной функции, то она называется цифровой (логической). К аналоговым относятся микросхемы, предназначенные для преобразования и обработки сигнала, изменяющегося линейно.

Показателем сложности микросхемы является *степень интеграции K*, которая характеризуется числом содержащихся в ней элементов и компонентов $N:K=\lg N$, где K округляется до ближайшего большего целого числа.

Наибольшей степенью интеграции обладают полупроводниковые микросхемы, затем тонкопленочные и, наконец, толстопленочные (в том числе, гибридные). По степени интеграции полупроводниковые микросхемы на биполярных транзисторах уступают интегральным микросхемам на МДП-транзисторах.

Микросхемы выпускаются в виде серий, к которым относится ряд типов микросхем с различным функциональным назначением, имеющих единое конструктивно-технологическое исполнение и предназначенных для совместного использования. Каждый тип микросхем имеет свое условное обозначение. Система условных обозначений (маркировка) микросхем, выпускаемых отечественными предприятиями для устройств широкого применения, состоит из шести элементов.

Например: КР1118ПА1Б

1 2 3 4 5 6

1 – элемент показывает, что микросхема предназначена для устройств широкого применения;

2 – характеристика материала и типа корпуса:

Е – металлополимерный корпус;

Р – пластмассовый корпус с двухрядным расположением выводов;

М – металлокерамический или керамический корпус;

С – стеклокерамический корпус;

Б – бескорпусные микросхемы;

3 – элемент (одна цифра) указывает группу микросхемы по конструктивно-технологическому признаку:

1, 5, 6, 7 – полупроводниковые;

2, 4, 8 – гибридные;

3 – прочие;

4 – элемент (две или три цифры) определяет порядковый номер разработки серии;

5 – элемент (две буквы) определяет функциональное назначение схемы;

6 – порядковый номер разработки внутри серии. Следующие затем буквы от А до Я указывают допуск на разброс по электрическим параметрам.

2 КОНСТРУИРОВАНИЕ И РАСЧЕТ ГИБРИДНЫХ МИКРОСХЕМ

2.1 Подложки

Гибридные микросхемы находят широкое применение в современной электронике. Эти микросхемы обладают рядом достоинств, среди которых можно отметить возможность использования разнообразных активных элементов, что позволяет создавать микросхемы с широким диапазоном выполняемых функций. Кроме того, элементы гибридных ИМС обладают высокой температурной и временной стабильностью. Основными конструктивными элементами гибридных микросхем являются: диэлектрическая подложка; пленочные резисторы, конденсаторы, индуктивности, проводники, контактные площадки; навесные полупроводниковые приборы (транзисторы, диоды, микросхемы), навесные пассивные элементы (конденсаторы с большой емкостью, трансформаторы, дроссели и т.д.).

Подложка выполняет роль основания, на поверхности которого формируются по заданному рисунку пленочные элементы микросхемы. К конструкции и материалу подложки предъявляется ряд требований, вытекающих из необходимости обеспечения заданных электрических параметров микросхемы, ее надежности и особенностей технологии изготовления пассивных элементов. Материал подложки должен обладать:

- высоким сопротивлением изоляции, низкой диэлектрической проницаемостью и низким тангенсом угла диэлектрических потерь, высокой электрической прочностью для обеспечения качественной электрической изоляции элементов микросхемы, как на постоянном токе, так и в широком диапазоне частот;

- высокой механической прочностью, обеспечивающей целостность подложки с нанесенными элементами как в процессе изготовления микросхемы (разделение на субподложки, термокомпрессия, пайка, установка подложки в корпус и т.д.), так и при ее эксплуатации в условиях термоциклирования, термоударов и механических воздействий;

- высокой химической инертностью к осаждаемым материалам для снижения временной нестабильности параметров пленочных элементов, обусловленной физико-химическими процессами на границе раздела пленка-подложка и проникновением ионов из подложки в пленку;
- стойкостью к воздействию высокой температуры в процессе нанесения тонких пленок и термообработки паст при формировании стеклоэмалевых пленок;
- стойкостью к воздействию химических реагентов в процессе подготовки поверхности подложки перед нанесением пленок, при электрохимических обработках и химическом осаждении пленок;
- способностью к хорошей механической обработке (полировке, резке).

Материалы подложки и нанесенных на нее пленок должны иметь незначительно различающиеся температурные коэффициенты линейного расширения (ТКЛР) для обеспечения достаточно малых механических напряжений в пленках, вызывающих их отслаивание и растрескивание при охлаждении подложки после нанесения пленочных элементов. Кроме того, подложки тонкопленочных ИС должны обладать малым газовыделением для устранения атмосферы в камере напылительной установки.

Структура материала подложки и состояние ее поверхности оказывают существенное влияние на структуру выращиваемых тонких пленок и характеристики пленочных элементов. Большая шероховатость поверхности подложки снижает надежность тонкопленочных резисторов и конденсаторов, так как микронеровности уменьшают толщину резистивных и диэлектрических пленок. При толщине пленок около 100 нм допускается высота микронеровностей примерно 25 нм. Следовательно, обработка поверхности подложки для тонкопленочных микросхем должна соответствовать 14 классу чистоты. Толстые пленки имеют толщину 10...50 мкм, поэтому подложки для толстопленочных ИС могут иметь микронеровности до 1 мкм, что соответствует 8...10 классам

чистоты. Для обеспечения хорошей адгезии пасты к подложке высота микронеровностей должна быть 50÷200 нм.

Таблица 2.1 – Типоразмеры плат ГИС

№ типо-размера	Ширина	Ширина	№ типо-размера	Ширина	Длина
1	96	120	11	5	6
2	60	96	12	2,5	4
3	48	60	13	16	60
4	30	48	14	32	60
5	24	30	15	8	15
6	20	24	16	8	10
7	16	20	17	24	60
8	12	16	18	15	48
9	10	16	19	20	45
10	10	12			

Габаритные размеры подложек стандартизованы. Обычно на стандартной подложке групповым методом изготавливаются несколько плат пленочных микросхем. Безотходное деление стандартной подложки на 2, 3, 4, 6, 8, 12 и более частей дает нормализованный ряд типоразмеров плат. Рекомендуемые к применению типоразмеры плат даны в табл. 2.1. Размеры плат № 3–10 соответствуют посадочным местам стандартных корпусов. Платы с остальными номерами применяются в микросборках. Толщина подложек составляет 0,35...0,6 мм.

Для изготовления подложек применяются бесщелочные стекла, ситалл и керамика. Электрофизические характеристики ситалла удовлетворяют большинству требований, предъявляемых к материалам подложек, поэтому ситалл нашел наибольшее применение в производстве маломощных тонкопленочных ГИС. Основным недостатком ситалла является низкая теплопроводность.

Керамические подложки используются при изготовлении микросхем повышенной мощности благодаря высокому коэффициенту теплопроводности. Наибольшей тепло-

проводностью обладает бериллиевая керамика (99,5% BeO). В производстве тонкопленочных ИС керамические подложки предварительно покрывают тонким слоем окиси tantalа или бесщелочного стекла (стеклянная глазурь) для получения гладкой поверхности. В толстопленочных ИС в основном применяют высокоглиноземистые керамики 22ХС (96% Al_2O_3) и «Поликор», характеризующиеся высокой температурой размягчения, так как обжиг высокотемпературных пироэмалей, применяемых при формировании толстопленочных элементов, производится при температурах около 900°C. Основные характеристики материалов подложек представлены в табл. 2.2.

2.2 Материалы пленок тонкопленочных микросхем

Основными элементами тонкопленочных микросхем являются резисторы и конденсаторы. Тонкопленочные индуктивности применяются значительно реже из-за сложности их изготовления.

Материалы тонкопленочных резисторов. К ним, в первую очередь, предъявляются определенные требования по поверхностному сопротивлению. Наибольшее распространение имеют резисторы с сопротивлениями от 10 Ом до 10 МОм. Линейные размеры резисторов приходится ограничивать: максимальную длину из-за ограниченности размеров подложек, а минимальные длину и ширину – из соображений допустимого разброса. Если ограничить ширину и минимальную длину резистора размером 0,1 мм, а максимальную длину – размером 10 мм, то диапазон необходимых поверхностных сопротивлений слоя составит $10 \div 10^5$ Ом/□. Получение пленок с поверхностными сопротивлениями слоя более 10^4 Ом/□ представляет собой сложную задачу.

Помимо требований к удельному сопротивлению, предъявляются определенные требования и к его стабильности. Кроме того, резистивные пленки должны характеризоваться низким температурным коэффициентом сопротивления ТКС (менее $10^{-4} 1/^\circ C$).

Таблица 2.2 – Свойства материалов подложек ГИС

Параметр	Материал							
	Стекло		Ситалл CT50-1	Павлен- ный кварц	Керамика			
	C41-1	C48-3			22ХС (96%Al ₂ O ₃)	Поликор	Глазуро- ванная	BeO
Класс чистоты обра- ботки поверхности	14	14	13 - 14	14	12	12 - 14	14	-----
Температурный коэф. линейного расширения при $T=20\div300^{\circ}\text{C}$	$(41\pm2)\cdot10^{-7}$	$(48\pm2)\cdot10^{-7}$	$(50\pm2)\cdot10^{-7}$	$55\cdot10^{-7}$	$(60\pm5)\cdot10^{-7}$	$(70\text{-}75)\cdot10^{-7}$	$(73\text{-}78)\cdot10^{-7}$	$70\cdot10^{-7}$
Коэффициент тепло- проводности, Вт/(м·°C)	1	1,5	1,5	7-15	10	30 - 45	1,2 - 1,7	210
Диэлектрическая про- ниаемость при $f=10^6$ Гц и $T=20^{\circ}\text{C}$	7,5	3,2 - 8	5 – 8,5	3,8	10,3	10,5	13 – 16	6,4 – 9,5
Тангенс угла диэлектрических потерь при $f=10^6$ Гц и $T=20^{\circ}\text{C}$	$20\cdot10^{-4}$	$15\cdot10^{-4}$	$20\cdot10^{-4}$	-	$6\cdot10^{-4}$	$10\cdot10^{-4}$	$18\cdot10^{-4}$	$16\cdot10^{-4}$
Объемное сопротивление при $T=25^{\circ}\text{C}$, Ом·см	10^{17}	10^{14}	-	10^{15}	-	-	-	10^{14}
Электрическая прочность, кВ/мм	40	40	-	-	50	-	50	20

Материалы, используемые для тонкопленочных резисторов, можно разделить на три группы: металлы; металлические сплавы; металлокерамические смеси – керметы.

Удельное сопротивление массивных металлов не превышает $20\div50$ мкОм·см даже для таких материалов, как титан, молибден, хром, tantal. Однако при осаждении в виде тонких пленок удельное сопротивление металлов может значительно увеличиваться. Наиболее существенный вклад в повышение удельного сопротивления вносится дефектами структуры и примесями. Учитывая это, в процессе осаждения некоторых металлических пленок намеренно создаются условия для газопоглощения.

Наиболее широкое распространение для изготовления металлических резисторов имеют хром и tantal. Большой интерес к tantalу как материалу для тонкопленочных резисторов обусловлен его способностью легко окисляться при химическом анодировании. Частично окисляя пленку tantalа, можно тем самым уменьшать толщину резистивного слоя и одновременно обеспечивать защиту поверхности резистора. Кроме того, установлено, что tantalовые пленки при введении в них ряда примесей приобретают высокое поверхностное сопротивление слоя при низком температурном коэффициенте. Особенно хорошие результаты в качестве примеси дает азот.

Тонкие пленки полупроводниковых материалов не используются для изготовления резисторов в силу большого отрицательного температурного коэффициента сопротивления.

Помимо металлов, для изготовления резисторов широко используются металлические сплавы, обладающие более высоким удельным сопротивлением даже в объемных образцах. К таким сплавам, в первую очередь, относятся сплав никеля и хрома – никхром с удельным сопротивлением около 100 мкОм·см, а также никхром с добавками других материалов, например сплав никеля (74%), хрома (20%), железа (3%) и алюминия (3%) с удельным сопротивлением около 130 мкОм·см. Так же как и металлы, эти сплавы, полученные в виде тонких пленок, имеют более высокие удельные сопротивления, чем массивные образцы.

Керметы представляют собой металлодиэлектрические смеси. Созданию таких материалов и их широкому использованию для получения резисторов способствовали положительные результаты, полученные при окислении, азотировании и других методах введения примесей в металлические пленки при их отжигах. Намеренное изготовление смесей металлов и диэлектриков позволило получить наиболее высокие значения удельных сопротивлений. Удельное сопротивление пленок керметов в большой степени зависит от их состава. Поэтому точное воспроизведение состава кермета в пленке играет исключительно важную роль. Обычно для напыления применяют метод взрывного испарения.

Изучено большое число комбинаций металл – диэлектрик: Cr-SiO_x, Al-SiOs, Pt-Ta₂O₅ и др. Наилучшие результаты получены для комбинации Cr-SiO_x.

Свойства наиболее распространенных материалов и резисторов на их основе сведены в табл. 2.3.

Материалы для тонкопленочных конденсаторов. Тонкопленочный конденсатор имеет трехслойную структуру металл – диэлектрик – металл, расположенную на изолирующей подложке. Параметры тонкопленочного конденсатора определяются в основном диэлектрическим материалом. Однако следует иметь в виду, что на свойства диэлектрика могут оказывать существенное влияние металлические обкладки. Например, может уменьшаться напряжение пробоя из-за миграции атомов металла в слой диэлектрика. Металлы с хорошей адгезией иногда создают в слое диэлектрика большие напряжения. Сопротивление металлических обкладок влияет на потери энергии в конденсаторе. Поэтому при разработке конденсаторов необходимо выбирать совместно всю совокупность входящих в их структуру материалов.

К основным характеристикам диэлектрических материалов для конденсаторов относятся диэлектрическая постоянная ϵ и электрическая прочность E_d . Из-за сложности получения бездефектных пленок на большой площади максимальная площадь конденсатора ограничивается. Минимальная площадь ограничивается заданной точностью. Отсюда для обеспечения

широкого диапазона номиналов емкостей предъявляют определенные требования к удельным емкостям. Поскольку существует предел и для минимальной толщины пленок (из-за влияния проколов в пленке диэлектрика на ее электрическую прочность), то при изготовлении тонкопленочных конденсаторов к диэлектрическим материалам предъявляются определенные требования по диэлектрической проницаемости. Если ограничить толщину пленки значением 0,1 мкм, а максимально допустимую площадь соответственно 10 мм², то для получения емкости 10⁶ пФ требуемая диэлектрическая проницаемость составит более 10.

Электрическая прочность диэлектрического материала определяет напряжение пробоя $U_d = E_d h$, а следовательно, и диапазон рабочих напряжений конденсатора.

Диэлектрические материалы должны обладать минимальной гигроскопичностью, высокой механической прочностью при циклических изменениях температуры, хорошей адгезией к подложкам.

Диэлектрические материалы, используемые для тонкопленочных конденсаторов в основном представляют собой окислы полупроводников и металлов.

Из окислов полупроводников наибольшее распространение в тонкопленочной технологии получили окисел кремния SiO и окисел германия GeO, имеющие высокую диэлектрическую проницаемость. Пленки двуокиси кремния SiO₂ существенно реже используются в тонкопленочной технологии, что отчасти связано с более низкими значениями диэлектрической проницаемости, а также с невозможностью использования для осаждения SiO₂ метода вакуумного термического испарения. Наибольший интерес представляет ряд окислов тугоплавких металлов, таких как Ta₂O₅, TiO₂, HfO₂, Nb₂O₅. Эти материалы по сравнению с другими окислами обладают наиболее высокими значениями диэлектрической проницаемости. Технология получения этих пленок развита далеко не в равной мере. Наиболее отработана технология пленок Ta₂O₅.

Интерес к пленкам tantalа и Ta₂O₅ объясняется возможностью его применения для изготовления и резисторов, и конденсаторов в одних и тех же технологических процессах:

ионно-плазменного распыления и электролитического анодирования. Однако следует учитывать, что сопротивление обкладок из tantalа велико в сравнении с другими материалами

Таблица 2.3 – Основные параметры материалов тонкопленочных резисторов

Материал		Параметры			
Для напыления резистивной пленки	Контактных площадок	Удельное по- верхностное сопротивление резистивной пленки ρ_s , Ом/□	Диапазон номиналь- ных значений сопро- тивлений, Ом	Допустима я удельная мощность рассеяния P_0 , Вт/см ²	Температурный коэффициент сопротивления TKC при $T= -60\div125^{\circ}\text{C}$
Нихром, проволока X20H80	Медь	300	50 – 30 000	2	$1 \cdot 10^{-4}$
Нихром, проводка	Золото с подслоем хрома	10	1 – 10 000		$-2,25 \cdot 10^{-4}$
		50	5 – 50 000		
Сплав МЛТ-3М	Медь с подслоем ванадия (луженая) Медь с подслоем никрома (зашитченная никелем)	500	50 – 50 000		$2 \cdot 10^{-4}$
Хром	Медь (луженая)	500	50 – 30 000	1	$0,6 \cdot 10^{-4}$
Кермет К-50С (ETO.021.013 ТУ)	Золото с подслоем хрома (нихрома)	3000 5000 10 000	1000 – 10 000 500 – 200 000 10 000 – 10 ⁶	2	$3 \cdot 10^{-4}$ $-4 \cdot 10^{-4}$ $-5 \cdot 10^{-4}$

Окончание табл. 2.3

Материал		Параметры			
Для напыления резистивной пленки	Контактных площадок	Удельное по- верхностное сопротивление резистивной пленки ρ_s , Ω/\square	Диапазон номиналь- ных значений сопро- тивлений, Ом	Допустима я удельная мощность рассеяния P_0 , Вт/см ²	Температурны й коэффициент сопротивления при $T = -60 \div 125^\circ\text{C}$
Тантал ТВЧ; лента толщиной 0,3–3 мм (РЭТУ 1244-67)	Алюминий с подслоем ванадия	20 – 100	100 – 10 000	3	$-2 \cdot 10^{-4}$
	Медь с подслоем нихрома	100	50 – 100 000		
	Тантал	10	10 – 15 000		
Сплав PC-3001 (ETO.021.034 ТУ)	Золото с подслоем нихрома	1000	100 – 50 000	2	$-0,2 \cdot 10^{-4}$
		2000	200 – 100 000		
Сплав PC-3710 (ETO.021.034 ТУ)		3000	1000 – 200 000		$-3 \cdot 10^{-4}$

Таблица 2.4 – Основные параметры диэлектрических материалов тонкопленочных конденсаторов

Материал		Параметры									
Для напыления диэлектрика	Для напыления обкладок	Удельное поверхностное сопротивление пленки обкладок	Удельная емкость C_o , пФ/см	Диэлектрическая проницаемость ϵ при $f=1$ кГц	Тангенс угла диэлектрических потерь $\tg \delta$ при $f=1$ кГц	Электрическая прочность E_{IPR} , В/см	Рабочая частота f , МГц не более	Температурный коэффициент емкости ТКЕ при $T=-60 \div 125^\circ\text{C}$, 1°C			
Моноокись кремния	Алюминий A99	0,2	5 000	5,0 – 6,0	0,01 – 0,02	$(2\text{--}3) \cdot 10^6$	500	$2 \cdot 10^{-4}$			
Моноокись германия			10 000								
Боросиликатное стекло (ETO.035.015 ТУ)			5 000	11 – 12	$0,005 \text{ -- } 0,007$	$1,0 \cdot 10^6$	300	$3 \cdot 10^{-4}$			
			10 000								
			15 000								
			2 500	4	$0,001 \text{ -- } 0,0015$	$(3\text{--}4) \cdot 10^6$		$0,35 \cdot 10^{-4}$			
			5 000								
			10 000	5,2	$0,002 \text{ -- } 0,003$			$(0,5 \text{ -- } 1) \cdot 10^{-4}$ при $T = -60 \div 25^\circ\text{C}$, $(1,5 \text{ -- } 1,8) \cdot 10^{-4}$ при $T = 25 \div 155^\circ\text{C}$			
			15 000								
			20 000								
			30 000								
			40 000								

Окончание табл. 2.4

Материал		Параметры						
Для напыления диэлектрика	Для напыления обкладок	Удельное поверхностное сопротивление пленки обкладок $\rho_s, \Omega/\square$	Удельная емкость $C_o, \text{ пФ/см}$	Диэлектрическая проницаемость ϵ при $f=1 \text{ кГц}$	Тангенс угла диэлектрических потерь $\tg \delta$ при $f=1 \text{ кГц}$	Электрическая прочность $E_{\text{пр}}, \text{ В/см}$	Рабочая частота $f, \text{ МГц не более}$	Температурный коэффициент емкости ТКЕ при $T=-60 \div 125^\circ\text{C}, 1/\text{^\circ C}$
Пятиокись тантала (электрохимическое анодирование)	Тантал ТВЧ нижняя обкладка	1-10	60 000	23	0,02	$2 \cdot 10^6$	0,1	$4 \cdot 10^{-4}$
	Алюминий А99 с подслоем ванадия (верхняя обкладка)		100 000					
Диоксид кремния	Алюминий	0,2	200 000	4	0,01	$5 \cdot 10^6$	500	$2 \cdot 10^{-4}$

(например, алюминием). Поэтому конденсаторы в тонкопленочных микросхемах, изготовленных на основе tantalа, характеризуются большими потерями энергии.

Свойства материалов, наиболее широко используемых для создания тонкопленочных конденсаторов, представлены в табл. 2.4.

Тонкопленочные проводники. Тонкопленочные проводники в микросхемах служат для соединения пассивных тонкопленочных элементов и создания контактных площадок для присоединения навесных элементов и внешних выводов. Тонкопленочные проводящие материалы должны иметь следующие свойства: высокую электропроводность; хорошую адгезию к подложке; способность к сварке или пайке; химическую инертность.

К материалам с высокой электрической проводимостью относятся золото, серебро, алюминий, медь. Однако пленки этих металлов не удовлетворяют всей перечисленной совокупности свойств. Например, благородные металлы имеют плохую адгезию к подложке, алюминиевые пленки плохо поддаются пайке и сварке, медь легко окисляется.

Таблица 2.5 – Материалы тонкопленочных проводников

Материал		Сопротивление слоя, Ом/□
Слой	Покрытие	
Золото	–	0,03÷0,04
Медь	Никель	0,02÷0,04
Медь	Серебро	0,02÷0,04
Алюминий	Никель	0,05÷0,1

Поэтому для получения тонкопленочных проводников используются многослойные композиции. Эти композиции включают подслой толщиной $(1\div3)\cdot10^{-2}$ мкм из материала, обеспечивающего хорошую адгезию, слой из материала с высокой электропроводностью толщиной 0,4÷0,8 мкм и покрытие толщиной $(5\div8)\cdot10^{-2}$ мкм из химически инертного материала с хорошей способностью к сварке или пайке. Некоторые композиции для тонкопленочных проводников, если в качестве подслоя используется никром, представлены в табл. 2.5.

При расчете пленочных проводников необходимо учитывать ряд требований, предъявляемых к характеристикам микросхемы. Среди них можно выделить следующие: сопротивление проводника не должно превышать некоторого максимального значения R_{\max} ; плотность тока, протекающего через проводник, не должна превышать значения, определяемого отношением I_{\max}/S_{\min} , где S_{\min} – площадь сечения проводника; собственные емкость и индуктивность проводника не должны быть больше некоторого максимального значения.

В гибридных микросхемах используют два типа контактных переходов. Первый представляет собой контактную пару из резистивной и низкоомной пленок, второй – контактную пару из двух низкоомных пленок.

Конструкции контактных переходов между резистивными и низкоомными пленками показаны на рис. 2.1.

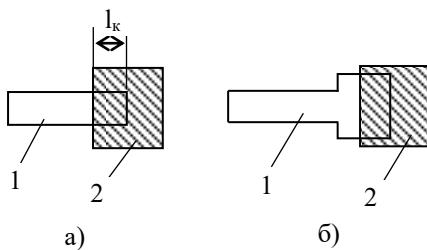


Рис. 2.1 – Конструкции пленочных контактов:
1 – резистивная пленка;
2 – проводящая пленка

Сопротивление подобных контактов определяется следующим образом:

$$R_k = \sqrt{\frac{\rho_s \cdot \rho_k}{b}},$$

где ρ_s – сопротивление квадрата резистивной пленки, Ом/ \square ; ρ_k – удельное сопротивление контактного переходного слоя, Ом·мм²; b – ширина резистивной пленки.

Переходный слой образуется между контактирующими пленками, его удельное сопротивление зависит от технологических условий получения контакта. При напылении тонких резистивных и проводящих пленок на одной и той же вакуумной установке в одном технологическом цикле без

разгерметизации удельное сопротивление составит $\rho_k = 0,05 \div 0,25 \text{ Ом} \cdot \text{мм}^2$. Если между операциями напыления имел место значительный временной разрыв, в течение которого подложки находились в атмосфере воздуха, то удельное сопротивление переходного слоя возрастет до значений $\rho_k = 2,5 \div 5,0 \text{ Ом} \cdot \text{мм}^2$.

Рассчитанное сопротивление контакта не должно превышать допустимого, т.е. $R_k \leq R_{k,\text{доп}}$. Допустимое сопротивление контакта определяется по формуле

$$R_{k,\text{доп}} = R \cdot \gamma_{R_k} / 2,$$

где γ_{R_k} – погрешность переходных сопротивлений контактов. Длина пленочного контактного перехода l_k (рис. 2.1, *a*) для микросхем, конфигурации элементов в которых создаются с помощью масок или трафаретов, должна отвечать соотношению

$$l_k \geq 1,5 \sqrt{\frac{\rho_k}{\rho_s}}.$$

В большинстве случаев l_k принимают равным 0,1–0,2 мм. Если конфигурации пленочных элементов создаются с помощью фотолитографии, то первоначально на подложку напыляется сплошная резистивная пленка, затем сплошная проводящая, после чего ненужные участки пленок удаляются фотолитографией. Таким образом, под всеми проводящими дорожками существуют резистивные пленки.

2.3 Расчет конструкций тонкопленочных резисторов

Конфигурации тонкопленочных резисторов. Типовые конфигурации тонкопленочных резисторов приведены на рис. 2.2, *a-г*. Наиболее распространенной является прямоугольная форма как самая простая по технологическому исполнению. Резистор в виде полосок занимает большую площадь, чем резисторы типа «меандр» или «змейка».

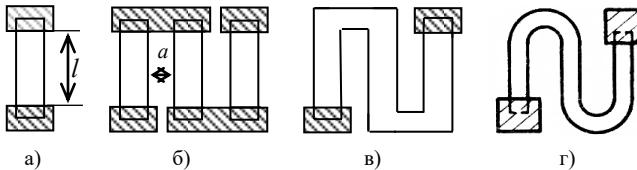


Рис. 2.2 – Конфигурация тонкопленочных резисторов:
а – полоска; б – составной из полосок; в – меандр; г – змейка.

Меандр уступает в отношении стабильности и надежности конструкции типа «змейка» из-за перегрева в уголках, но он предпочтительнее с точки зрения изготовления фотошаблонов и поэтому более распространен.

Контактные площадки следует располагать с противоположных сторон резистора для устранения погрешности совмещения проводящего и резистивного слоев. По этой причине придавать резисторам форму, изображенную на рис. 2.3, не рекомендуется, так как сопротивление таких резисторов зависит от точности совмещения масок и фотошаблонов (неточности при совмещении изменяют длину таких резисторов).

Конструктивный расчет тонкопленочных резисторов. Конструктивный расчет тонкопленочных резисторов заключается в определении формы, геометрических размеров и минимальной площади, занимаемой резисторами на подложке. При этом необходимо, чтобы резисторы обеспечивали рассеивание заданной мощности при удовлетворении требуемой точности γ_R в условиях существующих технологических возможностей.

Исходные данные для расчета: номинал резистора R_i , Ом; допуск на номинал γ_{R^i} , %; мощность рассеяния P_i , мВт; рабочий диапазон температур $T_{max} - T_{min}$, °C; технологические ограничения; шаг координатной сетки, мм.

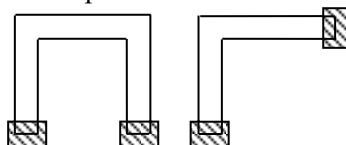


Рис. 2.3 – Конфигурация резисторов, сопротивление которых зависит от погрешности совмещения

Порядок расчета:

1. Определяют оптимальное с точки зрения минимума площади под резисторами ГИС сопротивление квадрата резистивной пленки:

$$\rho_{S_{onm}} = \sqrt{\frac{\sum_i^n R_i}{\sum_i^1 1/R_i}}, \quad (2.1)$$

где n – число резисторов;

R_i – номинал i -го резистора.

2. По табл. 2.3 выбирают материал резистивной пленки с удельным сопротивлением, ближайшим по значению к вычисленному ρ_{Sonm} . При этом необходимо, чтобы ТКС материала был минимальным, а удельная мощность рассеяния P_0 – максимальной.

3. Производят проверку правильности выбранного материала с точки зрения точности изготовления резисторов.

Полная относительная погрешность изготовления пленочного резистора $\gamma_R = \Delta R/R$ состоит из суммы погрешностей:

$$\gamma_R = \gamma_{Kf} + \gamma_{\rho s} + \gamma_t + \gamma_{Rct} + \gamma_{Rk},$$

где γ_{Kf} – погрешность коэффициента формы; $\gamma_{\rho s}$ – погрешность воспроизведения величины ρs резистивной пленки; γ_t – температурная погрешность; γ_{Rct} – погрешность, обусловленная старением пленки; γ_{Rk} – погрешность переходных сопротивлений контактов.

Погрешность воспроизведения удельного поверхностного сопротивления $\gamma_{\rho s}$ зависит от условий напыления и материала резистивной пленки. В условиях серийного производства ее значение не превышает 5%.

Температурная погрешность зависит от ТКС материала пленки:

$$\gamma_t = \alpha_R (T_{max} - 20^\circ C),$$

где α_R – температурный коэффициент сопротивления материала пленки, $1/\text{ }^\circ\text{C}$.

Погрешность γ_{Rct} , обусловленная старением пленки, вызвана медленным изменением структуры пленки во времени и ее окислением. Она зависит от материала пленки и эффективности защиты, а также от условий хранения и эксплуатации. Обычно для ГИС γ_{Rct} не превышает 3%.

Погрешность переходных сопротивлений контактов γ_{Rk} зависит от технологических условий напыления пленок, удельного сопротивления резистивной пленки и геометрических размеров контактного перехода: длины перекрытия контактирующих пленок, ширины резистора. Обычно $\gamma_{Rk} = 1\div 2\%$. Если материал контактных площадок выбран в соответствии с табл. 2.3, то этой погрешностью можно пренебречь.

Допустимая погрешность коэффициента формы

$$\gamma_{Kf} = \gamma_R - \gamma_{ps} - \gamma_i - \gamma_{Rcm} - \gamma_{Rk}.$$

Если значение γ_{Kf} отрицательно, то это означает, что изготовление резистора заданной точности из выбранного материала невозможно. В этом случае необходимо выбрать другой материал с меньшим ТКС либо использовать подгонку резисторов, если позволяет технологическое оборудование.

4. Определяют конструкцию резисторов по значению коэффициента формы K_f :

$$K_{fi} = R_i / \rho_s.$$

При $1 \leq K_{fi} \leq 10$ рекомендуется конструировать резистор прямоугольной формы, изображенный на рис. 2.2, а, при $K_{fi} > 10$ – резистор сложной формы (составной, меандр или типа «змейка», рис. 2.2, б-г), при $0,1 \leq K_{fi} \leq 1$ – резистор прямоугольной формы, у которого длина меньше ширины. Конструировать резистор с $K_{fi} < 0,1$ не рекомендуется, так как он будет иметь большие контактные площадки и занимать значительную площадь на подложке.

Если в одной схеме содержатся низкоомные и высокоомные резисторы, можно использовать два резистивных материала, для выбора которых определяют ρ_s сначала для всех резисторов по формуле (2.1), после чего разбивают резисторы на две группы так, чтобы $R_{i max}$ первой группы было меньше, а $R_{i min}$ второй группы – больше значения ρ_{Sopt} , вычисленного для всех

резисторов. Затем по этой же формуле рассчитывают $\rho_{\text{сопт1}}$ и $\rho_{\text{сопт2}}$ и выбирают материалы для каждой группы резисторов в отдельности.

5. Дальнейший расчет проводят в зависимости от формы резисторов.

Расчет прямоугольных полосковых резисторов. Для резисторов, имеющих $K_\phi > 1$ (рис. 2.4, а, б), сначала определяют ширину, а затем длину резистора. Расчетное значение ширины резистора должно быть не менее наибольшего значения одной из трех величин:

$$b_{\text{расч}} \geq \max \{b_{\text{техн}}, b_{\text{точн}}, b_p\},$$

где $b_{\text{техн}}$ – минимальная ширина резистора, определяемая возможностями технологического процесса; $b_{\text{точн}}$ – ширина резистора, определяемая точностью изготовления:

$$b_{\text{точн}} \geq \frac{\Delta b + \Delta l / K_\phi}{\gamma K_\phi}, \quad (2.2)$$

где Δl , Δb – погрешности изготовления ширины и длины резистора, зависящие от метода изготовления; b_p – минимальная ширина резистора, при которой обеспечивается заданная мощ-

$$b_p = \sqrt{\frac{P \rho_s}{P_0 R}} = \sqrt{\frac{P}{P_0 K_\phi}}. \quad (2.3)$$

ность: За ширину b резистора принимают ближайшее к $b_{\text{расч}}$ большее значение, кратное шагу координатной сетки, принятому для чертежа топологии с учетом

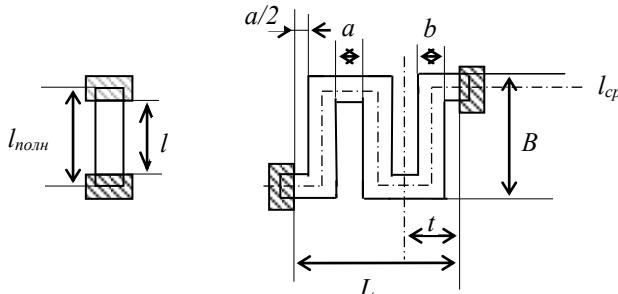


Рис. 2.4 – К расчету резисторов типа «полоска» (а) и «мейндр» (б)

масштаба. Для тонкопленочной технологии шаг координатной сетки обычно составляет 1 или 0,5 мм. Например, если шаг координатной сетки 1 мм, масштаб 20:1, то округление производят до величины, кратной 0,05 мм.

Далее находят расчетную длину резистора:

$$l_{\text{расч}} = b K_{\phi}.$$

За длину l резистора принимают ближайшее к $l_{\text{расч}}$ значение, кратное шагу координатной сетки, принятому для чертежа топологии с учетом масштаба. При этом следует оценивать получающуюся погрешность и при необходимости выбирать большее значение ширины b резистора, при котором округление длины $l_{\text{расч}}$ дает приемлемую погрешность.

Определяют полную длину резистора с учетом перекрытия контактных площадок:

$$l_{\text{полн}} = l + 2e,$$

где e – размер перекрытия резистора и контактных площадок.

При использовании метода двойной фотолитографии $l_{\text{полн}} = l$.

Площадь, занимаемая резистором на подложке, $S = l_{\text{полн}} \cdot b$.

Для резисторов, имеющих $K_{\phi} < 1$, сначала определяют длину, а затем ширину резистора.

Расчетное значение длины резистора $l_{\text{расч}}$ выбирают из условия

$$l_{\text{расч}} \geq \max \{l_{\text{техн}}, l_{\text{точн}}, l_p\},$$

где $l_{\text{техн}}$ – минимальная длина резистора, определяемая разрешающей способностью выбранного метода формирования конфигурации (см. Приложение 1); $l_{\text{точн}}$ – минимальная длина резистора, при которой обеспечивается заданная точность:

$$l_{\text{точн}} \geq \frac{\Delta l + \Delta b \cdot K_{\phi}}{\gamma K_{\phi}}, \quad (2.4)$$

l_p – минимальная длина резистора, при которой рассеивается заданная мощность:

$$l_p = \sqrt{\frac{P \cdot K_{\phi}}{P_0}}. \quad (2.5)$$

За длину l резистора принимают ближайшее к $l_{\text{расч}}$ значение, кратное шагу координатной сетки, принятому для чертежа топологии.

Расчетную ширину резистора определяют по формуле

$$b_{\text{расч}} = \frac{l}{K_{\phi}}. \quad (2.6)$$

За ширину b резистора принимают ближайшее к $b_{\text{расч}}$ значение, кратное шагу координатной сетки. При этом следует оценивать получающуюся погрешность и при необходимости корректировать значение длины l резистора в большую сторону, при котором округление ширины $b_{\text{расч}}$ дает приемлемую погрешность.

Затем определяют полную длину резистора с учетом перекрытия контактных площадок и площадь резистора.

Для проверки находят действительную удельную мощность и погрешность резистора. Очевидно, резистор спроектирован удовлетворительно, если:

1) удельная мощность рассеяния P_0 не превышает допустимого значения P_0 :

$$P_0' = P / S \leq P_0;$$

2) погрешность коэффициента формы $\gamma_{K\phi}$ не превышает допустимого значения $\gamma_{K\phi \text{ доп}}$:

$$\gamma'_{K\phi} = \Delta l / l_{\text{полн}} + \Delta b / b \leq \gamma_{K\phi \text{ доп}}.$$

Конструктивный расчет тонкопленочных резисторов сложной формы.

При конструировании резистора в виде отдельных резистивных полосок, соединенных проводящими перемычками (см. рис. 2.2, б), сумма длин резистивных полосок должна быть равна длине, определенной по формуле:

$$l = b \cdot K_{\phi}.$$

Резисторы типа «меандр» (рис. 2.2, в) рассчитывают из условия минимальной площади, занимаемой резистором.

Расчет меандра проводят после определения ширины b резистора в такой последовательности.

Определяют длину средней линии меандра:

$$l_{\text{ср}} = b \cdot K_{\phi}.$$

Задают расстояние между резистивными полосками a . С учетом технологических ограничений (см. Приложение 1) при масочном методе $a_{min}=300$ мкм, при фотолитографии $a_{min}=100$ мкм (обычно задают $a = b$).

Находят шаг одного звена меандра:

$$t = a + b. \quad (2.7)$$

Определяют оптимальное число звеньев меандра n_{opt} из условия, чтобы площадь, занимаемая резистором типа «меандр», была минимальной. Очевидно, это будет в случае, когда меандр вписывается в квадрат ($L = B$).

Если отношение длины средней линии меандра к ширине резистивной полоски больше 10, то оптимальное число звеньев меандра может быть вычислено по приближенной формуле

$$n_{opt} \approx \sqrt{\frac{l_{cp}L}{tB}}. \quad (2.8)$$

При $L = B$ (меандр квадратной формы) и $a = b$ выражение упрощается:

$$n_{opt} \approx \sqrt{\frac{K_\Phi}{2}}. \quad (2.9)$$

Значение n_{opt} округляют до ближайшего целого.

Определяют длину меандра:

$$L = n \cdot (a + b). \quad (2.10)$$

Вычисляют ширину меандра:

$$B = \frac{l_{cp} - an}{n}, \quad (2.11)$$

где n – оптимальное число звеньев меандра, округленное до ближайшего целого.

Расстояние a выбирают из конструктивно-технологических соображений. Например, при напылении резисторов через маску размер a_{min} определяется минимально возможным расстоянием между соседними щелями в маске. Для обеспечения требуемой жесткости маски оно должно удовлетворять условию

$$B_{max}/a \leq 10.$$

Если это условие не выполняется, необходимо изменить расстояние a и вновь вычислить n_{opt} , L , B . Для

фотолитографического метода указанное условие некритично.

Приведенные расчетные соотношения не учитывают, что в резисторах типа «меандр» плотность тока в изгибах неравномерна (рис. 2.5). Это приводит к сокращению электрической длины пленочного резистора и уменьшению его сопротивления. Неравномерное распределение плотности тока наблюдается в пределах трех квадратов области изгиба (рис. 2.6, *a*, *b*).

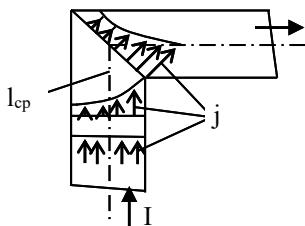


Рис. 2.5 – Распределение плотности тока в резисторах типа «меандр»

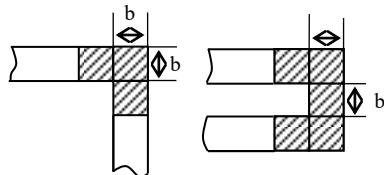


Рис. 2.6 – Конструкции изгибов пленочных резисторов типа «меандр»: а – изгиб под прямым углом; б – П-образный изгиб

Для уточненного расчета с учетом изгибов конструкцию резистора типа «меандр» можно представить в виде последовательно соединенных прямолинейных участков и изгибов. При этом его сопротивление можно определить как сумму сопротивлений прямолинейных участков и изгибов:

$$R = R_u m + \frac{l_n n}{b} \rho_s, \quad (2.12)$$

где R_u – сопротивление изгибов; m – число изгибов, l_n – длина прямолинейных участков; n – число звеньев меандра.

Для изгиба под прямым углом (рис. 2.6, *a*) $R_u = 2,55 \rho_s$ для П-образного изгиба (рис. 2.6, *b*) $R_u = (a/b+3) \rho_s$. Отсюда длина прямолинейного участка одного звена меандра

$$l_n = \frac{R - mR_u}{\rho_s n} b. \quad (2.13)$$

После этого корректируют размеры L и B с целью обеспечения заданного номинала резистора.

Квадратная или близкая к ней форма резистора типа «меандр» часто оказывается неудобной при компоновке пленочных элементов на подложке микросхемы, например, из-за отличной от квадрата площади, отводимой под резистор. Тогда, зная габаритную площадь меандра и задавшись одним из размеров меандра (например, B), определяют второй размер L и число звеньев меандра n .

В некоторых схемах требуется использовать резисторы, точность получения которых превышает точность, обеспечиваемую возможностями принятого технологического способа изготовления. В этих случаях при конструировании гибридной микросхемы применяют специальные пленочные резисторы (рис. 2.7), сопротивление которых перед монтажом микросхем подвергается подгонке и не выходит за пределы малых допусков.

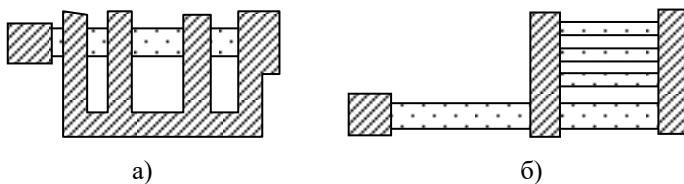


Рис. 2.7 – Конструкции пленочных резисторов со ступенчатой подгонкой сопротивления: а – путем добавления секций перерезанием перемычек; б – уменьшением числа параллельно подключенных резистивных дорожек

Наиболее распространены способы подгонки сопротивления пленочных резисторов перерезанием пленки резцом манипулятора или испарением части материала резистора с помощью луча лазера.

2.4 Тонкопленочные конденсаторы

Наряду с резисторами, пленочные конденсаторы относятся к числу наиболее распространенных элементов гибридных схем.

По конструкции пленочные конденсаторы чаще всего представляют собой трехслойную структуру металл – диэлектрик – металл и состоят из нижней и верхней обкладок, разделенных слоем диэлектрического материала.

К конструкции конденсаторов предъявляется ряд конструктивно-технологических требований: минимальные габаритные размеры; воспроизводимость характеристик в процессе производства; совместимость технологии их изготовления с процессами производства других элементов гибридной интегральной схемы.

Конструкция, изображенная на рис. 2.8, *a*, характерна для конденсаторов с повышенной емкостью (сотни – тысячи пикофарад). Ее особенностью является то, что контур верхней обкладки полностью вписывается в контур нижней обкладки. Эта конструкция имеет следующие положительные качества: неточность совмещения контуров обкладок не оказывается на величине емкости; контур диэлектрика заходит за пределы обеих обкладок. В этом случае гарантируется надежная изоляция обкладок по периферии конденсатора при предельном их несовмещении.

Пленочный конденсатор с большой емкостью может иметь сложную конфигурацию, отличную от прямоугольной, причем линии периметра обкладок обязательно пересекаются под прямым углом. При разработке топологии микросхемы конструктор может полностью использовать свободные участки площади подложки.

Конструкция пленочного конденсатора, изображенная на рис. 2.8, *б*, характерна для конденсаторов с небольшой емкостью (десятки пикофарад), когда для получения необходимой емкости достаточна площадь взаимного перекрытия двух коммутационных проводников, разделенных пленкой диэлектрика. Емкость рассматриваемого конденсатора нечувствительна к смещению обкладок из-за неточности совмещения.

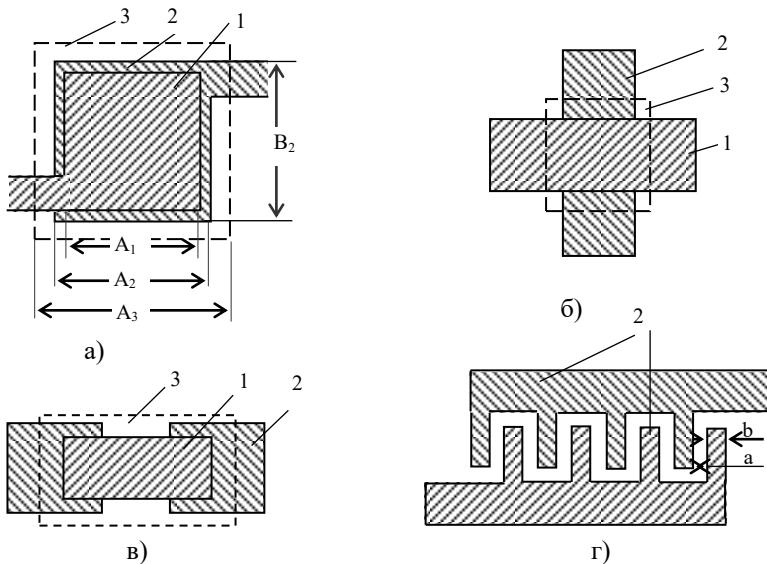


Рис. 2.8 – Конструкции пленочных конденсаторов:

1 – верхняя обкладка; 2 – нижняя обкладка; 3 – диэлектрик

При активной площади пленочного конденсатора менее 5 mm^2 начинает сказываться краевой эффект, причем тем сильнее, чем меньше площадь. Если расчетная площадь конденсатора менее 1 mm^2 , его можно выполнять в виде двух последовательно соединенных конденсаторов (рис. 2.8, в).

В высокочастотных конструкциях применяют гребенчатые конденсаторы (рис. 2.8, г). Роль обкладок выполняют пленочные проводники в форме гребенки. Здесь используется составной диэлектрик: подложка – воздух или подложка – диэлектрическое покрытие. Гребенчатые конденсаторы и конденсаторы в виде двух параллельно расположенных полосок используются тогда, когда необходимо получить емкость единицы и доли пикофарад.

При малых емкостях (единицы или доли пикофарад), когда расчетная площадь пленочного МДМ-конденсатора слишком мала и технология не позволяет его выполнить в виде трехслойной пленочной структуры, можно формировать конденсатор в виде двух параллельных проводящих полосок.

Исходными данными для конструктивного расчета тонкопленочных конденсаторов являются следующие: номинальная емкость C , Φ ; допуск на номинал γ_C , %; рабочее напряжение U_p , В; рабочая частота f , Гц; рабочий диапазон температур $T_{max} - T_{min}$, °С.

Емкость пленочного конденсатора определяется по формуле:

$$C = \frac{\varepsilon \cdot \varepsilon_0 \cdot S_e \cdot k_{kp}}{d}, \quad (2.14)$$

где S_e – площадь верхней обкладки, d – толщина пленки, k_{kp} – коэффициент, учитывающий влияние краевого эффекта.

На первом этапе выбирают материал диэлектрика по рабочему напряжению в соответствии с данными, приведенными в табл. 2.4. Чтобы конденсатор занимал как можно меньшую площадь, выбирается материал с возможно более высокими диэлектрической проницаемостью, электрической прочностью, а также малыми значениями ТКЕ и $tg\delta$.

Далее определяют минимальную толщину диэлектрика из условия электрической прочности

$$d \geq \frac{U_p \cdot k_3}{E_{np}}, \quad (2.15)$$

где E_{np} – электрическая прочность выбранного диэлектрика, U_p – рабочее напряжение, K_3 – коэффициент запаса (2...4) в зависимости от условий эксплуатации.

Толщина диэлектрической пленки должна быть в пределах 0,1...1 мкм, в противном случае следует выбирать другой материал диэлектрика. При толщине диэлектрика менее 0,1 мкм увеличивается вероятность короткого замыкания обкладок. При толщине диэлектрика более 1 мкм возможен разрыв верхней обкладки в месте вывода из-за большой ступеньки по толщине пленки. Оптимальная толщина диэлектрика 0,3...0,5 мкм.

Затем вычисляют максимально допустимую относительную погрешность воспроизведения активной площади конденсатора:

$$\gamma_{S_{\text{доп}}} = \gamma_C - \gamma_{C_0} - \gamma_{C_t} - \gamma_{C_{cr}},$$

где γ_{C_0} – погрешность воспроизведения удельной емкости (5...10)%,

γ_{C_t} – температурная погрешность емкости,

$\gamma_{C_t} = \alpha_C \cdot (T - 20^\circ\text{C})$, где

α_C – температурный коэффициент емкости (ТКЕ),

$\gamma_{C_{ct}}$ – погрешность, обусловленная старением конденсатора (2...3%).

Оценивается удельная емкость конденсатора исходя из условия электрической прочности:

$$C'_0 = \frac{\epsilon \cdot \epsilon_0}{d} \quad (2.16)$$

и из условия заданной точности:

$$C''_0 = C \cdot \left(\frac{\gamma_{S_{\text{доп}}}}{\Delta S} \right)^2 \cdot \frac{k_\phi}{(1 + k_\phi)^2}, \quad (2.17)$$

где ΔS – абсолютная погрешность воспроизведения размеров конденсатора, $\Delta S=0,001\text{ см}$; k_ϕ – коэффициент формы, $k_\phi=A/B$.

Окончательное значение удельной емкости C_0 выбирается из условия $C_0 = \min(C'_0 \text{ и } C''_0)$.

Значение k_{kp} представляется как:

$$k_{kp} = \begin{cases} 1 & \text{при } C/C_0 \geq 0,05 \text{ см}^2, \\ 1,3 - 6 \cdot C/C_0 & \text{при } 0,01 \leq C/C_0 \leq 0,05 \text{ см}^2. \end{cases}$$

Определяют площадь верхней обкладки:

$$S = \frac{C}{C_0 k_{kp}}. \quad (2.18)$$

Тогда размеры верхней обкладки:

$$A_1 = \sqrt{S \cdot k_\phi}; \quad B_1 = A_1/k_\phi.$$

Размер нижней обкладки

$$A_2 = A_1 + 2(\Delta S + \eta), \quad B_2 = B_1 + 2(\Delta S + \eta) \text{ и диэлектрика}$$

$$A_3 = A_2 + 2(\Delta S + \eta), \quad B_3 = B_2 + 2(\Delta S + \eta),$$

где η – погрешность установки и совмещения масок.

Иногда величину $(\Delta S + \eta)$ заменяют фиксированным значением 0,1...0,2 мм.

Добротность пленочных конденсаторов представляет собой величину, обратную тангенсу угла потерь:

$$Q = \frac{1}{\operatorname{tg}\delta_{\Sigma}}.$$

Потери в конденсаторе складываются из потерь в диэлектрике и в обкладках:

$$\operatorname{tg}\delta_{\Sigma} = \operatorname{tg}\delta_d + \operatorname{tg}\delta_{\text{обкл}}.$$

Тангенс угла диэлектрических потерь $\operatorname{tg}\delta_d$ является справочной величиной. Потери в обкладках зависят от их сопротивления:

$$\operatorname{tg}\delta_{\text{обкл}} = 2\pi \cdot f \cdot C \cdot R_{\text{обкл}} = \frac{4}{3} \pi \cdot f \cdot C \cdot k_{\phi} \cdot \rho_S.$$

Мощность, рассеиваемая в результате потерь в диэлектрике на частоте f :

$$P = 2\pi \cdot f \cdot \operatorname{tg}\delta_d \cdot C \cdot U^2.$$

Емкость гребенчатых конденсаторов определяется по формуле:

$$C = C_{\text{дл0}} \cdot l, \quad (2.19)$$

где $C_{\text{дл0}}$ – удельная емкость, приходящаяся на единицу длины промежутка между «обкладками» гребенчатого конденсатора (погонная емкость); l – длина промежутка, т.е. границы, разделяющей «обкладки», лежащие в одной плоскости на подложке микросхемы.

Удельная емкость может быть рассчитана согласно соотношению

$$C_{\text{дл0}} = \frac{\varepsilon_1 + \varepsilon_2}{2} \varepsilon_0 \beta, \quad (2.20)$$

где ε_1 и ε_2 – диэлектрические проницаемости подложки и защитной пленки на поверхности микросхемы (если защитная пленка отсутствует, $\varepsilon_2 = 1$); коэффициент β может быть определен по следующей приближенной формуле:

$$\beta = 2,035 - 1,45 \frac{a/2}{a/2 + b}, \quad (2.21)$$

где a – расстояние между «обкладками»; b – ширина пленки, образующей «обкладку».

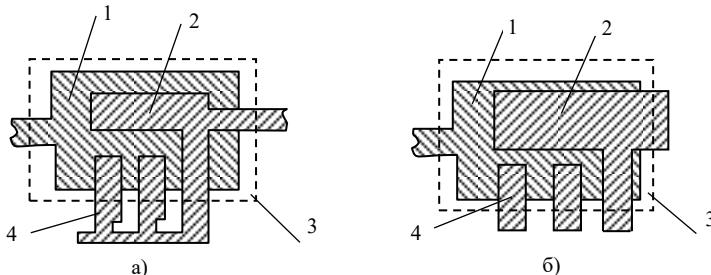


Рис. 2.9 – Конструкции подгоняемых пленочных конденсаторов:
 1 – нижняя обкладка; 2 – верхняя обкладка; 3 – диэлектрик;
 4 – подгоночные секции

Часто возникает необходимость конструирования пленочных конденсаторов с повышенной точностью получения емкости, превышающей технологические возможности производства. В этом случае в конструкции пленочного конденсатора приходится предусматривать, кроме основной секции с неизменной емкостью, участок, емкость которого может изменяться. Конструктивные формы таких конденсаторов показаны на рис. 2.9. Подгонка может осуществляться как в сторону уменьшения (отрезанием секций, рис. 2.9, а), так и в сторону увеличения (подключения секций с помощью проволочных перемычек рис. 2.9, б).

2.5 Пленочные индуктивности

Пленочные индуктивности выполняют в виде круглых или прямоугольных одновитковых петель или многовитковых спиралей (рис. 2.10). Индуктивность подобных пленочных спиралей на низких частотах ограничена значением примерно 2...3 мГн. Более высокие значения индуктивностей требуют

выделения значительной площади подложки микросхемы. Применяя специальные методы, например закрепление поверх спирали ферритовой пластинки, можно увеличить индуктивность до нескольких десятков микрогенри. Пленочные индуктивности используются в качестве элементов фильтров, в цепях коррекции частотных характеристик и т.д.

Индуктивность пленочной круглой одновитковой петли может быть рассчитана по формуле

$$L = 2\pi \cdot 10^{-3} D \left[\ln\left(\frac{2\pi D}{b+d}\right) - 2,45 \right], \quad (2.22)$$

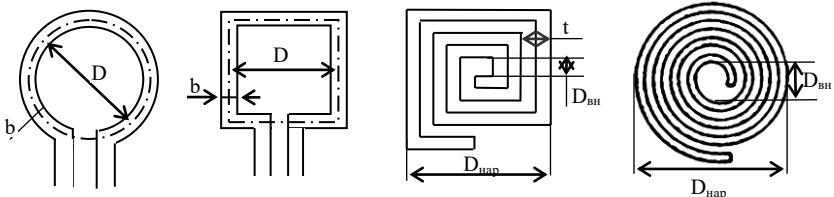


Рис. 2.10 – Конструкции пленочных индуктивностей

где L – индуктивность, мкГн; D – диаметр по средней линии, см; b – ширина пленки, см; d – толщина пленки, см.

Индуктивность квадратной петли

$$L = 8 \cdot 10^{-3} D \left[\ln\left(\frac{8D}{b+d}\right) - 2,85 \right]. \quad (2.23)$$

Порядок расчета многовитковой спирали, имеющей индуктивность L , добротность Q и работающей на частоте f , может быть следующий. В начале выбирают форму спирали. Если необходимо обеспечить высокую добротность индуктивного элемента, то форму спирали выбирают круглой. Если же необходимо обеспечить минимальную площадь, занимаемую индуктивным элементом, то форму спирали выбирают квадратной.

Затем задаются значением внутреннего диаметра спирали $D_{вн}$. Данный диаметр зависит от размеров внутренней контактной площадки и, как правило, выбирается равным 0,5

мм. Зная диаметры $D_{\text{вн}}$ и $D_{\text{нап}}$, определяют значение коэффициента k по формуле $k = 0,05[(D_{\text{нап}}/D_{\text{вн}}) - 3]$ (для $D_{\text{нап}}/D_{\text{вн}} = 4 \div 10$), а затем вычисляют шаг спирали t по следующей формуле:

$$t = k \sqrt{\frac{D_{\text{вн}}^3}{L}}. \quad (2.24)$$

Число витков N определяется как

$$N = \frac{D_{\text{нап}} - D_{\text{вн}}}{2t}. \quad (2.25)$$

Толщина проводящей пленки h определяется по формуле

$$h = (2 \div 4)h_0, \quad (2.26)$$

где h_0 – глубина проникновения электромагнитной волны в материал пленочного проводника, мкм:

$$h_0 = k_1 \sqrt{\lambda}, \quad (2.27)$$

где k_1 – коэффициент, зависящий от материала пленки (для Al – 0,51, Ag – 0,37, Cu – 0,39); λ – длина волны, см.

Ширина проводящей пленки b_0 , при которой можно обеспечить заданную добродельность Q без учета скин-эффекта, определяется по формуле

$$b_0 = \frac{\rho \cdot t \cdot \left(\frac{D_{\text{нап}}^2}{D_{\text{вн}}^2} - 1 \right) \cdot 10^4 \cdot Q}{16f \cdot D_{\text{вн}} \cdot k^2 \cdot h}, \quad (2.28)$$

где ρ – удельное сопротивление материала пленки, Ом·см; f – рабочая частота, МГц.

С учетом скин-эффекта ширина проводящей пленки уточняется по формуле:

$$b = (1,5 \div 2)b_0. \quad (2.29)$$

2.6 Конструкции тонкопленочных распределенных RC-структур

В гибридных микросхемах находят применение некоторые типы пассивных цепей, в которых резистор и конденсатор распределены по всей пленке, а не сосредоточены в пределах отдельных локальных областей. Цепи с распределенными параметрами позволяют конструировать пассивные схемы с такими электрическими характеристиками, которые не удается получить с помощью конечного числа сосредоточенных элементов. Вследствие интеграции конденсаторов и резисторов использование *RC*-структур позволяет экономить площадь подложки. Пленочные *RC*-структуры с распределенными параметрами получили широкое распространение при разработке избирательных усилителей, фильтров, генераторов и других устройств.

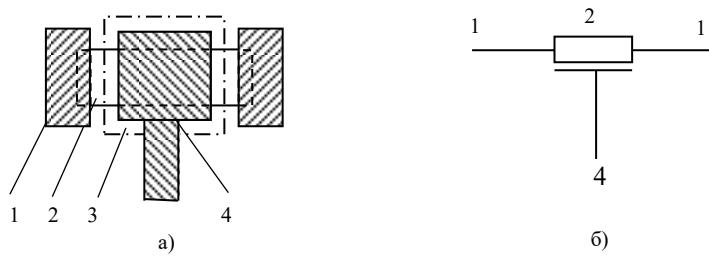


Рис. 2.11 – *RC*-структура с распределенными параметрами:
а – топология; б – эквивалентная схема; 1 – контактные площадки;
2 – резистивный слой; 3 – диэлектрик;
4 – верхняя обкладка

В простейшем случае конструкция *RC*-структур с распределенными параметрами представляет собой тонкопленочный конденсатор, одна из обкладок которого заменена резистивным слоем (рис. 2.11). Таким образом, емкость будет распределена вдоль линии резистора. Практическая реализация *RC*-структур основана на использовании нескольких чередующихся пленок: резистивных, проводящих и диэлектрических материалов. Электрические

параметры и характеристики RC -структур зависят от геометрических конфигураций и размеров пленок, их электрофизических параметров. Расчет подобного элемента выполняется следующим образом.

Располагая известными из электрического расчета значениями R и C , выбирают материалы резистора и обкладки конденсатора. Далее рассчитывают ширину резистивной полоски, принимая во внимание, что площади, занимаемые резистором и конденсатором, одинаковы, т.е. $S_R = b^2(R/\rho_{\text{кв}})$; $S_C = (C/C_0)$.

Затем определяют ширину резистора

$$b \geq \sqrt{\frac{C\rho_s}{C_0 R}},$$

после чего рассчитывают длину резистора $l = b \cdot K_\Phi$.

Полученное значение ширины резистивной полоски необходимо сопоставить с шириной, определяемой из условия допустимой мощности рассеивания для данного резистивного материала, а также с минимальной шириной полоски $b_{\text{техн}}$, обеспечиваемой технологией.

Приведенная конструкция RC -структуры (см. рис. 2.11) относится к однородным структурам, так как для всей линии сопротивление и емкость, отнесенные к единице длины, являются постоянными. Кроме однородных RC -структур, в микросхемах применяются и неоднородные структуры. В пленочных RC -структурах необходимая неоднородность параметров может быть достигнута изменением ширины линии. Линии с уменьшающейся шириной соответствуют возрастанию сопротивления и пропорциональному уменьшению емкости, линии с увеличивающейся шириной – уменьшению сопротивления и возрастанию емкости. Наиболее часто применяются полоски, ширина которых изменяется по экспоненциальному и линейному законам.

При выборе материалов для реализации RC -структур необходимо выполнять те же требования, что и при реализации сосредоточенных резисторов и конденсаторов. При этом особое внимание следует уделять совместимости материалов.

Многослойные RC -структуры с распределенными

параметрами применяются для выполнения разнообразных схемных функций. Например, при определенном соотношении номиналов резисторов и конденсаторов в пятислойной структуре получается фильтр нижних частот.

В микросхемах распределенные RC -цепи чаще всего используют в четырехполюсном, трехполюсном или двухполюсном включении. При этом некоторые выводы n -полюсных структур могут оставаться свободными. В настоящее время наиболее исследованы и находят практическое применение трех- и четырехслойные RC -структуры, обозначаемые как $R\text{-}C\text{-}NR$ и $C\text{-}R\text{-}NC$.

По аналогии с длинными линиями распределенные RC -цепи можно классифицировать на однородные и неоднородные цепи.

Однородной называют RC -цепь с постоянными значениями погонных сопротивления r и емкости c вдоль длины линии, т.е в направлении протекания тока. Если l – длина линии в относительных единицах, то $r = R/l$, $c = C/l$. Дифференциальные погонные сопротивление и емкость неоднородной линии являются функциями расстояния вдоль линии $r = r(x)$ и $c = c(x)$.

Полное сопротивление и емкость неоднородной RC -цепи соответственно равны:

$$R = \int_0^l r(x) d(x); \quad C = \int_0^l c(x) d(x).$$

В обоих случаях считается справедливой одномерная модель распределенной RC -цепи, иначе говоря, предполагается, что удельные параметры зависят только от координаты x . Это выполняется для однородных цепей прямоугольной конфигурации и для неоднородных цепей, в которых неоднородность формируется за счет изменения удельных параметров резистивных и диэлектрических пленок при сохранении прямоугольной конфигурации.

2.7 Особенности конструкций СВЧ ГИС

Одной из новых областей, в которую интенсивно проникает микроэлектроника, является электроника СВЧ-диапазона, охватывающая спектр электромагнитных колебаний в пределах от единиц до сотен гигагерц. Так же как и низкочастотные

микросхемы, СВЧ-микросхемы можно изготовить в полупроводниковом и гибридном исполнении. Полупроводниковая СВЧ-микросхема выполняется на высокоомных полупроводниковых подложках. В настоящее время лучшими для применения в СВЧ-микросхемах являются подложки из арсенида галлия, так как они обладают наиболее стабильными параметрами. Наибольшее распространение получили гибридные СВЧ-микросхемы, изготавливаемые на диэлектрических и ферритовых подложках. Пассивные элементы таких микросхем формируются на основе тонких или толстых пленок, а активные элементы в корпусном или бескорпусном исполнении крепятся к подложке и электрически соединяются с соответствующими элементами.

Отличия конструктивных решений при разработке СВЧ ГИС заключаются в выборе материалов подложек и плат, в специфичности конструкций применяемых навесных активных компонентов, геометрии пленочных элементов и в их компоновке на плате. Поскольку основными областями применения СВЧ ИМС являются радиолокация и связь, важнейшую проблему представляет здесь повышение уровня мощности при одновременном увеличении частоты колебаний, расширение полосы усиления и снижение коэффициента шума.

До частот 1...2 ГГц при производстве СВЧ ГИС может использоваться толстопленочная технология. Выше этих частот необходимо применять тонкопленочную технологию, поскольку она обеспечивает более высокую степень разрешения геометрических размеров.

В качестве активных компонентов в СВЧ ГИС используются биполярные кремниевые СВЧ-транзисторы (до частот 10 ГГц), полевые транзисторы с затворами Шоттки на основе арсенида галлия (до частот 10...30 ГГц), диоды Ганна, лавинно-пролетные диоды (до 100 ГГц). Пассивные элементы СВЧ ГИС создаются на основе передающих линий с распределенными параметрами (микрополосковых линий) или в виде элементов с сосредоточенными параметрами, как и для ГИС, работающих в диапазоне более низких частот. В последнем случае размеры элементов должны быть во много раз меньше длины волны, на

которой работает устройство (для частот до 10 ГГц).

Основным конструктивным элементом СВЧ ГИС с распределенными параметрами является микрополосковая линия (МПЛ). Она является плоским аналогом объемной коаксиальной линии и представляет собой узкую металлическую пленочную полоску на диэлектрической плате с экранированной обратной стороной (рис. 2.12).

Основными электрическими параметрами МПЛ являются волновое сопротивление Z , длина волны λ и затухание α . Эти параметры могут быть рассчитаны по формулам:

$$Z = \frac{Z_0}{\sqrt{\epsilon_{\text{эфф}}}}; \quad \lambda = \frac{\lambda_0}{\sqrt{\epsilon_{\text{эфф}}}}; \quad \alpha = \frac{\alpha_0}{\sqrt{\epsilon_{\text{эфф}}}},$$

где Z_0 , λ_0 , α_0 – параметры МПЛ для свободного пространства (воздуха); $\epsilon_{\text{эфф}}$ – эффективная диэлектрическая проницаемость МПЛ.

Величина $\epsilon_{\text{эфф}}$ рассчитывается в соответствии с соотношением

$$\epsilon_{\text{эфф}} \approx \frac{\epsilon + 1}{2} + \frac{\epsilon - 1}{2} \cdot \frac{1}{\sqrt{1 + \frac{10h}{b}}},$$

где ϵ – диэлектрическая проницаемость материала платы (обычно применяются материалы с $\epsilon \geq 10$).

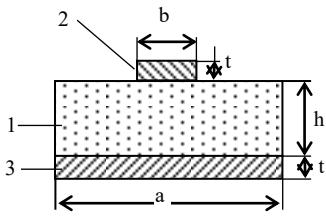


Рис. 2.12 – Конструкция микрополосковой линии: 1 – подложка; 2 – проводник; 3 – металлизация обратной стороны подложки

Для уменьшения размеров МПЛ и подавления возникающих в ней гармоник целесообразно уменьшать ширину полоски b . Однако это приводит к возрастанию потерь в линии. К возрастанию потерь приводит также и уменьшение толщины платы h , хотя уменьшение h желательно для минимизации размеров МПЛ и снижения потерь на излучение. Стандартные размеры толщины: $h = 0,25; 0,5; 1,0$ мм. Толщина проводящих пленок t должна

составлять величину $t=(3\div 5)\delta$, где δ – толщина скин-слоя на частоте работы микросхемы. Для обычно применяемых проводниковых материалов толщина скин-слоя

$$\delta = \frac{1}{\sqrt{\pi f \mu_0 \sigma}},$$

где f – рабочая частота; μ – магнитная проницаемость материала пленки; σ – удельная проводимость материала пленки, $(\text{Ом} \cdot \text{см})^{-1}$.

Приведем в качестве примера параметры МПЛ с волновым сопротивлением $Z = 50$ Ом, изготовленной на плате с $\varepsilon = 10$: $b = 0,475$ мм; $h = 0,5$ мм; $t = 6,25$ мкм; $\varepsilon_{\text{эфф}} = 6,8$.

На рис. 2.13 показаны конструкции элементов с распределенными параметрами, используемые в СВЧ ГИС на микрополосковых линиях, а также их эквивалентные схемы. Размеры подобных элементов соизмеримы с длиной волны, на которой работает СВЧ-микросхема (размеры элементов $\lambda/8$).

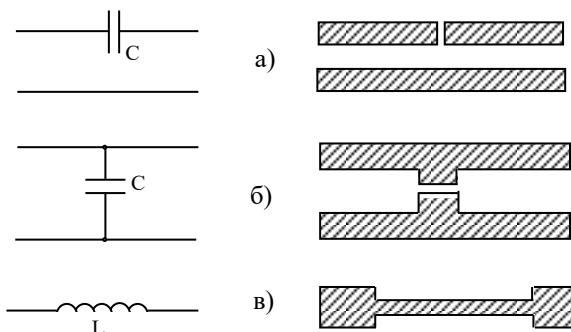


Рис. 2.13 – Конструкции и эквивалентные схемы элементов СВЧ ГИС с распределенными параметрами:
а – последовательная емкость; б – параллельная емкость;
в – последовательная индуктивность

Герметизация СВЧ ГИС осуществляется с помощью корпусов. Иногда микросхемы СВЧ не помещают в индивидуальные корпуса, а герметизируют с помощью лаков и компаундов с последующей групповой защитой от внешних воздействий в составе микроэлектронной аппаратуры кожухом и

т.п. Корпуса СВЧ ГИС выполняются обычно в виде массивных металлических конструкций, имеющих высокочастотные коаксиально-полосковые соединители, служащие для подачи и отвода СВЧ-сигнала. Помимо герметизации, корпус обеспечивает механическую прочность, отвод выделяющегося тепла и экранирование СВЧ электромагнитного поля.

2.8 Конструкции компонентов гибридных микросхем

В качестве компонентов гибридных микросхем используют полупроводниковые микросхемы, диодные и транзисторные матрицы, миниатюрные корпусные диоды и транзисторы, бескорпусные диоды и транзисторы, миниатюрные резисторы, конденсаторы, индуктивности, дроссели, трансформаторы.

Выбор компонентов для конкретной гибридной интегральной микросхемы проводят, исходя из схемотехнических, конструктивно-технологических требований и требований к надежности, предъявляемых к параметрам схемы, массо-габаритных характеристик устройства, условий эксплуатации и технологии производства, сроков освоения, стоимости и т.п. Поскольку надежность функционирования компонента определяется режимами его работы в схеме, следует учитывать зависимость электрических параметров от условий работы схемы, значений токов, напряжений, мощности компонентов.

Недостатком компонентов с гибкими выводами (рис. 2.14, *а*, *г*) является трудность автоматизации процессов их монтажа в гибридную микросхему. Применение компонентов с шариковыми выводами (рис. 2.14, *в*) затрудняет контроль процесса сборки. Приборы с балочными выводами (рис. 2.14, *б*) дороги, но позволяют автоматизировать сборку, контролировать ее качество, увеличивать плотность монтажа.

Способ монтажа компонентов на плату гибридной микросхемы должен обеспечить сохранность их формы, параметров и свойств, отвод тепла от них, стойкость микросхемы к термоциклированию, вибрациям и ударам (рис. 2.15).

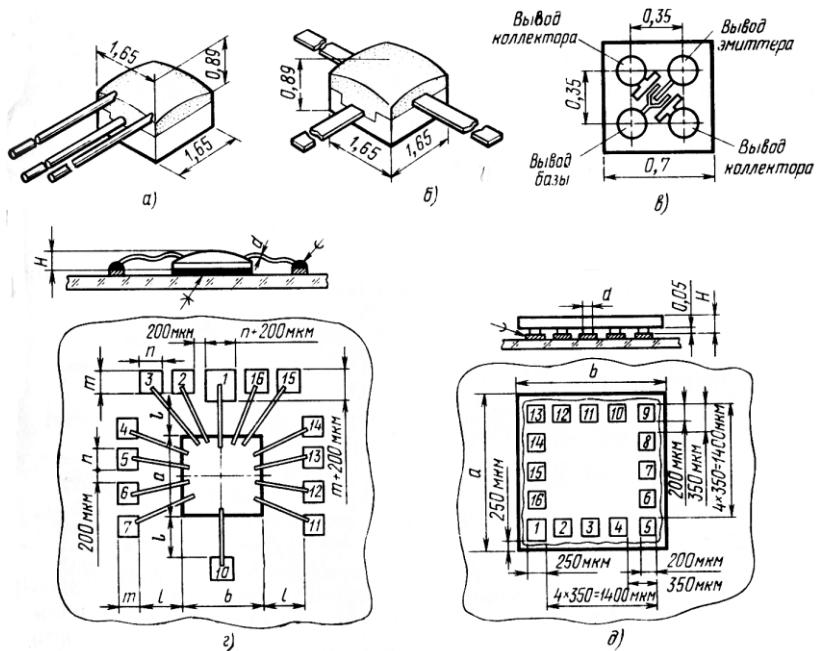


Рис. 2.14 – Конструкции активных компонентов гибридных микросхем: бескорпусные транзисторы с гибкими (а), балочными (б), шариковыми (в) выводами и бескорпусные полупроводниковые микросхемы с гибкими (г)

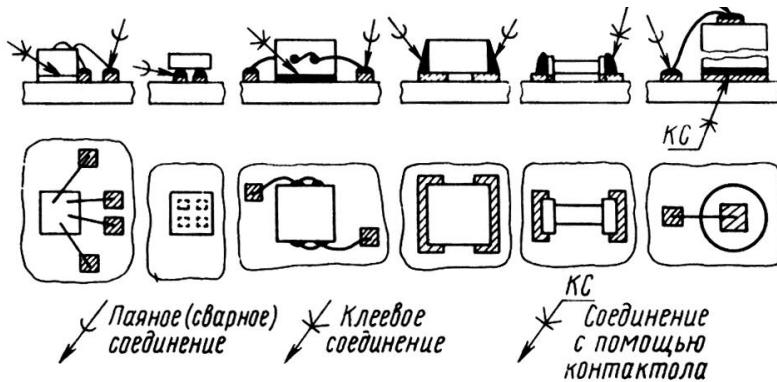


Рис. 2.15 – Способы крепления компонентов гибридных микросхем и присоединения их выводов

Миниатюрные резисторы. Чаще всего применяют резисторы типов С2-12, С3-2, С303 и др. (рис. 2.16).

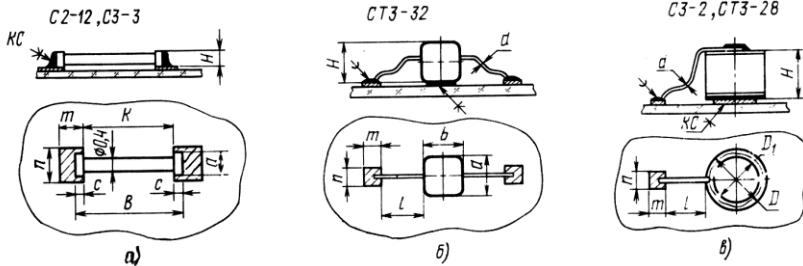


Рис. 2.16 – Конструкции миниатюрных резисторов гибридной микросхемы

Миниатюрные конденсаторы довольно часто применяют в гибридных микросхемах. Это вызвано тем, что методами пленочной технологии получить конденсаторы с требуемыми рабочими характеристиками удается далеко не всегда. Промышленностью выпускаются несколько типов миниатюрных конденсаторов (рис. 2.17)

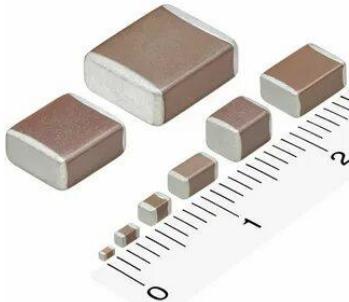


Рис.2.17 – Миниатюрные конденсаторы

Выбор типа конденсатора производят по значениям емкости, рабочего напряжения, интервалу рабочих температур, допустимой реактивной мощности, допустимому отклонению емкости от номинала, величине ТKE.

Наиболее перспективны керамические конденсаторы К10-17 и К10-9, обладающие высокой емкостью и приемлемыми значениями других характеристик. Эти конденсаторы

выпускаются двух типов – с нелужеными (посеребренными) и лужеными торцами, являющимися выводами обкладок. Нелуженые выводы предназначены для присоединения к контактным площадкам с помощью гибких выводов, луженые – непосредственно к контактным площадкам платы гибридной микросхемы.

В качестве электролитических целесообразно использовать малогабаритные оксидно-полупроводниковые конденсаторы. Они рассчитаны на рабочее напряжение до 30 В в интервале температур $-60\ldots85^{\circ}\text{C}$, применяются в основном в фильтрах вторичных источников питания, в цепях развязки. Электролитические конденсаторы К53-15 и К53-16 отличаются конструкцией выводов. Конденсатор К53-15 имеет выводы по типу шариковых и предназначен для автоматизированного монтажа, а конденсатор К53-16 имеет гибкие выводы и монтируется на плату с помощью проволочного монтажа.

Миниатюрные диоды и диодные матрицы. В качестве диодных структур преимущественное применение находят бескорпусные диодные матрицы (рис. 2.18). Они выполняются в двух вариантах: с общим катодом и с общим анодом. Кроме диодных матриц, в конструкциях гибридных микросхем используются дискретные диоды.

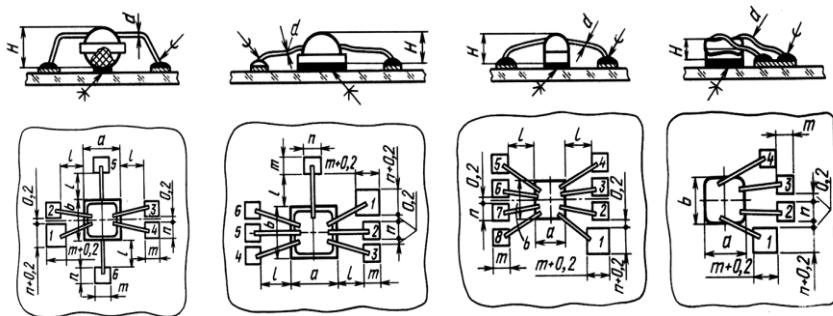


Рис. 2.18 – Способы установки диодных матриц и сборок на плату гибридной микросхемы

В качестве выпрямительных и импульсных применяются кремниевые сплавные или диффузионные, а также арсенид-галлиевые диоды. Часть из них выпускается в бескорпусном варианте, остальные – в миниатюрных пластмассовых или металлокерамических корпусах.

В гибридных микросхемах, предназначенных для усиления и генерации электрических сигналов, в качестве навесных компонентов используются миниатюрные туннельные и обращенные диоды.

В оптоэлектронных микросхемах широко используются миниатюрные и бескорпусные светодиоды. Промышленностью выпускаются арсенид-галлиевые эпитаксиальные бескорпусные светодиоды и фосфорид-галлиевые эпитаксиальные бескорпусные светодиоды. В ряде случаев в качестве источников инфракрасного излучения с длиной волны 0,95 мкм в микросхемах находят применение светодиоды типов АЛ 103А, АЛ103Б. Габаритные чертежи миниатюрных и бескорпусных диодов показаны на рис. 2.19.

Миниатюрные корпусные и бескорпусные транзисторы и транзисторные матрицы

Габаритные чертежи некоторых вариантов конструкций биполярных и полевых транзисторов показаны на рис. 2.20 и 2.21. В ранних разработках широко использовались в микросхемах кремниевые планарные полевые транзисторы типа КП201. Указанные транзисторы имеют структуру с р-п-переходом и каналом р-типа. Транзисторы данного типа рекомендуется использовать при температуре окружающей среды $-40\ldots+85^{\circ}\text{C}$. В микросхемах подобные транзисторы устанавливают по варианту 1 (см. рис. 2.15).

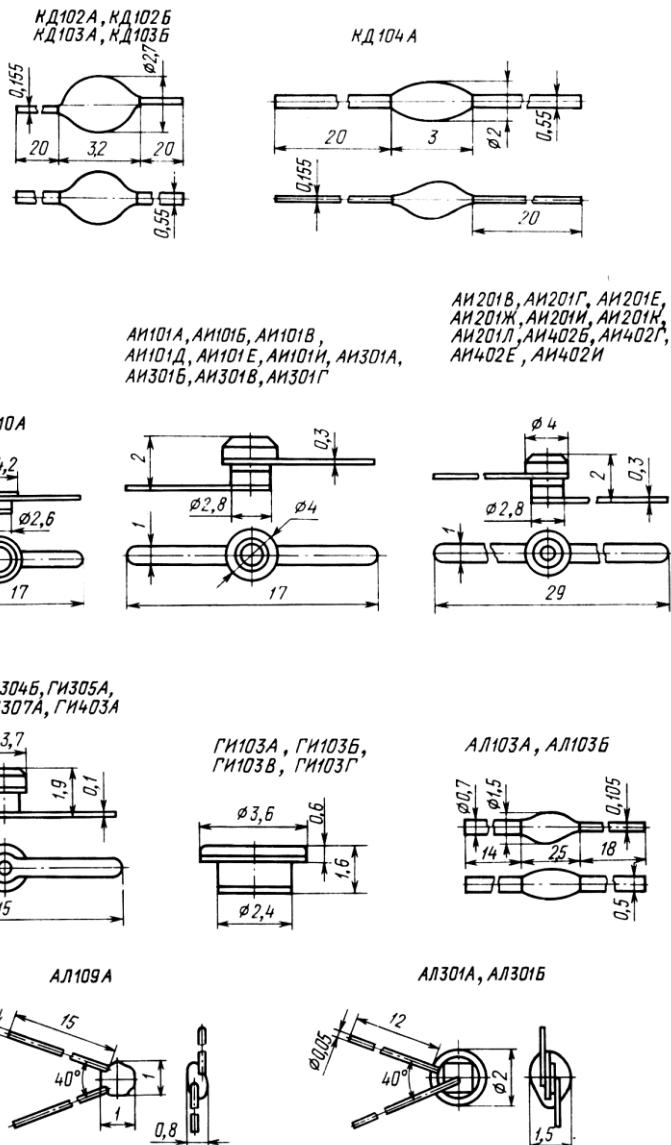


Рис. 2.19 – Конструкции и размеры миниатюрных бескорпусных диодов

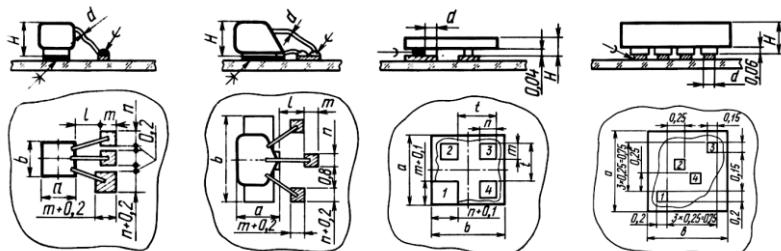


Рис. 2.20 – Способы установки на плату, габаритные и присоединительные размеры биполярных транзисторов

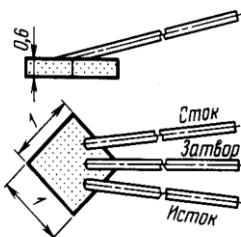


Рис. 2.21 – Дискретный полевой транзистор.
Габаритный чертеж

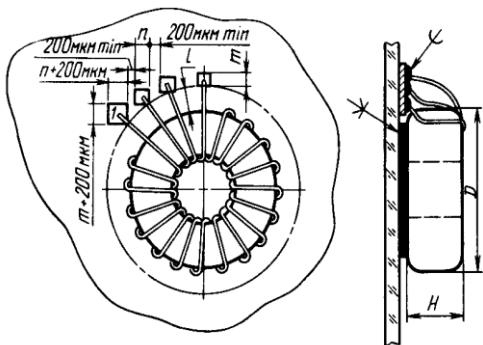


Рис. 2.22 – Миниатюрный трансформатор для гибридных микросхем. Вариант установки и габаритный чертеж

Миниатюрные трансформаторы

Габаритный чертеж миниатюрного трансформатора приведен на рис. 2.22. Помимо трансформаторов, в гибридных микросхемах используются навесные дроссели, миниатюрные катушки индуктивности.

Бескорпусные полупроводниковые интегральные микросхемы

Они предназначены для эксплуатации в составе микросхем и микросборок, ячеек и блоков МЭА, подвергающихся общей герметизации. Бескорпусную герметизацию полупроводниковых

микросхем проводят после пассивации поверхности кристалла пленками SiO_2 , боро- или фосфоросиликатного стекла.

Для бескорпусной герметизации используют кремнийорганические эпоксидные эмали, фосфоросодержащие лаки, эпоксидные компаунды. Эмали и лаки наносят на одну рабочую сторону кристалла, компаунды – на обе стороны и на боковые грани. Толщина герметизирующего покрытия 200... 400 мкм. Как правило, бескорпусные микросхемы имеют прямоугольную форму, что целесообразно для оптимального «раскюя» и разделения полупроводниковых пластин на кристаллы и более удобно для их размещения на подложках микросхем и микросборок в сочетании с другими элементами и компонентами. Габаритные и присоединительные размеры некоторых серий бескорпусных микросхем, их конструкции и варианты установки на плату показаны на рис. 2.14 и 2.23. В бескорпусном варианте выпускаются также и другие серии логических и цифровых полупроводниковых микросхем, например КБ102-1, КБ103-1, КБ743-3. В числе бескорпусных аналоговых полупроводниковых микросхем наиболее широко используются операционные усилители (рис. 2.24).

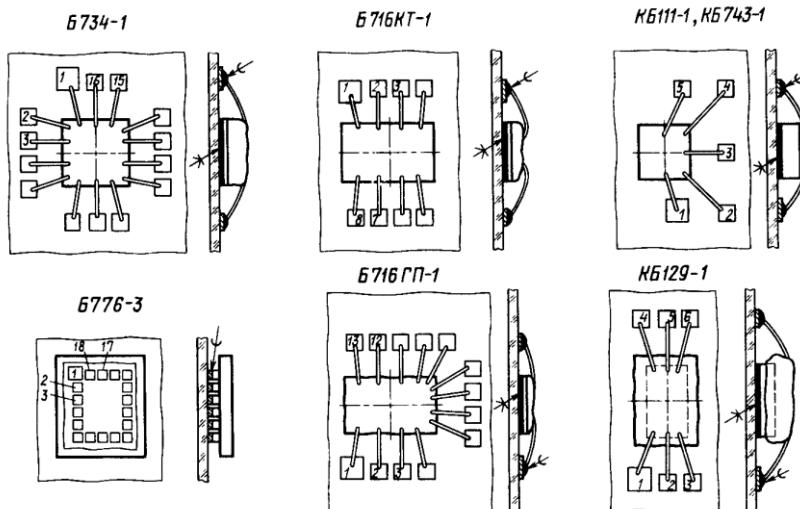


Рис. 2.23 – Конструкции бескорпусных микросхем, варианты их установки на подложку и способы присоединения выводов

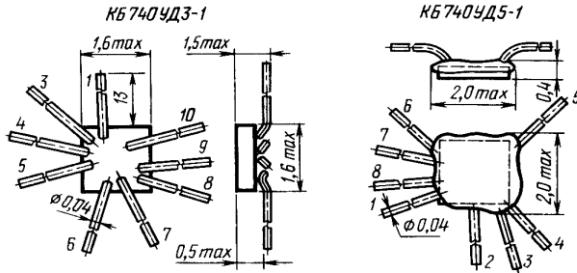


Рис. 2.24 – Бескорпусные интегральные микросхемы операционных усилителей. Габаритные чертежи

Для крепления к подложке микросхемы компонентов с гибкими и балочными выводами используются стекла с температурой обработки 450...500°C, термостойкие клеи на неорганической основе, ситаллы, клеи на основе компаундов. Они не должны разрушать защитное покрытие бескорпусных компонентов. Жидкое стекло наносится в виде небольшой капли, на нее устанавливается кристалл, затем производится нагрев в печи или на установке для пайки. Температура отверждения клеевого соединения с использованием эпоксидной смолы 60...110°C. Толщина клеевого соединения 0,05...0,1 мм. Рекомендуется применять эпоксидный клей ВК-9. Крепление приборов может также осуществляться с помощью припоя или эвтектическим сплавом. В этом случае место крепления компонента на плате гибридной микросхемы нужно металлизировать. Крепление компонентов с шариковыми выводами к контактным площадкам микросхемы производится в защитной атмосфере аргона, азота или гелия с применением припоя. Применение ультразвука позволяет улучшить качество сборки.

Соединение выводов компонентов с контактными площадками микросхемы проводится одним из многочисленных способов микросварки: термокомпрессией, сдвоенным электродом, с помощью ультразвуковых колебаний (25...50 кГц) и т.д. Для контактирования компонентов с пленочным монтажом применяются также пайки низкотемпературными припоями. Остатки флюса на месте пайки должны обладать изоляционными свойствами, не вызывать коррозии и быть негигроскопичными.

Резисторы и конденсаторы с лужеными контактными поверхностями присоединяются либо пайкой, либо с помощью контактолов К13-А.

Бескорпусные компоненты следует размещать на подложке или плате гибридной микросхемы с учетом рационального использования ее площади, обеспечения минимизации длины проводников и их пересечений. Необходимо также обеспечить заданный тепловой режим работы компонентов, максимально уменьшить паразитные связи, обеспечить ремонтопригодность (возможность замены). Как правило, оптимизировать конструктивные параметры гибридной микросхемы или микросборки удается, лишь используя ЭВМ.

Основные конструктивные и технологические ограничения при размещении компонентов определяются техническими условиями, характером и разрешающей способностью существующих технологических процессов и используемого оборудования.

2.9 Проектирование топологии гибридных ИМС

Основным завершающим этапом процесса конструирования гибридных ИМС является разработка топологического чертежа микросхемы и ее оптимизация. Топологический чертеж микросхемы представляет собой конструкторский документ, строго определяющий ориентацию и взаимное расположение всех элементов микросхемы на площади подложки, а также форму и размеры пассивных элементов. Его составляют с учетом ряда требований и ограничений, определяемых принципом работы и назначением микросхемы. Иначе говоря, топологический чертеж, или просто топология микросхемы, – это документ, предопределяющий оптимальное размещение элементов микросхемы на подложке и обеспечивающий изготовление микросхемы с заданными техническими и электрическими параметрами.

Разработку топологии рекомендуется проводить в такой последовательности: составление схемы соединения элементов на плате; расчет конструкций пленочных элементов;

определение необходимой площади платы и согласование с типоразмером корпуса, выбранного для ГИС; разработка эскиза топологии; оценка качества разработанной топологии и при необходимости ее корректировка.

Для составления схемы соединений на принципиальной электрической схеме выделяют пленочные элементы и навесные компоненты, намечают порядок их расположения и проводят упрощение схемы соединений с целью уменьшения числа пересечений проводников и сокращения их длины.

Производят выбор материалов и расчет геометрических размеров пленочных элементов. Затем приступают к определению необходимой площади платы. Из технологических соображений элементы микросхемы располагают на некотором расстоянии от ее края. Промежутки между элементами определяются технологическими ограничениями и условиями теплоотвода.

Ориентировочную площадь платы определяют по формуле

$$S = K (S_{\Sigma R} + S_{\Sigma C} + S_{\Sigma L} + S_{\Sigma k} + S_{\Sigma_{н.к.}}),$$

где К – коэффициент запаса по площади, определяемый количеством элементов в схеме, их типом и сложностью связей между ними (для ориентировочных расчетов можно принимать $K = 2 \div 3$); $S_{\Sigma R}$, $S_{\Sigma C}$, $S_{\Sigma L}$, $S_{\Sigma k}$ – площади, занимаемые всеми резисторами, конденсаторами, индуктивностями, контактными площадками; $S_{\Sigma_{н.к.}}$ – суммарная площадь навесных компонентов, которые не могут быть расположены над пленочными элементами и занимают площадь на плате.

После вычисления ориентировочной площади платы выбирают ее типоразмер согласно табл. 2.1. Одновременно выбирают способ защиты ГИС (см. п. 11) и в случае использования корпусов – типоразмер корпуса. Рекомендуемые размеры плат: 20×24, 20×16, 15×16, 15×8 мм и т.д.

Далее приступают к разработке эскиза топологии. На этом этапе решают задачу оптимального размещения на плате пленочных элементов, навесных компонентов и соединений между ними, а также между внешними контактными площадками на плате и выводами корпуса.

Для разработки эскизных топологических чертежей

необходимо знать: схему электрическую принципиальную и схему соединения элементов; форму и геометрические размеры пленочных элементов и навесных компонентов; ориентировочные размеры и материал платы, предварительно выбранный метод индивидуальной герметизации, вид и размеры корпуса или метод установки платы в блоке при групповой герметизации; возможности производственной базы, предназначенной для изготовления разрабатываемой ГИС.

Начальный этап разработки топологии состоит в изготовлении эскизных чертежей, выполненных в масштабе 10:1 или 20:1. Масштаб выбирают, исходя из удобства работы, наглядности и точности. Эскизный чертеж варианта топологии ГИС выполняют совмещенным для всех слоев. Непосредственно перед разработкой топологии составляется схема расположения, называемая также коммутационной (рис. 2.25).

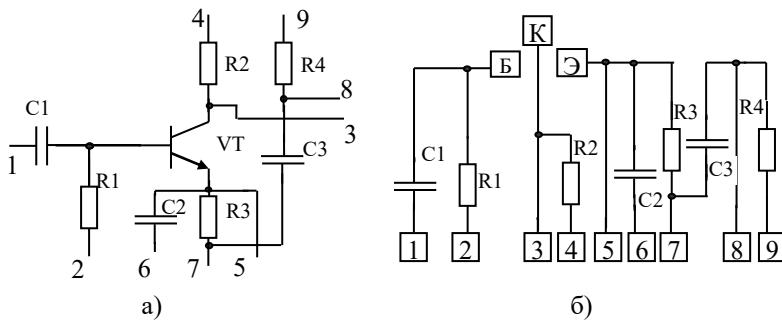


Рис. 2.25 – Принципиальная электрическая (а)
и коммутационная (б) схемы устройства

Навесные компоненты изображают с соблюдением порядка расположения выводов. Границы навесных компонентов располагают вдоль осей координатной сетки. Одновременно с размещением элементов и компонентов проводят линии электрической связи (проводники). Расстояние между параллельными линиями, изображающими проводники, берут с учетом ширины проводников и расстояний между ними. Линии проводят параллельно осям координат. При вычерчивании необходимо следить за тем, чтобы пленочные проводники

отличались от проволочных выводов навесных компонентов, навесных перемычек, места соединения их обозначают контактными площадками. Элементы ГИС, принадлежащие разным слоям, в первом эскизе рекомендуется изображать разными цветами.

При создании чертежа топологии необходимо обращать внимание на использование наиболее простых форм элементов, равномерность размещения элементов на плате, обеспечение удобств при выполнении сборочных операций, увеличение размеров контактных площадок, расширение допусков на совмещение слоев и т.д.

При вычерчивании элементов следует экономно использовать площадь, что достигается выбором конфигурации размещаемых пленочных элементов.

При разработке топологии нужно учитывать обеспечение возможности измерений электрических параметров пленочных элементов (резисторов, конденсаторов и т.д.). Если структура электрической схемы не позволяет этого сделать (например, параллельное соединение конденсатора и резистора), методика проверки узлов и требования к топологии, связанные с этой проверкой, должны быть определены до начала разработки топологии.

При разработке топологии необходимо обеспечить возможность выполнения требований к монтажу применяемых навесных компонентов, а также требования к сборке и защите микросхемы.

При проработке первого варианта топологии обычно не удается получить приемлемую конфигурацию слоев. Работа над следующими вариантами топологии сводится к устранению недостатков первого варианта для того, чтобы чертеж отвечал всем конструктивно-технологическим требованиям и ограничениям. После того как окончательно выбран вариант топологии, приступают к изготовлению чертежей слоев микросхемы по элементам (резисторы, проводники и контактные площадки, нижние обкладки конденсаторов, диэлектрики и т.д.). Эти чертежи – основа для изготовления комплекта фотошаблонов и масок.

Способ и последовательность работы по размещению и выбору формы пленочных элементов могут быть различными: эта работа во многом определяется опытом разработчика и носит индивидуальный характер. Для нахождения оптимального варианта размещения элементов на плате в настоящее время используют методы проектирования топологии с помощью прикладных программ.

Оценка качества разработки топологии ГИС

Разработанная топология должна: соответствовать принципиальной электрической схеме; удовлетворять всем предъявленным конструктивным требованиям; быть составлена таким образом, чтобы для изготовления микросхемы требовалась наиболее простая и дешевая технология; обеспечить заданный тепловой режим и возможность проверки элементов в процессе изготовления. Емкостные и индуктивные связи не должны нарушать нормальную работу схемы при заданных условиях эксплуатации.

При проверке правильности разработки топологии ГИС принимают такой порядок. Проверяют соответствие принципиальной электрической схеме; внешних контактных площадок – выводам корпуса; конструктивно-технологическим требованиям и ограничениям согласно Приложению 1; расчетным значениям длины, ширины и коэффициента формы резисторов и в случае необходимости производят корректировку размеров резисторов. Проверяют наличие в схеме пересечения пленочных проводников и защиту их диэлектриком, возможность контроля элементов, обеспечение нормального функционирования микросхемы при заданных условиях эксплуатации. При необходимости проводят оценку емкостных и индуктивных связей.

Проверка эскиза топологии сопровождается уточнением и корректировкой, в результате этого разрабатывается окончательный вариант топологии.

На рис. 2.26 показана топология тонкопленочной гибридной схемы. На топологическом чертеже плату изображают со всеми нанесенными на нее слоями с указанием позиционных обозначений элементов в соответствии с

принципиальной электрической схемой. Каждый слой обозначают соответствующей штриховкой. Вид штриховки расшифровывается в таблице, помещаемой в поле чертежа. Допускается на изображении нижних обкладок конденсаторов штриховать только участки, выступающие за края верхней обкладки. Наклон штриховки нижних и верхних обкладок должен быть различным. Контактные площадки нумеруются, начиная с левого нижнего угла чертежа, в направлении против часовой стрелки. Вначале нумеруются все внешние контактные площадки, а затем – внутренние (очередными порядковыми номерами). Нумерацию внутренних контактных площадок проводят с нижнего левого угла снизу вверх и слева направо.

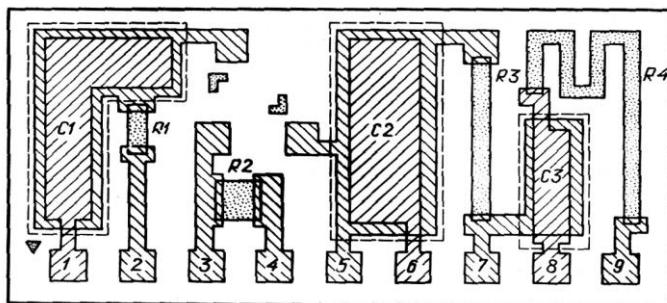


Рис. 2.26 – Топология тонкопленочной гибридной

На топологическом чертеже микросхемы обязательно должен указываться ключ – начало отсчета контактных площадок. Ключ может быть выполнен в виде какой-либо фигуры, например треугольника, нанесенной на свободное поле платы. Либо в виде увеличенной нижней левой периферийной контактной площадки.

Технические требования помещают на поле топологического чертежа микросхемы. Они включают требования, предъявляемые к качеству поверхности подложки, данные по напылению отдельных слоев, требования к точности размеров элементов и внешнему оформлению микросхемы. В специальную таблицу помещают данные о номинальных параметрах и допусках пленочных элементов и указания по измерению параметров.

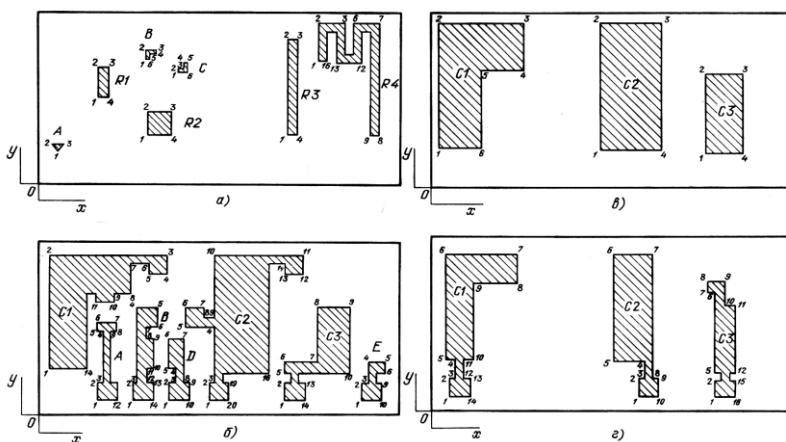


Рис. 2.27 – Послойные чертежи тонкопленочной микросхемы:
а – вид на резистивный слой; б – вид на проводящий слой (нижние обкладки конденсаторов, пленочные проводники и контактные площадки); в – вид на диэлектрический слой; г – вид на второй проводящий слой (верхние обкладки конденсаторов)

На основании топологического чертежа выполняют послойные чертежи (отдельные чертежи на каждый слой) в том же масштабе, что и топологический чертеж. Эти чертежи (рис. 2.27) – основа для изготовления технологической оснастки (фотошаблонов, масок). Размеры элементов каждого слоя задаются в прямоугольной системе координат и сводятся в таблицу, помещаемую на поле чертежа соответствующего слоя. Вершины фигур, очерчивающие пленочные слои, нумеруются. Нумерацию в пределах каждого элемента начинают с крайней левой нижней вершины, имеющей наименьшее значение координаты X , и продолжают по часовой стрелке; нумерацию вершин элементов в пределах слоя – с нижнего левого элемента с переходом к следующему ближнему по направлению снизу вверх и слева направо. Чертежи на отдельные слои помечают надписью с названием слоя (например, «Вид на резистивный слой»).

Завершающим этапом проектирования является разработка комплекта конструкторской документации.

3 ТОЛСТОПЛЕНОЧНЫЕ ГИС

Толстопленочные микросхемы представляют собой отдельный класс гибридных интегральных схем. Поскольку этот вид микроэлектронных изделий разрабатывался в 1970 – 1980 гг. и в настоящее время не производится, кратко отметим лишь основные особенности этих изделий.

3.1 Платы толстопленочных ГИС

Наиболее подходящими материалами для плат толстопленочных ГИС являются высокоглиноземистая керамика 22ХС, поликор и керамика на основе окиси бериллия.

Высокая механическая прочность керамики позволяет использовать плату в качестве детали корпуса с отверстиями, пазами, а высокая теплопроводность дает возможность изготавливать мощные микросхемы.

Самую высокую теплопроводность имеет бериллиевая керамика, но в массовом производстве ее не используют из-за высокой токсичности окиси бериллия. Керамику типа «поликор» применяют для создания многослойных толстопленочных БИС.

Точность изготовления пассивной части микросхемы в значительной мере зависит от плоскости и шероховатости платы. Максимальная кривизна поверхности (макронеровность) не должна превышать 4 мкм на 1 мм. Шероховатость (микронеровность) рабочей поверхности платы должна быть не ниже 8-го класса (высота неровностей 0,32–0,63 мкм). Более высокая чистота обработки поверхности платы не нужна, так как адгезия толстых пленок к шероховатой поверхности лучше, а влияние микронеровностей мало сказывается на свойствах пленок толщиной 10–70 мкм.

Размеры плат определяются конкретной конструкцией корпусов. Максимальные размеры плат 60×48 мм. Платы больших размеров не применяют из-за ухудшения параметров пленочных элементов вследствие коробления плат при вжигании пленок. Толщина плат 0,6–1 мм.

3.2 Пасты для толстопленочных ГИС

Нанесение материала толстых пленок, в состав которых, как правило, входят металл, окисел металла и стекло, на плату осуществляют продавливанием через сетчатый трафарет, имеющий закрытые и открытые участки. Для трафаретной печати материал толстых пленок должен иметь консистенцию пасты. Пасты подразделяют на проводящие (для проводников, контактных площадок и обкладок конденсаторов), резистивные и диэлектрические (для конденсаторов, изоляционных и защитных слоев).

В состав паст входят основные материалы, придающие пленкам необходимые для их функционирования физические свойства и вспомогательные материалы, придающие пастам основные технологические и физико-химические свойства. В качестве основных материалов в проводящие и резистивные пасты входят металлы Ag, Au, Pt, Pd, In, Os, Ro, сплавы Pt – Au, Pd – Ag, Pd – Au, многокомпонентные системы Pd – PdO – Ag.

С целью экономии драгоценных металлов для формирования резисторов применяют сплавы Ag – Ru, Bi – Ru, Ru – Ir и пасты на основе рутения.

Основным материалом для диэлектрической пасты служит размельченная керамика с высокой диэлектрической проницаемостью и низким $\tg\delta$, например керамика на основе BaTiO₃. Для межслойной изоляции используют кристаллизующиеся стекла с малым значением диэлектрической проницаемости. Для хорошего сцепления пленки с платой и связывания частиц основного материала между собой в состав паст вводят порошок стекла (чаще всего висмутоборосиликатные стекла). Для придания пасте необходимых вязкости и поверхностного натяжения, позволяющих ей легко проникать через трафареты и, не растекаясь, закрепляясь на плате, вводят дополнительные органические вещества и растворители. В состав паст входят примерно 2/3 основного вещества и стекла и 1/3 органических добавок.

3.3 Основные технологические операции изготовления толстопленочных ГИС

Нанесение паст можно производить двумя способами: бесконтактным и контактным.

При бесконтактном способе подложку, на которую нужно нанести пасту, устанавливают под сетчатым трафаретом с некоторым зазором; пасту подают поверх трафарета и передвижением ракеля через отверстия в трафарете переносят на подложку в виде столбиков, копирующих отверстия в сетке. Растекаясь, столбики соединяются, образуя такой же рисунок, как на трафарете. Сетчатые трафареты изготавливают из капрона, нейлона или нержавеющей стали.

Качество трафаретной печати зависит от скорости перемещения и давления ракеля, зазора между сетчатым трафаретом и платой, натяжения трафарета и свойств пасты. Необходимо строго соблюдать параллельность платы, трафарета и направления движения ракеля.

Для устранения неравномерности толщины резисторов рекомендуется составлять топологию так, чтобы все резисторы располагались по длине в одном направлении по движению ракеля. По этой же причине не рекомендуется проектировать длинные и узкие, а также короткие и широкие резисторы.

При контактном способе трафаретной печати плату устанавливают под трафаретом без зазора. Отделение платы от трафарета осуществляют вертикальным перемещением без скольжения во избежание размазывания отпечатка пасты. При контактном способе пасту можно наносить пульверизацией с помощью распылителя. Точность отпечатка при контактном способе выше, чем при бесконтактном.

Пасты после нанесения подвергают термообработке – сушке и вжиганию. Сушка необходима для удаления из пасты летучих компонентов (растворителя). Сушку проводят при температуре 80–150°C в течение 10–15 мин в установках с инфракрасным (ИК) нагревом. ИК-излучение проникает в глубь слоя пасты на всю его толщину, обеспечивая равномерную сушку без образования корочки на поверхности.

Вжигание производят в печах конвейерного типа непрерывного действия с постепенным повышением температуры до максимальной, выдержкой при ней и последующим охлаждением. Ряд печей содержит приставки ИК-сушки, что позволяет объединить эти операции.

Вначале при термообработке происходит выгорание органической связи (температура 300–400°С, при этом скорость нагрева во избежание образования пузырьков не должна превышать 20 град/мин). Во второй, центральной температурной зоне конвейерной печи происходит сплавление частиц основных материалов между собой с образованием проводящих мостиков и спекание их со стеклом и керамической платой при температуре 500–1000° С. На выходе из печи платы охлаждают с небольшой скоростью во избежание их растрескивания и отслаивания пленок от плат.

Перед первым нанесением паст платы подвергают очистке и термическому отжигу при температуре 600–620° С. Пасты для создания проводящих слоев вжигают при температуре 750–800° С, пасты диэлектрика конденсаторов и изоляционный слой – при 700–750° С, верхние обкладки конденсаторов – при 700–720° С, диэлектрик защитного слоя – при 620–650° С, резисторы – при 600–650° С. Для исключения появления сквозных пор в диэлектрике конденсаторов его наносят в два слоя, причем каждый слой сушат и вжигают отдельно.

Если одна и та же паста наносится на обе стороны платы, то возможны раздельное нанесение и вжигание пасты с каждой стороны, а также нанесение и сушка пасты с одной стороны, нанесение, сушка и вжигание пасты с другой стороны при одновременном вжигании ранее нанесенной пасты.

Последовательность технологических операций нанесения и термообработки паст при производстве толстопленочной ГИС следует выбирать такой, чтобы каждая последующая операция имела более низкую температуру вжигания по сравнению с предыдущей. Последними наносят и вжигают резистивные пасты. Для схем с однослойной разводкой, содержащих проводники, конденсаторы и резисторы, возможен такой вариант: формирование проводников, контактных площадок и

нижних обкладок конденсаторов; формирование слоя диэлектрика; формирование верхних обкладок конденсаторов; формирование резисторов;

Последовательность нанесения слоев указана для одной стороны платы, при использовании второй стороны эта последовательность сохраняется.

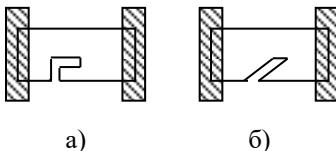


Рис. 3.1 – Тонкопленочный резистор после лазерной подгонки:
а – с участками грубой и точной подгонки; б – с подгонкой под углом

Защита толстопленочных ГИС осуществляется глазированием поверхности сформированной пленочной структуры стеклами с низкой температурой размягчения, не превышающей 500°C во избежание изменения параметров резисторов. Толщина защитного диэлектрического слоя 30–60 мкм, сопротивление изоляции более 10^{12} Ом при постоянном напряжении 100 В.

Если толстопленочная ГИС устанавливается в корпус, то защиту с использованием глазирования, как правило, не производят.

После нанесения и вжигания всех слоев пассивной части схемы производят подгонку пленочных элементов, монтаж навесных компонентов, армирование (установку выводов) и герметизацию.

В условиях массового производства отклонение от номиналов сопротивлений резисторов и емкости конденсаторов может достигать 50%, поэтому необходимо производить их подгонку. Подгонка толстопленочных резисторов и конденсаторов принципиально не отличается от тонкопленочных и производится изменением конфигурации элементов или отжигом.

Толстопленочные ГИС герметизируют в металлокерамические, металлокерамические, керамические и пластмассовые корпусы или заливкой стеклоэмалью.

4 КОНТРОЛЬНО-ПРОВЕРОЧНЫЕ РАСЧЕТЫ

4.1 Паразитные связи в гибридных ИМС

В микросхемах расстояния между отдельными элементами намного меньше, чем в узлах РЭА, а сами элементы размещены на подложке, проводимость и диэлектрическая проницаемость которой значительно больше соответствующих параметров воздуха. Поэтому связи между элементами гибридных микросхем, в том числе паразитные, мешающие их нормальному функционированию, становятся очень сильными. Паразитные связи в виде отдельных проводимостей или паразитных элементов необходимо учитывать при разработке электрической принципиальной схемы. А также при оптимизации конструкции гибридной микросхемы.

Все виды связей можно классифицировать следующим образом.

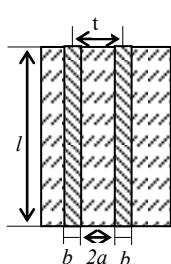


Рис. 4.1 – Система пленочных параллельно расположенных проводников

1. Связи электромагнитной природы, которые, в свою очередь, подразделяются на гальванические, емкостные и индуктивные.

2. Связи, обусловленные тепловыми процессами, включающие связи, возникающие за счет термоэлектрических эффектов, изменения проводимости при изменении температуры, тепловой инжекции носителей и т.д. Для оценки паразитных электрических и магнитных связей можно воспользоваться следующими соотношениями. Если два параллельных

пленочных проводника или резистора одинаковой ширины расположены в одной плоскости (рис. 4.1), то их емкость оценивается формулами

$$C \approx \frac{2\epsilon_0}{\pi} \epsilon_0 l \ln \frac{4(a+b)}{a}, \quad (4.1)$$

если $a/(a+b) \leq 0,3$, где $2a$ – расстояние между полосками; b – ширина полосок; l – длина полосок.

$$C \approx \varepsilon \varepsilon_0 l \left(2,035 - 1,45 - \frac{a}{a+b} \right), \quad (4.2)$$

если $0,3 < a/(a+b) \leq 0,9$.

При определении относительной диэлектрической проницаемости ε необходимо руководствоваться соображениями, изложенными выше (см. соотношение 2.19).

Для уменьшения емкостной связи между проводниками или резисторами увеличивают расстояние между ними или прибегают к экранированию. Экранирующим действием в системе двух плоских проводников обладает заземленный третий плоский проводник, расположенный между ними. В микросхемах экранирующее действие оказывают также элементы конструкций металлостеклянных корпусов.

Индуктивность одиночной прямолинейной проводниковой или резистивной полоски из неферромагнитного материала ($\mu = 1$) определяется согласно соотношению

$$L \approx \frac{\mu_0}{2\pi} l \left(\ln \frac{l}{b} + 1,2 \right), \quad (4.3)$$

где L – индуктивность, мкГн; l и b – длина и ширина полоски, см.

На высокой частоте

$$L \approx \frac{\mu_0}{2\pi} l \left(\ln \frac{l}{b} + 0,08 \right). \quad (4.4)$$

Взаимная индуктивность двух параллельных пленочных проводников или резисторов одинаковой длины рассчитывается по формуле

$$M = \frac{\mu_0}{2\pi} l \left(\ln \frac{l}{t} + \frac{t}{l} - 0,307 \right), \quad (4.5)$$

где t – расстояние между центрами полосок.

Индуктивность рядом расположенных проводников

$$L = L_1 + L_2 \pm 2M,$$

где L_1 и L_2 – индуктивности каждой полоски.

Индуктивности проводников и резистивных полосок гибридных микросхем, как правило, невелики. Омическое сопротивление проводников вплоть до частот несколько

мегагерц значительно превышает индуктивное сопротивление. Обычно индуктивности пленочных проводников в диапазоне частот до 10 МГц можно не учитывать. Однако взаимоиндукция между соседними проводниками может достигать значительных величин.

4.2 Обеспечение тепловых режимов работы ИМС

Конструкция ИМС должна быть такой, чтобы теплота, выделяющаяся при ее функционировании, не приводила в наиболее неблагоприятных условиях эксплуатации к отказам элементов в результате перегрева. К тепловыделяющим элементам следует отнести, прежде всего, резисторы, активные элементы и компоненты. Мощности, рассеиваемые конденсаторами и индуктивностями, невелики. Пленочная коммутация ИМС благодаря малому электрическому сопротивлению и высокой теплопроводности металлических пленок способствует отводу теплоты от наиболее нагретых элементов и выравниванию температуры платы ГИС или кристаллов полупроводниковых ИМС.

При расчете определяются температуры элементов и компонентов ГИС, а также находятся размеры зон теплового влияния элементов и компонентов.

Температура навесного компонента (транзистора, диода, полупроводниковой схемы) рассчитывается по формуле

$$T_h = P_h \left(R_{T,bh} + \frac{R_{\text{эфф}}}{S_h} \right) + P_0 \cdot \frac{R_T}{S_n} + T_{\text{окр.ср}}, \quad (4.6)$$

где P_h – мощность, рассеиваемая компонентом; P_0 – суммарная мощность, выделяемая всеми элементами и компонентами микросхемы; $R_{T,bh}$ – внутреннее тепловое сопротивление компонента; $R_{\text{эфф}}$ – эффективное тепловое сопротивление структуры навесной компонент – внешняя поверхность корпуса; S_h – площадь навесного компонента; S_n – площадь платы; $T_{\text{окр.ср}}$ – температура окружающей среды.

Первый член в правой части формулы (4.6) представляет собой температуру «перегрева» компонента за счет собственной

выделяемой мощности, второй член – «фоновая» температура, создаваемая всеми элементами и компонентами микросхем.

Внутреннее тепловое сопротивление компонента – это тепловое сопротивление от тепловыделяющего участка данного компонента до поверхности платы, на которой он закреплен. Во внутреннее тепловое сопротивление включаются сопротивления компаунда, с помощью которого герметизируется бескорпусный компонент, а также слоя клея, которым компонент прикрепляется к плате. Например, для транзистора, в котором основным тепловыделяющим участком является коллекторный $p-n$ -переход, внутреннее тепловое сопротивление складывается из сопротивления кристалла кремния от коллекторного перехода до наружной поверхности кристалла со стороны коллектора (обычная толщина $h=150\ldots200$ мкм), сопротивления герметизирующего компаунда (толщиной 80…100 мкм) и сопротивления клея (толщиной около 100 мкм). Внутреннее тепловое сопротивление навесных бескорпусных транзисторов и диодов с гибкими выводами составляет $R_{T,\text{вн}} = 220\ldots860$ град/Вт. Для некоторых типов бескорпусных приборов, загерметизированных со всех сторон компаундом, оно может повышаться до значений $R_{T,\text{вн}} = 1600$ град/Вт.

Внутреннее тепловое сопротивление бескорпусных полупроводниковых ИМС с шариковыми, столбиковыми или балочными выводами, устанавливаемых в многовыводных керамических БГИС, составляет примерно 20 град/Вт.

Эффективное тепловое сопротивление $R_{T,\text{эфф}}$ ($\text{см}^2\cdot\text{град}/\text{Вт}$) определяется как

$$R_{T,\text{эфф}} = R_T \cdot \gamma(q,r), \quad (4.7)$$

где R_T – тепловое сопротивление системы; $\gamma(q,r)$ – функция, учитывающая эффективность теплоотвода.

Тепловое сопротивление R_T зависит от варианта конструктивного выполнения микросхемы (рис. 4.2).

Для варианта 1

$$R_T = \frac{h_{\text{п}}}{\lambda_{\text{п}}},$$

где $h_{\text{п}}$ – толщина платы; $\lambda_{\text{п}}$ – коэффициент теплопроводности материала платы, $\text{Вт}/(\text{см}\cdot\text{град})$.

Для вариантов 2 и 3

$$R_T = \frac{h_{\text{n}}}{\lambda_{\text{n}}} + \frac{h_{\text{k}}}{\lambda_{\text{k}}},$$

где h_{k} и λ_{k} – толщина и коэффициент теплопроводности клея (компаунда).

Для варианта 4

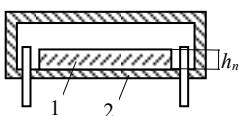
$$R_T = \frac{R_{T1} \cdot R_{T2}}{R_{T1} + R_{T2}},$$

где

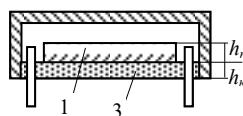
$$R_{T1} = \frac{h_{\text{n}}}{\lambda_{\text{n}}} + \frac{h_{\text{k}1}}{\lambda_{\text{k}1}}, \quad R_{T2} = \frac{h_{\text{k}2}}{\lambda_{\text{k}2}}.$$

Данные о коэффициентах теплопроводности некоторых материалов подложек приведены в табл. 2.2.

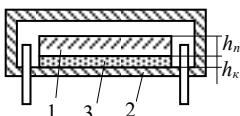
Вариант 1



Вариант 2



Вариант 3



Вариант 4

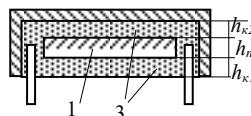


Рис. 4.2 – Схемы конструктивных вариантов ИМС:

1 – подложка; 2 – основание корпуса; 3 – компаунд (полимер) или клей

Функция $\gamma(q,r)$ зависит от соотношения между размерами источника тепла и толщиной подложки. При достаточно больших размерах источника, когда выполняются соотношения $l > h_{\text{n}}$ и $b > h_{\text{n}}$, тепловое поле источника плоскопараллельное (рис. 4.3, а). Поперечное сечение теплового потока близко к площади источника. В этом случае $\gamma(q,r) \rightarrow 1$. При уменьшении

размеров источника тепла тепловой поток становится расходящимся (рис. 4.3, б), эффективность теплоотвода увеличивается и соответственно уменьшается тепловое сопротивление. Значение функции $\gamma(q,r)$ определяется из графика на рис. 4.4, где $q = -l/2(h_k + h_{\Pi})$, $r = b/2(h_k + h_{\Pi})$, l и b – линейные размеры плоского источника теплоты.

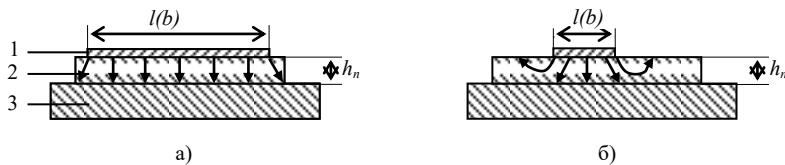


Рис. 4.3 – Распределение теплового потока в подложке микросхемы при различных соотношениях между размерами источника тепла и толщиной подложки: 1 – источник тепла; 2 – подложка; 3 – корпус

Температура пленочных резисторов и конденсаторов рассчитывается в соответствии с выражением

$$T_{R,C} = P_{R,C} \cdot \frac{R_{T\text{эфф}}}{S_{R,C}} + P_0 \cdot \frac{R_T}{S_{\Pi}} + T_{\text{окр.ср}}, \quad (4.8)$$

где $P_{R,C}$ – мощность, выделяемая резистором или конденсатором; $S_{R,C}$ – площадь, занимаемая резистором или конденсатором на плате. Если навесной компонент расположен на пленочном резисторе (что допускается условиями разработки топологии ГИС), то расчет температур компонента и резистора производится следующим образом:

$$T_H = P_H \left(R_{T,\text{вн}} + \frac{R_T}{S_H} \right) + P_R \frac{R_{T\text{эфф}}}{S_R} + P_0 \cdot \frac{R_T}{S_{\Pi}} + T_{\text{окр.ср}} ; \quad (4.9)$$

$$T_R = (P_H + P_R) \cdot \frac{R_{T\text{эфф}}}{S_R} + P_0 \cdot \frac{R_T}{S_{\Pi}} + T_{\text{окр.ср}} . \quad (4.10)$$

Рассчитанные по формулам (4.8)–(4.10) температуры компонентов и элементов не должны превышать допустимые. Допустимые температуры для бескорпусных кремниевых транзисторов, диодов и полупроводниковых микросхем указываются в справочниках и составляют обычно 80...125 °C.

Если рассчитанные температуры превышают допустимые, необходимо заменить навесные компоненты на другие, имеющие более высокий температурный предел работы. Допустимые температуры пленочных элементов зависят от применяемых материалов и требований к стабильности параметров.

Расчет размеров зон теплового влияния

Зоной теплового влияния называется окружающий тепловыделяющий элемент или компонент участок площади платы ГИС, за пределами которого отсутствует локальное повышение температуры платы, обусловленное данным элементом или компонентом. При этом предполагается, что форма зоны теплового влияния подобна форме контактной плоскости элемента или компонента с платой (рис. 4.5).

Размер H зоны теплового влияния рассчитывается по формуле

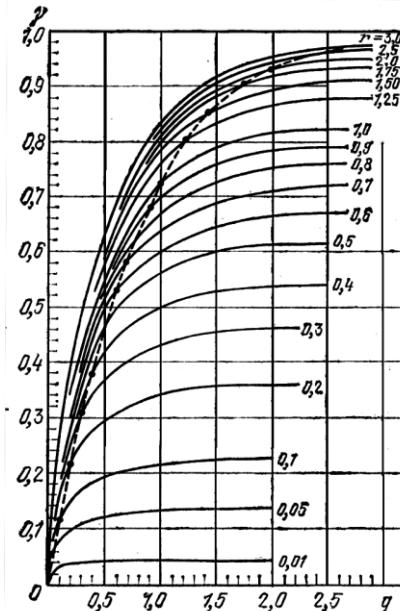


Рис. 4.4 – Значение γ -функции для $q \leq 3,0$, $r \leq 3,0$

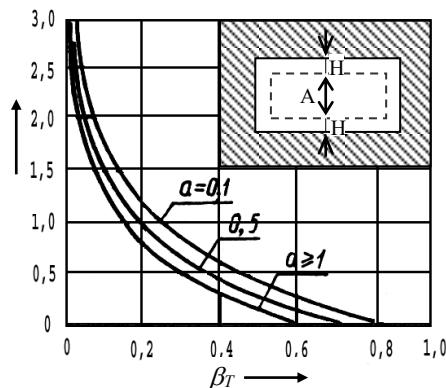


Рис. 4.5 – График для расчета зон теплового влияния элементов и компонентов

$$H = h_{\text{пр}} \cdot G, \quad (4.11)$$

где $h_{\text{пр}}$ – приведенная толщина теплопроводящей структуры в конструкции ГИС; G – коэффициент, определяемый по графику рис. 4.5 в зависимости от температурного β_T и геометрического a факторов.

Приведенная толщина в зависимости от конструкции микросхемы (см. рис. 4.2) определяется следующим образом.

Для варианта 1

$$h_{\text{пр}} = h_{\text{п}}.$$

Для варианта 2

$$h_{\text{пр}} = h + h_{\text{k}} \cdot \frac{\lambda_{\text{п}}}{\lambda_{\text{k}}}.$$

Для варианта 3

$$h_{\text{пр}} = \sqrt{h_{\text{п}}^2 + h_{\text{k}}^2 + h_{\text{п}} h_{\text{k}} \left(\frac{\lambda_{\text{п}}}{\lambda_{\text{k}}} + \frac{\lambda_{\text{k}}}{\lambda_{\text{п}}} \right)}.$$

Для варианта 4

$$h_{\text{пр}} = \max \{h_{\text{пр}1}, h_{\text{пр}2}\};$$

$$h_{\text{пр}1} = \sqrt{h_{\text{п}}^2 + h_{\text{k}1}^2 + h_{\text{п}} h_{\text{k}1} \left(\frac{\lambda_{\text{п}}}{\lambda_{\text{k}1}} + \frac{\lambda_{\text{k}1}}{\lambda_{\text{п}}} \right)}; \quad h_{\text{пр}2} = h_{\text{k}2}.$$

Температурный фактор

$$\beta_T = \frac{T_{\text{н,R,Cдоп}} - T_{\text{н,R,C}}}{T_{\text{н,R,Cдоп}}}, \quad (4.12)$$

где $T_{\text{н,R,C}}$ и $T_{\text{н,R,Cдоп}}$ – расчетные и допустимые температуры навесных компонентов, пленочных резисторов и конденсаторов.

Геометрический фактор представляет собой отношение $a = A/h_{\text{пр}}$, где A – меньший размер контура тепловыделяющего элемента или компонента (рис. 4.5).

В зоне теплового влияния элемента или компонента не рекомендуется размещать другие элементы. Если это требование невозможно выполнить, то при расчете следует учитывать соответствующее повышение температуры вследствие влияния соседнего элемента или компонента.

5 ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Наиболее перспективным направлением микроэлектроники являются полупроводниковые микросхемы. В отличие от гибридных микросхем, в полупроводниковых активные и пассивные элементы создаются в объеме полупроводника.

Полупроводниковые микросхемы по сравнению с гибридными имеют следующие основные преимущества: возможность достижения чрезвычайно высокой степени интеграции; высокая надежность; меньшие геометрические размеры и масса.

Однако эти микросхемы имеют и некоторые недостатки, к числу которых относятся: ограниченность номинальных значений параметров элементов; значительная температурная зависимость характеристик активных и пассивных элементов; наличие паразитных взаимодействий между элементами.

5.1 Подложки полупроводниковых интегральных микросхем

Подложки полупроводниковых микросхем могут быть проводящими и непроводящими. Вопрос о выборе материалов при конструировании полупроводниковых микросхем решается в зависимости от многочисленных факторов. Прежде всего принимаются во внимание электрические и другие параметры, которыми должна обладать микросхема. В качестве материала для проводящих подложек чаще всего используют монокристаллический кремний в виде пластин диаметром 60...150 мм и толщиной 250...400 мкм. Технология изготовления пластин должна обеспечивать необходимое качество обработки поверхности, причем рабочая поверхность обрабатывается до 14-го класса чистоты, а нерабочая – до 12-го класса. Поверхность подложки ориентируется параллельно плоскости (111), (100) или (110).

Система условных обозначений кремния строится следующим образом, например: 1А6 КДБ 10/0,1 – 70; марка 1А6,

К – кремний, Д – дырочная электропроводность, Б – бор (легирующий элемент), 10 Ом·см – удельное сопротивление, 0,1 мм – диффузионная длина неравновесных носителей заряда, 70 мм – диаметр подложки.

2АЗ БКЭФ 5/0,1 – 60; марка 2АЗ, БК – кремний бестигельной плавки, Э – электронной электропроводности, Ф – легирован фосфором с удельным сопротивлением 5 Ом·см, диффузионная длина неравновесных носителей заряда 0,1 мм, диаметр подложки 60 мм.

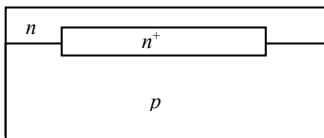


Рис. 5.1 – Кремниевая эпитаксиальная структура со скрытым слоем

Очень часто для изготовления полупроводниковых микросхем используют двухслойные кремниевые эпитаксиальные пластины различных марок, а также эпитаксиальные структуры со скрытым n^+ -слоем (рис. 5.1), состоящие из трех слоев: слоя кремния проводимостью р-типа; локального низкоомного слоя кремния проводимостью n -типа (скрытый n^+ -слой); эпитаксиального слоя кремния n -типа. Двухслойные эпитаксиальные структуры имеют следующее обозначение, например:

$$\frac{8 \text{ КДБ } 0,5}{200 \text{ КЭС } 0,01}$$

Первая цифра перед дробью, соответствует диаметру структуры, мм, первая цифра в числителе – толщине эпитаксиального слоя, мкм, а в знаменателе – толщине пластины, мкм. Буквы в числителе обозначают, марку кремния, из которого изготовлен эпитаксиальный слой (КДБ-кремний с дырочной электропроводностью, легированный бором), а число, стоящее, после этих букв, указывает удельное сопротивление эпитаксиального слоя, Ом·см. Буквы в знаменателе обозначают марку кремния, из которого выполнена подложка (КЭС – кремний с электронной электропроводностью, легированный сурьмой), а число, стоящее после букв, указывает удельное сопротивление подложки, Ом·см.

Эпитаксиальные структуры кремния со скрытыми слоями ЭСС) обозначаются следующим образом, например:

12КЭФ 0,8/3,5 КЭС 30

312 КДБ 10 (111)-8, [112]-80

Цифра 12 в числителе – толщина эпитаксиального слоя, мкм; КЭФ – кремний с электронной электропроводностью, легированный фосфором; 0,8 – удельное, сопротивление эпитаксиального слоя, Ом·см, 3,6 – толщина скрытого слоя, мкм; КЭС – марка кремния, из которого выполнен скрытый слой; 30 – поверхностное сопротивление скрытого слоя, Ом/□; число 312 в знаменателе – толщина эпитаксиальной структуры; мкм; КДБ – марка кремния, из которого выполнена подложка; 10 – номинал удельного сопротивления подложки, Ом·см; (111)-8 – ориентация подложки с отклонением 8°; [112] – ориентация базового среза; 80 – номинал диаметра структуры, мм.

Топология, размеры и расположение участков скрытого слоя устанавливаются конструкторской документацией на определенный вид и тип микросхем. Номиналы толщины эпитаксиального слоя могут изменяться от 6 до 15 мкм с допустимым отклонением от номинала ±10%. Номиналы удельного сопротивления эпитаксиального слоя могут составлять от 0,15 до 5 Ом·см ±25%. Номиналы поверхностного сопротивления скрытого n^+ -слоя имеют значения 15, 20, 25, 30, 40 и 50 Ом/□ с допустимым отклонением 25%; номиналы толщины скрытого слоя 2,5; 3,5; 5,0; 7,0; 10 мкм с допустимым отклонением 30%.

Кроме кремниевых пластин, в изделиях микроэлектроники находят применение монокристаллические пластины фосфида индия и галлия, арсенида и антимонида галлия и других полупроводниковых соединений. Особенно успешно разрабатываются и внедряются в практику микросхемы на основе арсенида галлия. Данный полупроводниковый материал способен обеспечивать работу микросхем при более высоких температурах, чем кремний, и благодаря высокой подвижности электронов позволяет изготавливать микросхемы с высоким быстродействием.

Использование непроводящих подложек устраняет паразитную связь между элементами микросхем, а также повышает ее устойчивость к воздействиям различных факторов (температуры, света, радиации и т.д.). Диэлектрические подложки полупроводниковых микросхем по расположению областей монокристаллического кремния, в которых изготавливаются различные элементы, делятся на два типа: подложки типа КВД (кремний в диэлектрике) и подложки типа КНД (кремний на диэлектрике). В подложках типа КВД (рис. 5.2, а) области монокристаллического кремния (карманы) находятся в диэлектрике, а в подложках типа КНД (рис. 5.2, б) области монокристаллического кремния (островки) расположены на диэлектрике.

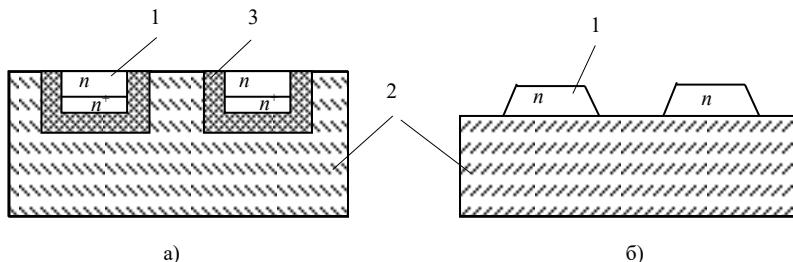


Рис. 5.2 – Диэлектрические подложки полупроводниковых микросхем:
а – подложка типа КВД; б – подложка типа КНД; 1 – монокристаллический кремний; 2 – диэлектрическая подложка;
3 – пленка SiO_2

К диэлектрическим подложкам предъявляются следующие требования:

1. Материал подложки должен обладать малыми значениями тангенса угла диэлектрических потерь $\text{tg}\delta$ и относительной диэлектрической проницаемости ϵ . Это обеспечивает получение минимальных токов утечки и паразитных емкостей между областями монокристаллического кремния.

2. Механическая прочность подложки должна быть высокой даже при небольшой толщине.

3. Рабочая поверхность подложки должна поддаваться обработке не ниже, чем до 14-го класса чистоты.

4. Коэффициент термического расширения (КТР) материала подложки должен быть согласован с КТР монокристаллического кремния.

5. Материал подложки должен обладать высокой химической стойкостью относительно воздействия жидких и газовых сред, применяемых в процессе производства полупроводниковых микросхем.

6. Материал подложки должен иметь высокую теплопроводность для обеспечения отвода тепла от элементов микросхем.

Для подложек типа КНД этим требованиям удовлетворяют сапфир и шпинель. Пример маркировки таких подложек:

KNC $\frac{10 \text{ КДБ } 0,5}{60 \text{ С } 250}$

где КНС – кремний на сапфире, числитель – эпитаксиальный слой кремния р-типа проводимости толщиной 10 мкм и $\rho_v=0,5$ Ом·см, легирован бором; подложка из сапфира (в знаменателе буква «С») диаметром 60 мм и толщиной 250 мкм.

Для подложек типа КВД используют специальное ситалловое стекло марки С-40-2, в состав которого входят оксиды SiO_2 , TiO , Al_2O_3 , SiO и MgO ; керамический цемент, представляющий собой смесь оксидов Al_2O_3 , SiO_2 и метасиликата натрия; стеклокерамическая смесь, включающая 60% стекла и 40% кордиерита ($2\text{MgO} \times 2\text{Al}_2\text{O}_3 \times 2\text{SiO}_2$) или муллита ($3\text{Al}_2\text{O}_3 \times 2\text{SiO}_2$).

Подложки КВД могут также представлять собой пластины из поликристаллического кремния, содержащего области монокристаллического кремния с электропроводностью n - или p -типа, изолированные от поликристаллического кремния слоем диоксида кремния и размещенные по заданной топологии. Такие структуры производят двух видов: с высоколегированным скрытым слоем с электропроводностью n - или p -типа и без скрытого слоя. Скрытые слои n^+ - или p -типа получают методом диффузии или эпитаксии.

Кроме того, применяются структуры, состоящие из подложки из поликристаллического кремния, в которой по

заданной топологии размещены области монокристаллического кремния n^+ -типа.

5.2 Конструирование и выбор структуры интегральных транзисторов

Процесс проектирования планарных транзисторов состоит из следующих этапов: для данной серии ИМС или нескольких серий, исходя из быстродействия, потребляемой мощности, необходимой степени интеграции, задают электрические параметры транзисторов как базовых элементов ИМС; выбирают технологию производства ИМС, параметры материала подложки и эпитаксиального слоя, приближенно оценивают основные размеры конструкции транзисторов в плане и в сечении, проводят расчет электрических параметров транзисторов и, если они существенно отличаются от заданных, путем ступенчатого изменения конструктивных размеров и последующих расчетов подбирают геометрию всех областей транзисторной структуры, не выходя за рамки технологических ограничений. Затем осуществляют экспериментальную проверку проведенной работы: разрабатывают комплект фотошаблонов, выпускают опытные партии транзисторных структур и измеряют их характеристики. Если параметры транзисторов отличаются от заданных, то методом последовательных приближений путем изменения размеров транзисторных областей и их характеристик, корректировки режимов технологических процессов добиваются необходимого соответствия параметров.

Расчет транзисторов сложен и трудоемок. Поэтому часто этап расчета конструкции транзисторов опускают, акцентируя внимание на экспериментальном этапе. При этом на предприятии, выпускающем ИМС, формируют банк интегральных транзисторов с широким спектром характеристик. При таком подходе задача конструктора ИМС состоит в подборе конкретных типов интегральных транзисторов для данной ИМС в соответствии с ее электрической схемой.

Сначала выбирают физическую структуру различных областей транзистора. Удельное сопротивление подложки

должно быть большим ($1\dots10$ Ом·см), что обеспечивает высокое напряжение пробоя и малую емкость обратно смещенного p - n -перехода коллектор-подложка.

При выборе уровня легирования коллекторной области (эпитаксиального слоя) необходимо выполнить ряд противоречивых требований: для получения малого последовательного сопротивления коллектора уровень его легирования должен быть высокий, а для получения малой емкости и высокого напряжения пробоя перехода база-коллектор – низкий.

Обычно удельное сопротивление эпитаксиального слоя выбирают равным $0,1\dots0,5$ Ом·см, а толщину – в пределах $2\dots15$ мкм. Использование тонких эпитаксиальных слоев (до 3 мкм) позволяет уменьшить паразитные емкости и увеличить плотность размещения элементов. В структурах со скрытым n^+ -слоем и подлегированием области коллекторного контакта последовательное сопротивление коллектора составляет $10\dots50$ Ом.

При выборе уровней легирования базовой и эмиттерной областей необходимо также учитывать несколько противоречивых требований. Так, для уменьшения паразитного сопротивления между активной областью базы и контактом к базе следует увеличивать уровень легирования базы. Однако это приводит к снижению эффективности эмиттера и уменьшению напряжения пробоя перехода база-эмиттер. Кроме того, поверхностная концентрация примеси в базовом слое не должна быть меньше $5\cdot10^{16}$ см $^{-3}$, так как на поверхности этого слоя возможно образование инверсного проводящего канала n -типа, индуцированного встроенным зарядом в окисле. Высокий уровень легирования эмиттера необходим для получения большого коэффициента инжекции. Однако при уровнях легирования эмиттерной области, достигающих предела растворимости примеси в кремнии, в кристаллической решетке образуются точечные и линейные дефекты, которые значительно уменьшают время жизни носителей заряда, что, в свою очередь, приводит к уменьшению коэффициента инжекции.

Частотные характеристики транзисторов зависят в основном

от паразитных емкостей переходов и последовательных сопротивлений его областей. Влияние паразитных параметров уменьшают конструктивно за счет максимально возможного уменьшения геометрических размеров транзистора.

После выбора физической структуры выбирают конфигурацию транзистора. Поскольку характеристики в значительной степени зависят от размеров различных областей транзистора, нужно учитывать, что периметр эмиттера определяет токовые характеристики транзистора, площадь эмиттера – частотные характеристики, площадь базы – емкость перехода база-коллектор и распределенное сопротивление базы, площадь коллектора – емкость перехода коллектор-подложка и последовательное сопротивление коллектора. В маломощных ($0,3 < P < 3$ мВт) и микромощных ($1 < P < 300$ мкВт) цифровых ИМС размеры всех областей транзистора стремятся выполнить минимальными, на пределе возможностей технологии, хотя это может привести к снижению выхода годных изделий. Обычно анализируют несколько типовых конфигураций транзисторов. Взаимное расположение контактов к различным областям транзисторной структуры выбирают в зависимости от конкретного топологического рисунка микросхемы и удобства расположения выводов.

Транзистор *n-p-n*-типа является основным схемным элементом полупроводниковых ИМС на биполярных транзисторах. Он обладает лучшими характеристиками, чем транзистор *p-n-p*-типа, а технология его изготовления более проста. Остальные элементы ИМС выбирают и конструируют таким образом, чтобы они совмещались со структурой транзистора *n-p-n*-типа. Их изготавливают одновременно с *n-p-n*-транзистором на основе какой-либо из его областей.

Наиболее широкое распространение получила транзисторная структура типа *n⁺-p-n* – со скрытым подколлекторным *n⁺*-слоем (рис. 5.3, *a*). Этот слой обеспечивает низкоомный путь току от активной коллекторной зоны к коллекторному контакту без снижения пробивного напряжения перехода коллектор – база.

Транзисторы типа $p-n-p$

Интегральные транзисторы типа $p-n-p$ существенно уступают транзисторам типа $n-p-n$ по коэффициенту усиления и предельной частоте. Для их изготовления используют стандартную технологию, оптимизированную для формирования транзистора типа n^+-p-n . Естественно, что получение транзисторов типа $p-n-p$ с близкими к теоретическим пределам параметрами в этом случае невозможно.

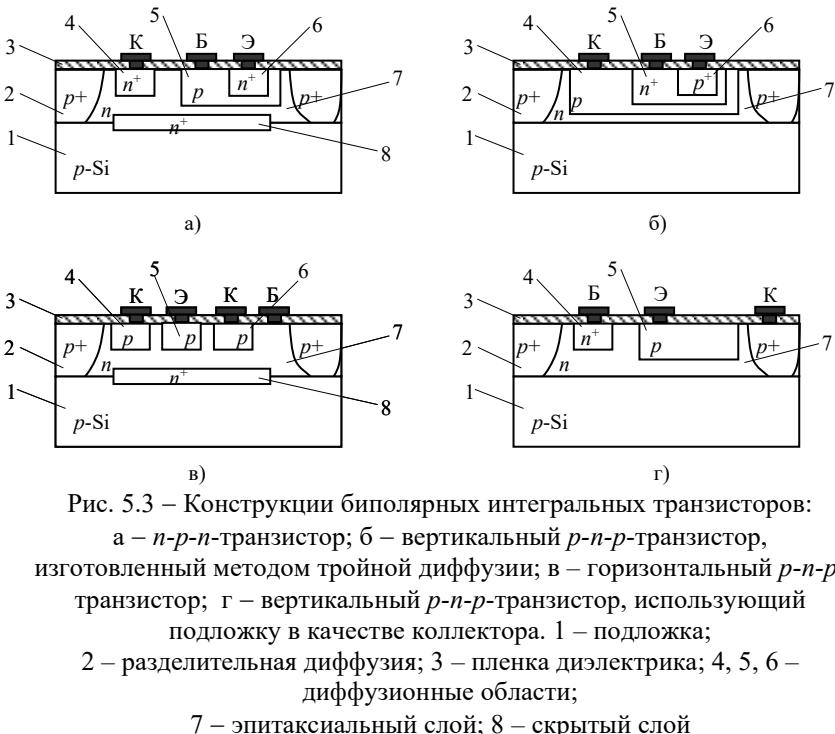


Рис. 5.3 – Конструкции биполярных интегральных транзисторов:

а – *n-p-n*-транзистор; б – вертикальный *p-n-p*-транзистор, изготовленный методом тройной диффузии; в – горизонтальный *p-n-p*-транзистор; г – вертикальный *p-n-p*-транзистор, использующий подложку в качестве коллектора. 1 – подложка; 2 – разделительная диффузия; 3 – пленка диэлектрика; 4, 5, 6 – диффузионные области; 7 – эпитаксиальный слой; 8 – скрытый слой

Вертикальные транзисторы $p-n-p$ -типа

Для изготовления *p-n-p*-транзистора можно использовать структуру, показанную на рис. 5.3, б. В этом случае необходимо проводить более глубокую диффузию для формирования *p*-слоя и вводить дополнительную операцию диффузии для создания *p*⁺⁺-слоя, причем для получения *p*⁺⁺-слоя требуется акцепторная

примесь, у которой предельная растворимость больше, чем у донорной примеси в n^+ -слое. Фактически перед проведением диффузии акцепторов приходится справлять наиболее легированную часть n^+ -слоя, т.е. вводить еще одну дополнительную операцию.

Горизонтальные транзисторы p-n-p-типа

В настоящее время эти транзисторы используют в ИМС наиболее часто (рис. 5.3, в). Их изготавливают одновременно с транзисторами $n^+ - p - n$ -типа по обычной технологии. Эмиттерный и коллекторный слои получают на этапе базовой диффузии, причем коллекторный слой охватывает эмиттер со всех сторон. Базовая область формируется на основе эпитаксиального слоя с подлегированием контактной области во время эмиттерной диффузии. Перенос носителей заряда в таком транзисторе происходит в горизонтальном направлении. Дырки, инжектированные из боковых частей эмиттера в базу, диффундируют к коллекторной области. Перенос наиболее эффективен в приповерхностной области, так как здесь расстояние ω между коллектором и эмиттером минимально и, кроме того, наиболее высокая концентрация примеси в p -слоях. Ширину базы ω удается выполнить равной 3...4 мкм (мешает боковая диффузия под маску), в результате чего коэффициент усиления оказывается меньше 50. Недостатком такого транзистора является также однородность распределения примеси в базе (транзистор бездрейфовый).

В некоторых случаях применяют конструкцию $p-n-p$ транзистора, изображенную на рис. 5.3, г. В данном транзисторе используют в качестве коллектора материал исходной полупроводниковой пластины, базой служит эпитаксиальный слой n -типа, а эмиттер получают в процессе формирования базовых областей $n-p-n$ -транзисторов. Такой транзистор может быть включен только по схеме с общим коллектором, так как его коллектор является подложкой микросхемы. Эта особенность, а также малый частотный диапазон (из-за большого значения емкости коллекторного перехода и значительного сопротивления базы) ограничивают область применения

подобных приборов.

Обычно анализируют несколько типовых конфигураций транзисторов, представленных на рис. 5.4, где сплошными линиями обозначены границы диффузионных областей, а пунктирными – границы вскрытия окон в пленке двуокиси кремния для последующего формирования металлических контактов. Для микромощных схем наиболее пригодна полосковая конструкция транзистора (рис. 5.4, *a*, *в*).

Взаимное расположение контактов к различным областям транзисторной структуры выбирают в зависимости от конкретного топологического рисунка микросхемы и удобства расположения выводов транзистора. Если необходимо получить малое сопротивление коллектора, применяют транзисторы с увеличенной контактной областью к коллектору (рис. 5.4, *б*, *г-е*). Для получения малого сопротивления базы и высокого коэффициента усиления используют конструкции с двумя контактами к базовой области. Многоэмиттерные транзисторы применяют во входных цепях схем транзисторно-транзисторной логики (ТТЛ). Транзисторы средней ($3 < P < 25$ мВт) и большой ($25 < P < 250$ мВт) мощностей работают в режимах высоких плотностей эмиттерного тока ($200...3000$ А/см²). Поэтому в мощных схемах целесообразны узкие эмиттеры с большим периметром.

Топологию мощного транзистора разрабатывают так, чтобы обеспечить максимальное отношение периметра эмиттера к его площади. Это значительно увеличивает активную область транзистора и обеспечивает достаточно большой рабочий ток без увеличения размеров всей структуры. Эмиттерную область выполняют в виде гребенки с зубцами, расположенными по одну сторону от общей перемычки. Контакты эмиттера и базы располагаются рядом и чередуются. Возможны и другие варианты топологии эмиттерной области. Такие транзисторы используют в выходных каскадах ИМС, когда требуется обеспечить достаточно большие мощности

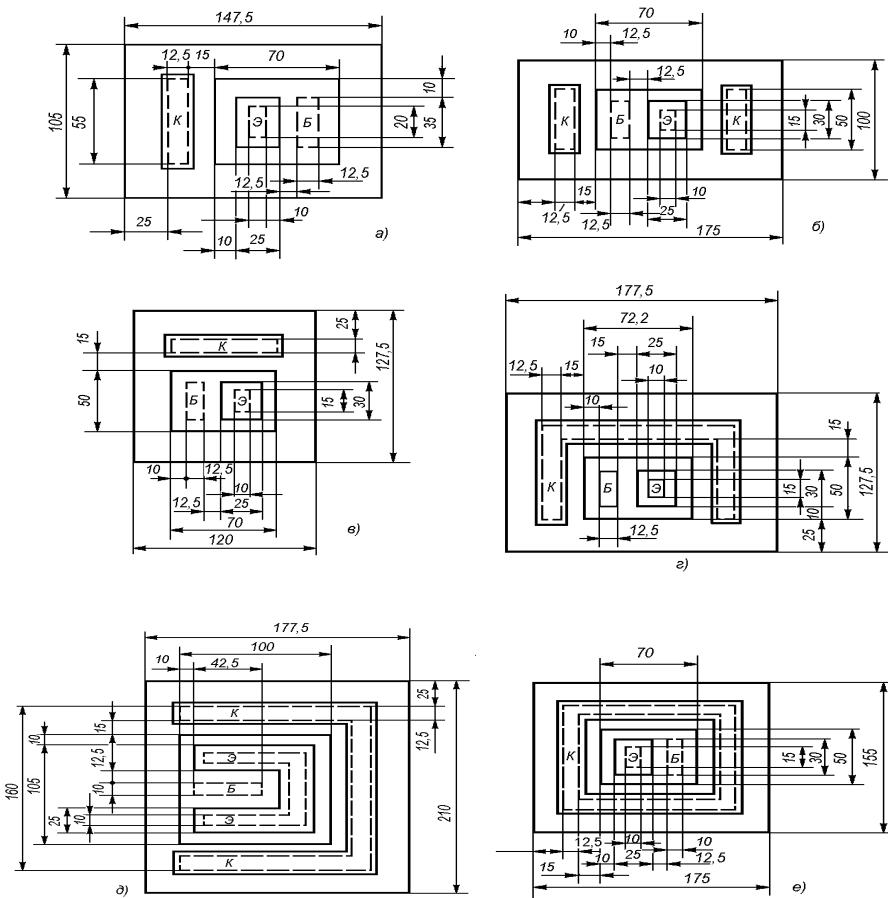


Рис. 5.4 – Банк данных о топологии интегральных биполярных транзисторов

Отметим, что усложнение конструкции транзисторов повышенной мощности приводит к ряду нежелательных эффектов. Так, в результате технологического разброса параметров отдельные элементы транзистора имеют различные сопротивления и входят в режим насыщения неодновременно. Это приводит к перегрузке низкоомных элементов.

Исходными данными для расчета транзистора (рис. 5.5) являются $U_{\text{КБ}} \max$, $U_{\text{КБ}} \text{раб}$, $U_{\text{ЭК}}$, $U_{\text{ЭБ}} \max$, $P \max$, $J_{\text{К}} \max$, $J_{\text{Э}}$, $C_{\text{К}}$, глубина коллекторного перехода x_{jk} и концентрация примеси на поверхности пассивной базы.

Расчет выполняют в такой последовательности:

1. По заданному максимально допустимому напряжению $U_{\text{КБ}} \max$ определяют пробивное напряжение $U_{\text{КБо}}$, которое должно быть хотя бы на 20% больше $U_{\text{КБ}} \max$, т.е. $U_{\text{КБо}} = 1,2 U_{\text{КБ}} \max$. Пробивное напряжение коллекторного $p-n$ -перехода выбирают с коэффициентом запаса 2...3.

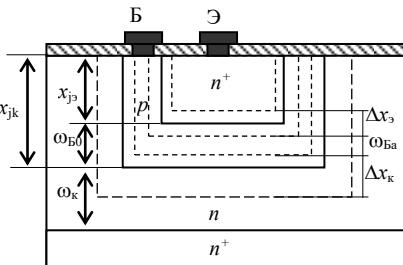


Рис. 5.5 – Структура биполярного транзистора (контакт к коллектору не показан)

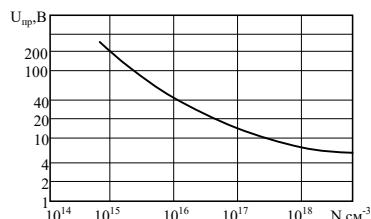


Рис. 5.6 – Зависимость пробивного напряжения $p-n$ -перехода от концентрации примеси

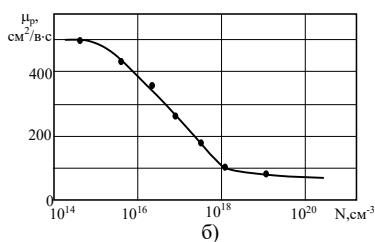
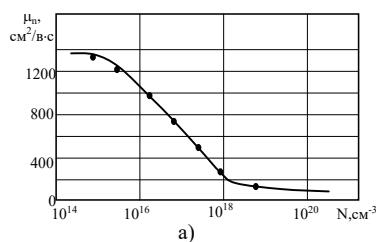


Рис.5.7 – Зависимость подвижности электронов (а) и дырок (б) от концентрации примеси в полупроводнике

По графику зависимости $U_{\text{пр}} (N_{\text{ДК}})$ (рис. 5.6), где $N_{\text{ДК}}$ – концентрация примесей на высокоомной стороне $p-n$ -перехода

перехода находят удельное сопротивление коллекторного перехода $N_{ДК}$ при $T=300$ К рассчитывают по формуле

$$\rho_{VK} = [q\mu_n(N_{ДК})N_{ДК}]^{-1}. \quad (5.1)$$

Подвижности μ_n, μ_p при заданной концентрации примесей $N_{ДК}$ находят из рис. 5.7.

2. Определяют характеристическую длину в распределении примесей акцепторов L_a :

$$L_a = \frac{x_{jK}}{\ln \frac{N_{as}}{N_{ДК}}}. \quad (5.2)$$

3. Для расчета ширины объемного заряда на коллекторном и эмиттерном переходах предварительно вычисляют потенциал

$$U_o = \frac{qN_{ДК}L_a^2}{\epsilon_r \epsilon_0}, \quad (5.3)$$

контактную разность потенциалов на коллекторном переходе

$$\varphi_K \approx \varphi_T \ln \left(\frac{N_{ДК}}{n_i} \right)^2, \quad (5.4)$$

где φ_T – тепловой потенциал, равный 0,026 В при $T=300$ К; n_i – концентрация собственных носителей заряда в кремнии ($n_i \approx 10^{10} \text{ см}^{-3}$).

Контактная разность потенциалов на эмиттерном переходе φ_β определяется аналогично φ_K .

4. Рассчитывают ширину области объемного заряда, распространяющуюся в сторону базы (Δx_{KB}) и в сторону коллектора (Δx_{KK}) при максимальном смещении коллекторного перехода $U_{KB\max}$:

$$\Delta x_{KB} = L_a \ln \left[1 + \sqrt{1 + 2 \frac{\varphi_K + U_{KB\max}}{U_o}} \right]; \quad (5.5)$$

$$\Delta x_{KK} = L_a \left[1 + \sqrt{1 + 2 \frac{\varphi_K + U_{KB\max}}{U_o}} \right] - \Delta x_{KB}. \quad (5.6)$$

5. Выбирают ширину технологической базы, которая должна быть больше ширины слоя объемного заряда на коллекторном переходе Δx_{KB} , так как последний будет иметь максимальную ширину при $U_{KB\ max}$:

$$\omega_{BO} > \Delta x_{KB}.$$

6. Ширину высокоомного коллектора ω_K под коллекторным переходом выбирают больше ширины слоя объемного заряда на коллекторном переходе, распространяющейся в сторону коллектора при максимальном обратном смещении: $\omega_K \geq \Delta x_{KK}$. Полная толщина коллекторного слоя $d_K = \omega_K + x_{LK}$.

7. Определяют концентрацию акцепторов на эмиттерном переходе:

$$N_a(x_{J\Theta}) = N_{DK} \exp\left(\frac{\omega_{BO}}{L_a}\right). \quad (5.7)$$

8. В результате высокой степени легирования эмиттера область объемного заряда на эмиттерном переходе в основном будет сосредоточена в базе. Приближенно можно считать, что $\Delta x_{EB} \approx \Delta x_{\Theta}$, где

$$\Delta x_{\Theta} = \sqrt{\frac{2\varepsilon_r \varepsilon_0 (\varphi_{EBmax})}{qN_a(x_{J\Theta})}}. \quad (5.8)$$

Ширина базы ω_{BO} была определена без учета Δx_{Θ} и может оказаться заниженной; в свою очередь, величина $N_a(X_{J\Theta})$ тоже может быть меньше действительной, а ширина объемного заряда Δx_{Θ} – больше. Однако превышение Δx_{Θ} незначительно и приведет только к тому, что технологическая ширина базы будет выбрана с некоторым запасом.

9. Корректируют технологическую базу:

$$\omega_{BO} = \Delta x_{KB} + \Delta x_{\Theta}. \quad (5.9)$$

10. Для определения размеров активной базы рассчитывают ширину области объемного заряда $\Delta x'_{KB}$ и $\Delta x'_{\Theta}$ при прямом смещении эмиттерного и обратном смещении коллекторного переходов.

11. Определяют активную ширину базы:

$$\omega_{Ba} = \omega_{BO} - \Delta x'_{KB} - \Delta x'_{\Theta}. \quad (5.10)$$

12. Находят размеры коллекторов, имеющего квадратную форму со стороной

$$h_K = \sqrt{S_K}, \quad (5.11)$$

где S_K – площадь коллектора, которую рассчитывают по известной емкости коллекторного перехода C_{KO} при заданном смещении $U_{KB} = 5$ В, принимая емкость коллектора $C_K = 0,8 C_{KO}$:

$$C_K = \varepsilon_r \varepsilon_o S_K / \sqrt{2 \varepsilon_r \varepsilon_o |U_{KB}| / (qN_{DK})}; \quad (5.12)$$

$$S_K = \frac{0,8 C_{KO}}{\varepsilon_r \varepsilon_o} \sqrt{\frac{2 \varepsilon_r \varepsilon_o |U_{KB}|}{qN_{DK}}}. \quad (5.13)$$

13. Площадь эмиттера можно определить исходя из допустимой плотности тока эмиттера $j_{E_{kp}}$, при которой коллекторный переход находится при нулевом смещении, когда транзистор еще не вошел в режим насыщения:

$$S_E = \frac{I_E}{j_{E_{kp}}}, \quad (5.14)$$

$$\text{где } j_{E_{kp}} \approx \frac{U_{E_{Kmin}} - \varphi_E}{\rho_{VK} d_K}.$$

Минимальное напряжение на участке эмиттер-коллектор транзистора рассчитывают по максимальной мощности на $p-n$ -переходе P_{Kmax} и максимальному току коллектора I_{Kmax} :

$$U_{E_{Kmin}} = \frac{P_{Kmax}}{I_{Kmax}}. \quad (5.15)$$

Размеры остальных областей транзистора, а также его общая площадь могут быть определены исходя из известных площади эмиттера S_E , минимальной ширины контактов, минимального расстояния между контактами и других конструктивно-технологических ограничений, принятых для данной технологии изготовления полупроводниковой ИМС.

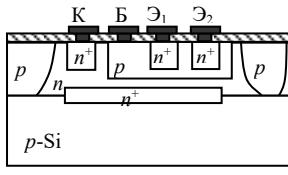


Рис. 5.8 – Многоэмиттерный транзистор

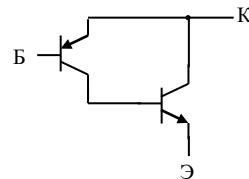


Рис. 5.9 – Композитный транзистор

Для определенного типа микросхем применяют и другие конструкции интегральных транзисторных структур. В логических микросхемах широко используется многоэмиттерный транзистор (МЭТ), типовая структура которого приведена на рис. 5.8. МЭТ представляет собой совокупность нескольких $n-p-n$ -транзисторов. Такая структура имеет общую базу и коллектор. Число эмиттеров может быть равным 5...8. Активные базовые области, находящиеся под эмиттерными переходами, объединяются между собой с помощью пассивной области базы. Особенностью МЭТ является наличие паразитного транзистора эмиттер-база-эмиттер. Действие паразитного межэмиттерного транзистора существенно для структур, у которых расстояние между эмиттерами соизмеримо с расстоянием от эмиттера до коллектора. Для уменьшения паразитных токов через эмиттеры искусственно увеличивают сопротивление пассивной области базы.

Многоколлекtorные транзисторы (МКТ)

МКТ – это, практически, МЭТ, используемый в инверсном режиме: общим эмиттером является эпитаксиальный слой, а коллекторами – n^+ -области. Такая структура составляет основу интегральной инжекционной логики (И²Л). Главной проблемой при конструировании МКТ является обеспечение достаточно высокого коэффициента усиления в расчете на один коллектор, для чего необходимо скрытый n^+ -слой располагать как можно ближе к базовому слою.

Супер-бета-транзисторы

Для получения транзисторов с повышенным значением коэффициента усиления β создаются специальные транзисторные структуры, которые называются супер-бета-транзисторами. Обычно значение $\beta = 150\dots250$ для вертикальных $n-p-n$ -транзисторов достигается при ширине базы $w \approx 0,7$ мкм и отношении сопротивлений эмиттера и базы $r_e/r_b \approx 5 \cdot 10^{-3}$. Для повышения β необходимо увеличивать сопротивление базы и уменьшать ее ширину.

Транзисторы с повышенным значением $\beta = 2000\dots3000$ получают, применяя глубокую базовую и эмиттерную диффузию. Ширина базы при этом достигает $0,2\dots0,3$ мкм. Недостатком таких транзисторов является малое напряжение смыкания базы, которое составляет $0,5\dots1$ В. Транзисторы этого типа применяются в основном в операционных усилителях и не могут использоваться как универсальные.

Композитные транзисторы

Одним из недостатков горизонтального транзистора $p-n-p$ является малый коэффициент передачи тока. При соединении транзистора $p-n-p$ с вертикальным транзистором $n-p-n$ по схеме рис. 5.9 получают составной, или композитный, транзистор, который по полярности эквивалентен транзистору $p-n-p$, но значение β у него соответствует транзистору $n-p-n$.

5.3 Конструирование и расчет диодов

Диоды широко применяются в логических ИМС в качестве элементов, выполняющих элементарные логические преобразования, элементов смещения (сдвига уровня на величину напряжения открытого $p-n$ -перехода), элементов развязки и т.п. Конкретная конструкция диода определяется требованиями к его вольт-амперной характеристике и электрическим параметрам. Основные электрические параметры диода – обратный ток $I_{обр}$, напряжение пробоя $U_{пр}$, время восстановления обратного сопротивления диода $t_{вос}$, емкость диода C_D .

В полупроводниковых микросхемах в качестве диода используют один из переходов интегрального $n-p-n$ -транзистора (рис. 5.10). Изготовление таких диодов является более экономичным по сравнению с изготовлением специальных диодных структур.

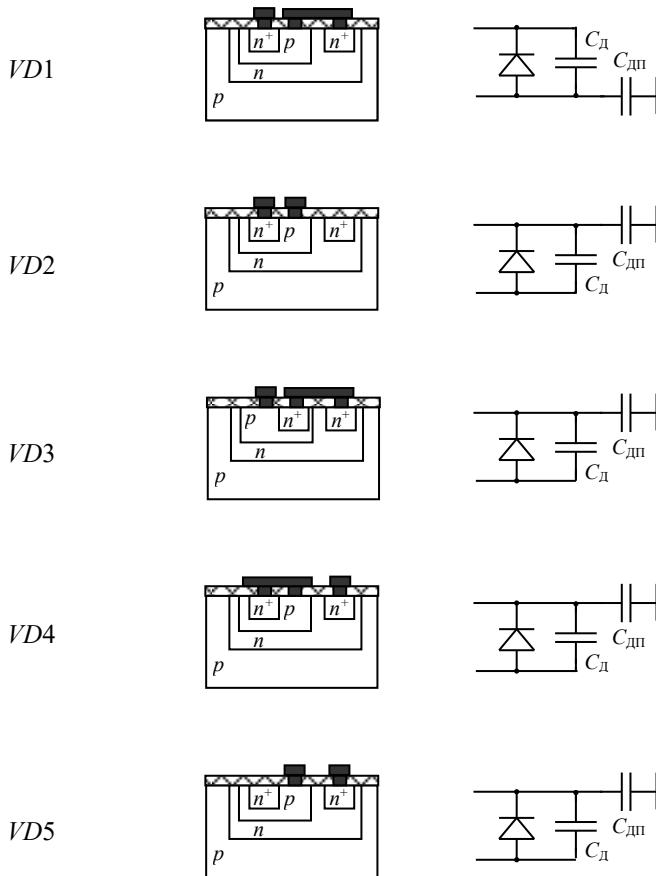


Рис. 5.10 – Конструкции и эквивалентные схемы интегральных диодов

Интегральный диод состоит из нескольких определенным образом скоммутированных переходов, однако его

характеристики незначительно отличаются от характеристик одиночного перехода. Характерное отличие интегрального диода от его дискретного аналога заключается в наличии паразитной емкости и транзистора. Интегральный диод, по существу, представляет собой трехполюсный прибор, третьим электродом которого служит подложка. Действие паразитного транзистора, состоящего из базы, коллектора и подложки $n-p-n$ -транзистора, необходимо учитывать при проектировании полупроводниковых микросхем. Так как в полупроводниковой микросхеме, изолированной с помощью $p-n$ -перехода, подложка соединяется с наиболее отрицательной точкой схемы, то коллекторный переход паразитного транзистора смешен в обратном направлении. Если интегральный диод смешается в прямом направлении, то эмиттерный переход паразитного транзистора также будет смешен в прямом направлении (исключая диод $VD1$).

Паразитный транзистор работает в режиме усиления, поэтому часть тока, протекающего через диод, ответвляется в подложку, т.е. ток, втекающий в диод, не равен току, вытекающему из него. Значение ответвляющегося тока зависит от коэффициента передачи тока паразитного транзистора, включенного по схеме с общим эмиттером. Коэффициент инжекции эмиттера паразитного транзистора обычно достаточно мал, поэтому значение коэффициента усиления по току h_{213} не превышает 1...3. Устранение активных свойств паразитного транзистора осуществляется путем легирования золотом коллекторной области $n-p-n$ -транзистора или базовой области $p-n-p$ -транзистора. Это приводит к резкому уменьшению коэффициента переноса носителей через базу паразитного транзистора, который становится практически равным нулю. Для легированных золотом структур коэффициент усиления по току h_{213} имеет порядок 0,01.

Паразитный $p-n-p$ -транзистор не оказывает никакого влияния на диод $VD1$, так как переход коллектор – база $n-p-n$ -транзистора короткозамкнутый.

При конструировании полупроводниковых микросхем необходимо учитывать параметры, определяющие вольт-амперные

характеристики, а также паразитную емкость диода и время восстановления обратного сопротивления.

Вольт-амперная характеристика диода определяется соотношением

$$I_D = I_{\text{обр}} \left[\exp(qU_D/kT) - 1 \right]$$

где I_D – ток, протекающий через диод; U_D – напряжение, приложенное к переходу; $I_{\text{обр}}$ – обратный ток перехода, пропорциональный его площади.

К числу параметров диода, характеризующих вольт-амперную характеристику, относится падение прямого напряжения при заданном постоянном прямом токе.

При малых токах падение напряжения на диодах определяется идеализированными характеристиками переходов, при больших токах важную роль играют также последовательные объемные сопротивления. Наименьшее падение напряжения в прямом направлении при одних и тех же значениях тока наблюдается для диода $VD1$. Это объясняется тем, что $VD1$ работает как транзистор с замкнутым коллекторным переходом. Инжектируемые эмиттером электроны перемещаются через базу, достигают коллекторного перехода и свободно попадают в коллектор. Следовательно, основная часть входного тока протекает через коллектор и падение напряжения на сопротивлении базы будет значительно меньше, чем в других диодных структурах. В диоде $VD4$ транзисторная структура находится в инверсном включении. Поскольку инверсный коэффициент передачи тока мал, то базовый ток, протекающий в такой структуре, будет большим, что вызывает значительное падение напряжения на диоде. Если интегральные диоды расположить в порядке убывания падения напряжения при протекании через них большого тока, то получим следующую последовательность: $VD2, VD3, VD5, VD4, VD1$.

Напряжения обратных смещений диода и изолирующего $p-n$ -перехода не должны превышать пробивных напряжений соответствующих переходов. Так, максимально допустимое обратное напряжение диодов $VD1-VD3$ ограничено напряжением пробоя перехода эмиттер-база, а диодов $VD4-VD5$ – напряжением пробоя перехода коллектор-база.

К параметрам диода, характеризующим обратную ветвь

вольт-амперной характеристики, относится постоянный обратный ток, протекающий через диод при приложении к нему обратного смещения. В кремниевых *p-n*-переходах главной составляющей обратного тока является составляющая тока термогенерации, зависящая от площади *p-n*-перехода и от количества центров рекомбинации в области объемного заряда перехода. Для диодов *VD1* и *VD2* наблюдаются меньшие значения обратного тока, так как они формируются на переходе эмиттер-база, который имеет наименьшую площадь и самую узкую область объемного заряда. Диоды *VD4–VD5*, формируемые на основе перехода коллектор-база, имеют большие обратные токи. Диод *VD3* обладает наибольшим значением обратного тока, поскольку при этом варианте включения транзисторной структуры оба перехода коллектор-база и эмиттер-база оказываются включенными параллельно. У всех рассматриваемых диодов обратные токи изменяются в пределах 0,1…100 мА.

Быстродействие полупроводниковых ИМС в значительной степени, определяется паразитной емкостью элементов. Поэтому для каждой из диодных структур необходимо знать значение паразитной емкости. На рис. 5.10 показаны емкости, действующие в пяти диодных схемах включения транзистора. Любая емкость, соединяющая какую-либо точку схемы с землей, снижает быстродействие схемы и, следовательно, является паразитной. Поскольку подложка обычно соединена с точкой наиболее низкого потенциала, то вывод емкости перехода коллектор-подложка оказывается заземленным по высокой частоте. Наибольшую паразитную емкость имеет диод *VD3*, а наименьшую – диод *VD2*.

Быстродействие диодов характеризуется временем восстановления обратного сопротивления. Основная причина инерционности диодов при работе в импульсном режиме обусловлена процессом накопления неравновесных носителей заряда в областях транзисторной структуры. Время восстановления обратного сопротивления зависит от размеров областей транзисторной структуры, времени жизни неравновесных носителей заряда и от величины прямого тока, протекающего через диод. При одном и том же прямом токе

накопление заряда в различных диодных структурах будет различным. В диоде $VD1$ время восстановления обратного сопротивления будет наименьшим, так как в коллекторной области не происходит накопление дополнительного заряда (переход коллектор-база является короткозамкнутым).

В диоде $VD1$ цепь коллектора разомкнута, поэтому инжекция неосновных носителей в область базы смещает коллекторный переход в прямом направлении. Это вызывает появление дополнительного заряда в базовой и коллекторной областях. Время восстановления обратного сопротивления диода $VD2$ оказывается значительно большим, чем диода $VD1$.

В диоде $VD5$ эмиттерный переход, работающий в режиме холостого хода, приобретает небольшой потенциал, смещающий его в прямом направлении. Это приводит к дополнительному накоплению заряда в структуре. Диод $VD3$ обладает наибольшим временем восстановления обратного сопротивления, так как оба перехода коллектор-база и эмиттер-база смешены в прямом направлении и в структуре происходит накопление наибольшего заряда. В табл. 5.1 обобщены характеристики диодов при различных схемах соединения. Эти диоды выполнены на транзисторных структурах со следующими значениями параметров: $\rho_{\text{к}} = 0,5 \text{ Ом}\cdot\text{см}$; $R_{S6} = 200 \text{ Ом}/\square$; $R_{S3} = 2,2 \text{ Ом}/\square$; $S_6 = 0,063 \times 0,1 \text{ мм}^2$; $S_3 = -0,025 \times 0,038 \text{ мм}^2$. Анализ параметров диодов позволяет сделать следующее заключение. Диод $VD1$ с замкнутым переходом коллектор-база предпочтительнее использовать в логических микросхемах, так как он может обеспечивать получение наибольшего быстродействия. Диод $VD2$ может применяться в логических микросхемах в качестве накопительного диода. Диоды $VD4$ и $VD5$, имеющие наибольшее значение напряжения пробоя, могут использоваться в качестве диодов общего назначения.

Таблица 5.1 – Параметры диодов полупроводниковых ИМС

Параметр	$VD1$	$VD2$	$VD3$	$VD4$	$VD5$
Напряжение пробоя $U_{\text{пр}}$, В	7	7	7	55	55
Обратный ток $I_{\text{обр}}$, нА	5	5	25	20	20

Время восстановления обратного сопротивления $t_{вос}, \text{ нс}$	9	56	100	53	85
Емкость диода $C_d, \text{ пФ}$	0,5	0,5	1,2	0,7	0,7
Паразитная емкость $C_p, \text{ пФ}$	2,9	1,2	2,9	2,9	2,9

Диоды, изготовленные совместно с другими элементами на подложке типа КНС, имеют более высокое быстродействие по сравнению с вышерассмотренными. Диоды с торцевыми $p-n$ -переходами имеют малую площадь, а следовательно, и малую емкость (примерно в 100 раз меньше емкости обычных интегральных диодов). Время восстановления обратного сопротивления составляет около 1 нс.

На рис. 5.11 представлены некоторые варианты конструкций интегральных диодов.

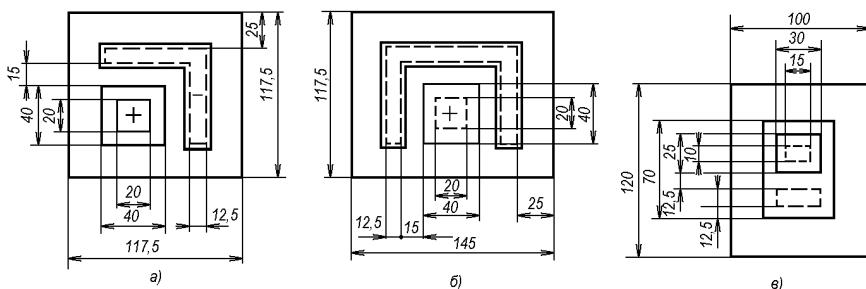


Рис. 5.11 – Конструкции интегральных диодов:
а, б – на переходе база – коллектор; в – на переходе база – эмиттер

5.4 Интегральные резисторы

В полупроводниковых микросхемах функцию резистора выполняет объем полупроводника, имеющий определенные размеры и конфигурацию, или транзисторная схема (аналог резистора). Интегральные резисторы могут быть разделены на следующие типы в зависимости от их структуры: диффузионные (на основе эмиттерной или базовой области); эпитаксиальные (на основе коллекторной области); пинч-резисторы, а также

резисторы, изготовленные методом ионного легирования. Все интегральные резисторы, кроме последнего из перечисленных типов, изготавливаются одновременно с активными элементами микросхем без введения дополнительных этапов обработки. Они создаются на основе коллекторной, базовой или эмиттерной областей транзистора.

Основными параметрами, характеризующими резистор, являются: номинальное сопротивление R ; допуск на номинальное сопротивление γ_R ; поверхностное сопротивление легированного слоя ρ_s ; температурный коэффициент сопротивления ТКС; мощность рассеяния P ; максимально допустимая удельная мощность рассеяния P_0 ; Значения этих параметров определяются в процессе разработки принципиальной электрической схемы и ее анализа.

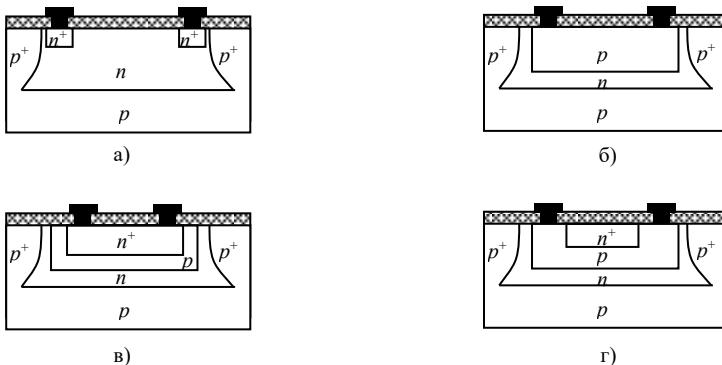


Рис. 5.12 – Конструкции интегральных резисторов:

а – в эпитаксиальном слое; б – в базовом слое;

в – в эмиттерном слое; г – пинч-резистор

В планарно-эпитаксиальном транзисторе эпитаксиальный слой является коллекторной областью и имеет наименьшую концентрацию примеси и, соответственно, высокое удельное сопротивление (порядка 500...5000 Ом/квадрат). Учитывая, что распределение концентрации примеси по толщине эпитаксиального слоя однородное, проводимость резистора на основе эпитаксиального слоя постоянна по всему сечению. Эпитаксиальный резистор формируется на стадии

разделительной диффузии и имеет сечение, образованное двумя глубокими p^+ -областями разделительной (изолирующей) диффузии (рис. 5.12, а). Так как глубокая разделительная диффузия проводится длительное время (около 2 часов), точное выполнение размеров диффузионных областей затруднено (в частности, за счет боковой диффузии).

Это дает значительный разброс номиналов эпитаксиальных резисторов. Кроме того, вследствие малости концентрации примеси эпитаксиальные резисторы имеют большой ТКС. К особенностям эпитаксиальных резисторов можно отнести высокое значение напряжения пробоя (более 100 В).

Диффузионный резистор получается путем локальной диффузии примеси через маску, ограничивающую область, которая будет использована в качестве резистора, причем эта диффузия проводится одновременно с диффузией, формирующей базовый или эмиттерный слои биполярного транзистора. Таким образом, в качестве резистивного слоя используется диффузный слой, ограниченный поверхностью кристалла и $p-n$ -переходом в объеме кристалла (рис. 5.12).

В отличие от эпитаксиального резистора, концентрация примеси в диффузном слое выше, следовательно, удельное сопротивление ниже. Кроме того, распределение примеси на глубине неоднородное и зависит от режима диффузии. При проектировании ИС параметры диффузных слоев оптимизируют, исходя из характеристик транзистора, поэтому получение необходимых номиналов диффузионных резисторов осуществляется путем подбора соответствующей конфигурации и размеров (топологии) резисторов. На рис. 5.13 приведены различные конфигурации диффузных транзисторов.

Эмиттерный и базовый диффузионные слои отличаются концентрацией и распределением примеси, а также толщиной. Однако в расчетах используется величина удельного поверхностного сопротивления слоя, определяемая как

$$\rho_s = \frac{\rho_V}{X_{p-n}}, \quad (5.16)$$

где ρ_V – среднее удельное сопротивление диффузного слоя, Ом·см;

X_{p-n} – глубина залегания $p-n$ -перехода, см.

Пинч-резистор представляет из себя диффузный слой, ограниченный с двух сторон *p-n*-переходами (рис. 5.12, 2). Так как в качестве резистивного слоя используется донная, слаболегированная часть базового слоя, можно получить сопротивление пинч-резистора порядка 200...300 кОм. Однако пинч-резисторы характеризуются большим разбросом сопротивлений (до 50%) из-за трудностей получения точных значений глубин залегания *p-n*-переходов. Они имеют большой ТКС, так как концентрация в донной части базового слоя мала. Кроме того, вольт-амперная характеристика пинч-резистора при напряжении выше 1 В становится нелинейной, мало пробивное напряжение. Можно повысить пробивное напряжение пинч-резисторов путем использования в качестве резистивного эпитаксиального слоя, ограниченного сверху базовым слоем.

Замена диффузии на ионное легирование позволяет в ряде случаев получить выигрыш как в качестве резисторов, так и в площади, занимаемой ими. Конструкции ионно-легированных резисторов мало чем отличаются от диффузионных. Ионная имплантация позволяет получать легированные слои малой толщины с большим ρ_s , малыми ТКС и R .

Сравнительные характеристики резисторов даны в табл. 5.2.

Таблица 5.2 – Параметры интегральных резисторов полупроводниковых ИМС

Тип резистора	Толщина слоя, мкм	ρ_s , Ом/□	γ_R , %	ТКС, 1/°C
Эпитаксиальный	4,0-10,0	$(0,5-5) \cdot 10^3$	(15-30)	$(3-5) \cdot 10^{-3}$
Диффузионный на базовом слое	2,5-3,5	100-300	(5-20)	$(0,5-3) \cdot 10^{-3}$
Диффузионный на эмиттерном слое	1,5-2,5	1,0-10,0	20	$(1-5) \cdot 10^{-4}$
Пинч-резистор	0,5-1,0	$(2-5) \cdot 10^3$	50	$(1,5-3) \cdot 10^{-3}$
Ионно-легированный	0,1-0,1	$(5-10) \cdot 10^3$	5	$(1,5-5) \cdot 10^{-3}$

Проектирование интегральных схем обычно опирается на базовую технологию, имеющуюся на предприятии. Это дает

возможность не производить расчет транзисторов, а использовать банк данных, подбирая подходящую конструкцию и топологию транзистора для получения требуемых характеристик. Для базовой технологии вертикальная структура элементов может считаться заданной, т.е. заданы поверхностные сопротивления слоев, глубины залегания *p-n*-переходов, распределение концентраций примесей, способ изоляции элементов и пр. В этом случае расчет резисторов сводится к выбору конструкции, топологического варианта, расчета геометрических размеров резистивного слоя и контактной площадки.

Выбор конструкции резистора основывается, прежде всего, на стремлении получить резистор необходимого номинала при малой площади, занимаемой им. При этом необходимо учесть ограничения по ТКС, пробивному напряжению, другим характеристикам, указанным в техническом задании. Практика проектирования рекомендует использовать диффузионные резисторы на основе эмиттерного слоя для низковольтных резисторов с сопротивлением не более 100 Ом, на основе базового слоя – резисторов с сопротивлением до 60 кОм, эпитаксиальные резисторы – для высоковольтных сопротивлений 150 – 200 кОм. Ионно-легированные резисторы целесообразно применять в случае повышенных требований к точности изготовления.

Конфигурация резистора определяется величиной сопротивления, так как при данном поверхностном сопротивлении сопротивление резистивной полоски будет зависеть от отношения ее длины *l* к ширине *b*. Контактные площадки вносят дополнительные сопротивления, на величину которых влияют форма контактной площадки и переходное сопротивление контакта металл-полупроводник. Учет формы контактной площадки производится введением поправочного коэффициента, переходные контактные сопротивления суммируются с сопротивлением резистора.

Сопротивление резистивной полосы *R* может быть рассчитано по формуле

$$R = \rho_S \cdot K_\phi, \quad (5.17)$$

где K_ϕ – коэффициент формы резистора.

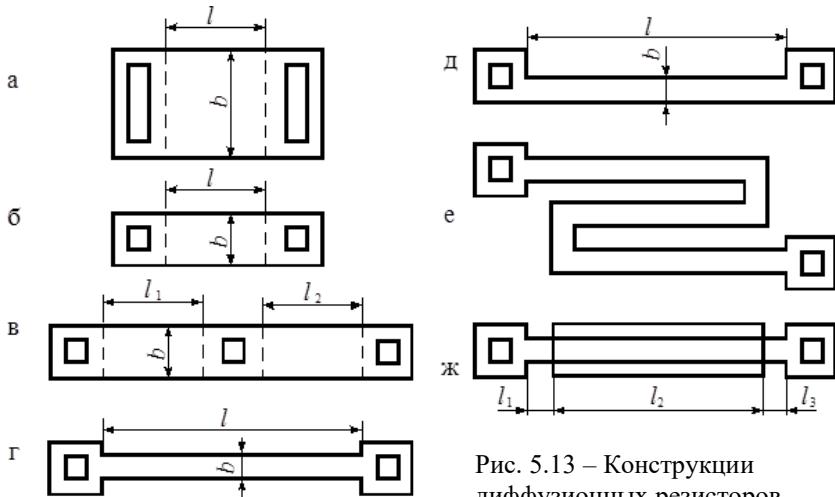


Рис. 5.13 – Конструкции диффузионных резисторов

Низкоомные резисторы (от 50 Ом до 1 кОм) выполняются обычно в виде прямоугольной полосы (см. рис. 5.13, а-в). Для резисторов с сопротивлением выше 400 Ом рекомендуется использовать конфигурацию (см. рис. 5.13, г). Резисторы с номинальным значением выше 1 кОм выполняются в виде ломаной линии (меандр, см. рис. 5.13, д-ж). Это позволяет значительно уменьшить площадь, занимаемую резистором. Изгибы резистивной полосы оказывают влияние на ее сопротивление, что учитывается соответствующим коэффициентом, умноженным на число изгибов.

В общем виде сопротивление резистора R с двумя контактами рассчитывается по выражению

$$R = \rho_S (K_\phi + K_1 + K_2 + N_{\text{изг}} \cdot K_{\text{изг}}),$$

где K_1 , K_2 – коэффициенты формы контактных областей резистора; $N_{\text{изг}}$ – число изгибов резистивной полосы; $K_{\text{изг}}$ – коэффициент формы одного изгиба (для прямоугольного излома $K_{\text{изг}}=0,55$).

При определении K_ϕ резисторов типа змейки длина резистивной полосы должна определяться как сумма длин прямоугольных участков

$$K_{\Phi} = \frac{l_{\Sigma}}{b} = \frac{l_1 + l_2 + l_3 + \dots + l_n}{b},$$

где $l_1, l_2, l_3, \dots, l_n$ – длины прямолинейных участков резистивной полосы (см. рис. 5.13, *б*).

Цель расчета резистора состоит в определении его топологической конфигурации, которая обеспечит требуемые характеристики по мощности и точности для данного уровня технологии. Расчет геометрических размеров начинают с определения ширины резистивной полосы b , которая должна быть не меньше наибольшего значения одной из трех величин:

$$b_{\text{расч}} \geq \max \{b_{\text{техн}}, b_{\text{точн}}, b_P\},$$

где $b_{\text{техн}}$ – минимальная ширина резистора, определяемая разрешающей способностью технологических процессов; $b_{\text{точн}}$ – минимальная ширина резистора, при которой обеспечивается заданная погрешность геометрических размеров; b_P – минимальная ширина резистора, определяемая из максимально допустимой мощности рассеяния.

Величина $b_{\text{техн}}$ находится из перечня конструктивно-технологических ограничений для данной технологии. Ширина $b_{\text{точн}}$ определяется из выражения:

$$b_{\text{точн}} = \left(\Delta b + \frac{\Delta l}{K_{\Phi}} \right) \frac{1}{\gamma_{K_{\Phi}}}, \quad (5.18)$$

где $\Delta b, \Delta l$ – абсолютные погрешности ширины и длины резистивной полосы, обусловленные технологическими процессами ($\Delta b, \Delta l = 0,1 \text{ мкм}$).

$$\gamma_{K_{\Phi}} = \gamma_R - \gamma_{\rho_s} - \gamma_t$$

где $\gamma_{K_{\Phi}}$ – погрешность коэффициента формы; γ_R – полная относительная погрешность изготовления резистора; γ_{ρ_s} – погрешность воспроизведения величины ρ_s резистивной пленки (для типовых технологических процессов $\gamma_{\rho_s} = 0,05 \dots 0,1$); γ_t – температурная погрешность.

Температурная погрешность зависит от ТКС резистивного материала:

$$\gamma_t = \alpha_R (T_{\max} - 20^{\circ}\text{C}),$$

где α_R – температурный коэффициент сопротивления, $1/{^{\circ}\text{C}}$.

Ширина b_P определяется из выражения

$$b_P = \sqrt{\frac{P\rho_S}{P_0 R}} = \sqrt{\frac{P}{P_0 K_\Phi}}, \quad (5.19)$$

где P_0 – максимально допустимая удельная мощность рассеяния, выбирается в зависимости от типа корпуса и условий эксплуатации интегральной схемы в пределах $P_0 = 0,5 \dots 4,5$ Вт/мм².

Переходное сопротивление контакта R_k зависит от удельного переходного сопротивления омического контакта R_{om} к полупроводнику и площади контакта S_k .

$$R_k = \frac{R_{om}}{S_k}. \quad (5.20)$$

Удельное переходное сопротивление (сопротивление омического контакта) зависит от уровня легирования полупроводника, металла контактной площадки, технологии изготовления омического контакта.

В табл. 5.3 приведены значения переходного удельного сопротивления контакта для некоторых металлов на кремнии.

Таблица 5.3 – Значения переходного удельного сопротивления контакта

Тип проводимости кремния	Удельное сопротивление кремния, Ом·см	Омическое удельное сопротивление, Ом·см ²		
		Алюминий	Хром+золото-хром	Титан
<i>p</i>	0,005	$5,2 \cdot 10^{-5}$	$1,0 \cdot 10^{-5}$	$5,0 \cdot 10^{-5}$
	0,05	$6,0 \cdot 10^{-4}$		
	0,02	$4,2 \cdot 10^{-4}$		
	0,5	$1,1 \cdot 10^{-3}$		$2,5 \cdot 10^{-4}$
	0,1		$4,0 \cdot 10^{-3}$	
	1		$1,5 \cdot 10^{-2}$	
<i>n</i>	0,005	$4,1 \cdot 10^{-3}$		$1,0 \cdot 10^{-4}$
	0,01	$1,3 \cdot 10^{-2}$		
	0,05	$6,4 \cdot 10^{-2}$		$2,6 \cdot 10^{-3}$

Расчетная ширина резистора b определяется с учетом выбранной формы контактных областей (рис. 5.14).

Коэффициент формы контактных областей K_1 и K_2 может быть определен по графикам (см. рис. 5.14). Для контактных площадок с одинаковой формой $K_1=K_2$.

Выбор конфигурации контактной области зависит от номинального сопротивления резистора. Для высокоомных резисторов рекомендуются варианты a , b для низкоомных – варианты c , d . Площадь контакта S_k определяется через допустимое сопротивление контакта, на которое, в свою очередь, влияет допустимое отклонение номинала резистора

$$R_{k,\text{доп}} = \frac{\Delta R}{2} \alpha, \quad (5.21)$$

где $\alpha = 0,05\dots0,1$ – относительная погрешность сопротивления резистора, обусловленная переходным сопротивлением R_k .

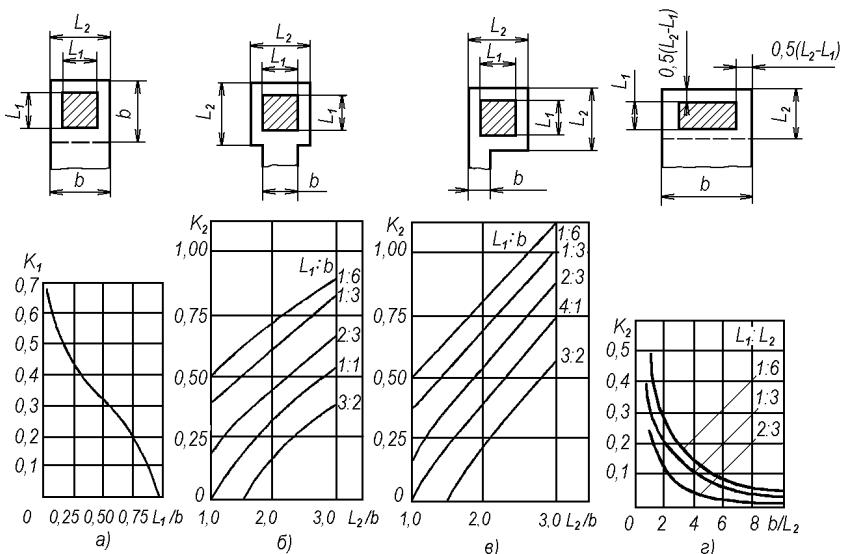


Рис. 5.14 – Конфигурации и значения коэффициента формы контактных областей интегральных резисторов

Площадь контакта

$$S_k = \frac{R_{om}}{R_{k,dop}}. \quad (5.22)$$

Тогда для контактов типа *a*, *b*, *c* (см. рис. 5.14)

$$L_1 = \sqrt{S_k}. \quad (5.23)$$

После принятия решений по величине *b* выбирают шаг координатной сетки чертежа топологии (0,5 или 1,0 мм), а с учетом масштаба (100:1, 200:1 и т.д.) определяется шаг координатной сетки фотошаблона. Затем находится промежуточное значение

$$b_{prom} = b_{расч} - 2(\Delta_{травл} + \Delta_y),$$

где $\Delta_{травл}$ – погрешность, вносимая за счет растрравливания окон в маскирующем слое перед диффузией ($\Delta_{травл} = 0,2 \dots 0,5$ мкм);

Δ_y – погрешность вносимая за счет ухода диффузионного слоя под окисел (боковая диффузия) и составляет величину порядка 60% глубины базового слоя и 80% глубины эмиттерного слоя.

Далее находят топологическую ширину резистора b_{top} (ширину на чертеже топологии).

Если $b_{prom} \geq b_{техн.}$, то за b_{top} принимают равное или ближайшее к b_{prom} по координатной сетке большее значение.

Если $b_{prom} < b_{техн.}$, то за b_{top} принимается равное или ближайшее к $b_{техн}$ большее значение, равное шагу координатной сетки.

Реальная ширина резистора на кристалле

$$b = b_{top} + 2(\Delta_{травл} + \Delta_y).$$

Расчетная длина резистора $l_{расч}$ определяется как

$$l_{расч} = b \left(\frac{R}{\rho_s} - K_1 - K_2 - 0.55 N_{изр} \right). \quad (5.24)$$

Следует учитывать, что реальная длина резистора l на кристалле будет меньше топологической длины l_{top} на чертеже топологии за счет увеличения геометрических размеров контактных областей в результате боковой диффузии. Поэтому сначала оценивается промежуточное значение длины резистора

$$l_{пром} = l_{расч} + 2(\Delta_{травл} + \Delta_y).$$

За топологическую длину резистора $l_{\text{топ}}$ принимается ближайшее к $l_{\text{пром.}}$ значение длины, кратное шагу координатной сетки.

Реальная длина резистора на кристалле

$$l = l_{\text{топ}} - 2(\Delta_{\text{правл}} + \Delta_y).$$

Отклонение размеров резистивной области за счет $\Delta_{\text{правл}}$ и Δ_y надо учитывать при определении величин L_1 и L_2 и выборе коэффициентов формы контактных областей K .

Окончательное определение топологических значений $b_{\text{топ}}$ и $l_{\text{топ}}$ производится после расчета величины сопротивления спроектированного резистора и погрешности. При необходимости увеличивают ширину резистора до значений, дающих приемлемую погрешность.

5.5 Конструирование и расчет конденсаторов

В полупроводниковых микросхемах возможно применение двух типов конденсаторов. Реализация первого типа основана на свойствах обратносмещенного $p-n$ -перехода, а второго – на обычном использовании свойств какого-либо диэлектрического материала (рис. 5.15).

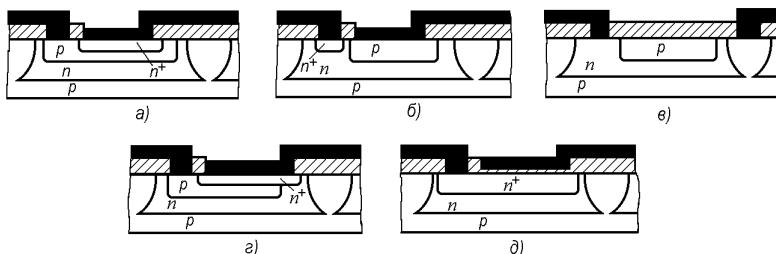


Рис. 5.15 – Структуры конденсаторов полупроводниковых ИМС на основе переходов: эмиттер-база (а), коллектор-база (б), коллектор-подложка (в), параллельно включенных переходов эмиттер-база и коллектор-база (г), МДП-конденсатора (д)

Основная трудность при получении конденсаторов заключается в обеспечении достаточно высоких значений

удельной емкости. С этим связано существенное ограничение, затрудняющее применение обоих типов конденсаторов в полупроводниковых микросхемах. Максимальное практически достижимое значение емкости лежит в пределах 100...200 пФ с допуском $\pm 20\%$.

В настоящее время широкое применение находят конденсатора на основе *p-n*-перехода. Наибольшее распространение этого типа конденсаторов объясняется тем же, что и распространение диффузионных резисторов, т.е. возможностью их формирования одновременно с получением диффузионных областей транзисторных структур. Для получения таких конденсаторов может использоваться емкость следующих обратносмещенных переходов: коллектор-подложка, коллектор-база, эмиттер-база.

Конденсатор с диэлектриком представляет собой обычный плоский конденсатор. Структура такого конденсатора включает нижнюю обкладку, в качестве которой используется эмиттерная область, диэлектрик (обычно диоксид кремния) и верхнюю обкладку, представляющую собой металлизированный слой соответствующих формы и размеров. Этот тип конденсаторов имеет ряд преимуществ перед диффузионными, так как их удельная емкость не зависит от приложенного напряжения. Кроме того, они обладают большей добротностью и являются неполярными, т.е. для них не имеет значения знак потенциала на любой из обкладок.

Исходными данными для расчета конденсаторов являются: необходимое значение емкости C и допуск на него ΔC ; рабочее напряжение $U, В$; интервал рабочих температур $\Delta T, ^\circ\text{C}$; рабочая частота $f, \text{ Гц}$; основные технологические и конструктивные ограничения. При расчете необходимо выбрать тип и конструкцию конденсатора, определить его геометрические размеры, занимаемую площадь.

Емкость диффузионного конденсатора прямоугольной формы на основе обратно смещенного *p-n*-перехода

$$C = C_{\text{дон}} + C_{\text{бок}} = C_0 a \cdot b + 2C_{0\text{б}}(a + b)X_j, \quad (5.25)$$

где C_0 и $C_{0\text{б}}$ – удельные емкости донной и боковых частей *p-n*-перехода; a , b и X_j – геометрические размеры *p-n*-перехода.

Соотношение слагаемых зависит от отношения a/b . Оптимальным является отношение $a/b = l$, при этом доля «боковой» емкости оказывается минимальной. Параметры интегральных конденсаторов, необходимые для расчета приведены в табл. 5.4.

По заданным значениям C , C_0 , C_{06} , X_j находят геометрические размеры конденсатора квадратной формы; если для топологии ИМС требуется конденсатор прямоугольной формы, то один из размеров прямоугольника выбирают исходя из конструктивных соображений. Для расчета ΔC необходимо учесть погрешности технологии при выполнении геометрических размеров диффузионных слоев и отклонения емкости от номинального значения за счет изменения температуры.

Емкость МДП-конденсатора определяется выражением

$$C = 8,85 \cdot 10^{-12} \varepsilon \cdot S / d = C_0 \cdot S, \quad (5.26)$$

где ε – относительная диэлектрическая проницаемость (для SiO_2 $\varepsilon = 4$) и толщина диэлектрика; C_0 – удельная емкость (см. табл. 5.4); S – площадь верхней обкладки конденсатора.

Таблица 5.4 – Параметры интегральных конденсаторов полупроводниковых ИМС

Тип конденсатора	Удельная емкость C_0 , $\text{пФ}/\text{мм}^2$	Удельная емкость C_{06} , $\text{пФ}/\text{мм}^2$	Разброс номинала, %	$\text{TKE} (\alpha_C) \cdot 10^{-3}$, $1/\text{°C}$	$U_{\text{пр}}$, В	Добротность
Переход база-коллектор	150	350	± 20	-1,0	30-70	50-100
Переход эмиттер-база	600	1000	± 20	-1,0	7-8	1-20
Переход коллектор-подложка	100	250	± 20	-	35-70	-

МДП с диэлектриком SiO_2	400-600	-	± 20	0,015	30-50	25-80
МДП с диэлектриком Si_3N_4	800-1600	-	± 20	0,01	50	-

Рабочее напряжение МДП-конденсаторов (обычно 10–50 В) ограничено напряжением пробоя диэлектрика, которое рассчитывают по формуле $U_{\text{пр}} = E_{\text{пр}} d$, где $E_{\text{пр}}$ – электрическая прочность диэлектрика (для SiO_2 $E_{\text{пр}} = 10^7$ В/см). При расчете геометрических размеров МДП -конденсатора задаются d , определяют C_0 и рассчитывают площадь верхней обкладки.

МДМ-конденсаторы совмещенных ИМС рассчитывают аналогично пленочным конденсаторам ГИМС (см. гл. 2).

При вычерчивании чертежа топологии конденсаторов их размеры корректируют с учетом шага координатной сетки.

5.6 Диоды и транзисторы с барьером Шоттки

Кроме обычных диодных структур, в полупроводниковых ИМС широкое применение находят диоды Шоттки (рис. 5.16). Это обусловлено их специфическими характеристиками, позволяющими улучшить ряд важнейших параметров логических схем и схем памяти. Прежде всего с помощью диодов Шоттки удается увеличить их быстродействие и снизить рассеиваемую мощность.

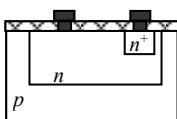


Рис. 5.16 – Структура диода Шоттки

Как известно, в обычном р-п-переходе, смещенном в прямом направлении, перенос носителей обусловлен инжецией неосновных носителей из одной области в другую. При этом вблизи от перехода образуется избыток неосновных носителей заряда.

Если полярность напряжения изменяется, то эти носители протекают через переход в обратном направлении. Следовательно, через переход будет протекать большой обратный ток, пока избыточная концентрация неосновных

носителей не снизится до нуля. Это означает, что переход не может быть мгновенно заперт. В диодах с барьером Шоттки отсутствует накопление зарядов, так как принцип их действия основан на свойствах контакта кремния *n*-типа с металлом. Весь прямой ток, протекающий через такой контакт, создается электронами, перемещающимися из полупроводника в металл, которые быстро приходят в равновесие с другими электронами в металле. Этим объясняется отсутствие в диодах Шоттки сколько-нибудь значительного накопления заряда, мешающего быстрому выключению перехода. Быстродействие диодов Шоттки определяется в основном временем перезаряда барьера емкости, которая зависит от ширины области объемного заряда и не связана с накоплением заряда. Время выключения диодов Шоттки не превышает 0,1 нс.

Другая особенность диодов Шоттки, отличающая их от обычного *p-n*-перехода, заключается в том, что напряжение их отпирания меньше, чем у обычных диодов, имеющих ту же площадь, и может регулироваться подбором типа металла, образующего контакт с полупроводником. Напряжение на диодах Шоттки в открытом состоянии $U_{\text{пр}}=0,35\dots 0,45$ В при токе $I_{\text{пр}}=1$ мА, что примерно вдвое меньше падения напряжения на *p-n*-переходе.

Для ослабления сильного электрического поля у краев перехода металл-полупроводник, которое вызывает появление больших токов утечки и преждевременный обратный пробой, используют так называемую «расширенную» металлизацию. При этом частично происходит перекрытие слоя окисла кремния металлизацией. Металлический контакт, лежащий над окислом, вызывает при обратном смещении на диоде обеднение поверхностного слоя, находящегося под областью перекрытия. Это приводит к уменьшению напряженности электрического поля на периферии обедненной области и увеличивает напряжение пробоя. При конструировании диодов Шоттки с расширенной металлизацией следует учитывать, что ширина перекрытия не должна быть излишней, так как такое перекрытие увеличивает емкость диода и, следовательно, снижает его быстродействие. Другой метод, позволяющий снизить

напряженность электрического поля у краев перехода металл-полупроводник, заключается в создании защитного кольца, формируемого под краями металлического электрода диффузией акцепторных примесей. При обратном смещении сформированного таким образом p - n -перехода возникает область объемного заряда, смыкающаяся с областью объемного заряда диода Шоттки. Поскольку p - n -переход имеет достаточно высокое пробивное напряжение, то он не оказывает существенного влияния на работу диода Шоттки.

Особенности характеристик диодов Шоттки определяют области их применения в логических ИМС. С помощью этих диодов достигается увеличение быстродействия схемы за счет уменьшения времени переключения ее активных элементов и уменьшения перепада уровней напряжений в узлах схем, подключенных к большой емкостной нагрузке.

Транзисторы с барьером Шоттки. Быстродействие ключевого биполярного транзистора в значительной степени определяется длительностью процесса рассасывания заряда неосновных носителей, накопленных в базе и коллекторе при работе транзистора в режиме насыщения, когда коллекторный переход смещен в прямом направлении. Шунтирование коллекторного перехода диодом Шоттки позволяет сильно ослабить инжекцию неосновных носителей открытым переходом, так как диод Шоттки ограничивает напряжение открытого коллекторного p - n -перехода на уровне 0,35...0,45 В. Накопление заряда неосновных носителей происходит только в области базы в результате инжекции эмиттерного перехода. Применение диода Шоттки позволяет приблизительно в V_{ct} раз уменьшить время рассасывания заряда неосновных носителей.

Рассмотрим конструкцию интегрального транзистора с диодом Шоттки (рис. 5.17). Транзистор содержит металлический электрод, перекрывающий коллекторный p - n -переход и образующий барьер Шоттки с коллекторной областью и омический контакт с областью базы. Для надежной фиксации потенциала открытого коллекторного p - n -перехода действительная ВАХ диода Шоттки должна приближаться к ВАХ идеального барьера. Это обеспечивается качеством

технологического процесса и малым сопротивлением объема полупроводникового материала $r_{\text{дш}}$ в области контакта металл-полупроводник. Падение напряжения на сопротивлении $r_{\text{дш}}$, последовательно соединенном с барьером Шоттки, спрятывает

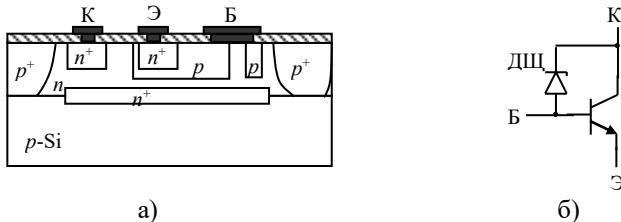


Рис. 5.17 – Конструкция эпитаксиально-планарного транзистора с диодом Шоттки: а – структура; б – принципиальная схема

BAX диода. Для уменьшения $r_{\text{дш}}$ скрытый n^+ -слой должен охватывать область расположения контакта металл-полупроводник.

Уменьшению $r_{\text{дш}}$ способствует также снижение удельного сопротивления материала коллектора ρ_{V_k} и увеличение площади металлического контакта диода Шоттки $S_{\text{дш}}$. Однако величина ρ_{V_k} ограничена снизу условием образования барьера Шоттки и напряжением пробоя коллекторного перехода. Барьер Шоттки формируется при $\rho_{V_k} \geq 0,1 \text{ Ом}\cdot\text{см}$ ($N_{\text{дк}} \leq 10^{17} \text{ см}^{-3}$). Для уменьшения емкости диода Шоттки $C_{\text{дш}}$ желательно увеличивать ρ_{V_k} и уменьшать $S_{\text{дш}}$. С увеличением ρ_{V_k} также уменьшается емкость коллекторного перехода C_k . Таким образом, требования к ρ_{V_k} и $S_{\text{дш}}$ исходя из условия обеспечения достаточно малых $r_{\text{дш}}$, $C_{\text{дш}}$ и C_k противоречивы. Оптимизацией конструкции можно подобрать оптимальные значения ρ_{V_k} и $S_{\text{дш}}$, при которых обеспечиваются минимальная емкость C_k и необходимая BAX диода Шоттки.

5.7 Методы изоляции элементов ИМС

Качество и процент выхода годных полупроводниковых ИМС в значительной мере зависят от совершенства методов изоляции элементов ИМС друг от друга. Выбор метода изоляции

во многом определяет технологию производства микросхем. Наиболее широко используются следующие три способа изоляции элементов: обратно смещенным p - n -переходом, диэлектриком и путем комбинации обратно смещенного p - n -перехода с диэлектрической изоляцией.

Изоляция элементов ИМС обратно смещенным p - n -переходом.

Для этого способа изоляции характерны следующие разновидности:

- а) диодная изоляция (обратно смещенным p - n -переходом, созданным методом разделительной диффузии);
- б) коллекторная изолирующая диффузия (КИД);
- в) базовая изолирующая диффузия (БИД);
- г) метод трех фотоматриц;
- д) метод самоизоляции n -областью (метод двойной диффузии).

Диодная изоляция. Достоинство этого наиболее распространенного способа изоляции, иллюстрируемого рис. 5.18, заключается в простоте и сравнительно малой стоимости изготовления ИМС. Однако этот способ изоляции имеет ряд недостатков.

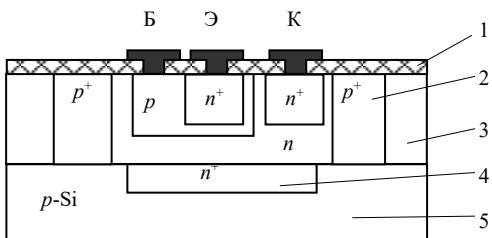


Рис. 5.18 – Диодная изоляция:
 1 – пленка SiO_2 ;
 2 – разделительная диффузия p^+ ;
 3 – эпитаксиальный слой n ;
 4 – скрытый слой n^+ ;
 5 – подложка p -типа

Самый большой недостаток структур с диодной изоляцией обусловлен наличием паразитных емкостей, ограничивающих быстродействие ИМС. Кроме того, при использовании такой изоляции большая часть площади кристалла занята изолирующими диффузионными областями. Это объясняется тем, что при проведении изолирующей диффузии примеси p -

типа проникают в боковом направлении на расстояние, равное толщине эпитаксиального слоя, которая при стандартном методе диодной изоляции составляет 7...10 мкм. Дальнейшее повышение плотности элементов и уменьшение паразитных емкостей было достигнуто с появлением возможности наращивания эпитаксиальных слоев толщиной 1...3 мкм.

Коллекторная изолирующая диффузия. Этот способ основан на использовании кремниевых эпитаксиальных структур со скрытыми слоями. Однако тонкий эпитаксиальный слой (толщиной 1...2 мкм) имеет проводимость *p*-типа, а не *n*-типа, как в случае создания ИМС с диодной изоляцией. Для изоляции элементов ИМС (рис. 5.19) проводят селективную диффузию донорной примеси через эпитаксиальный *p*-слой так, чтобы по периферии образовался контакт со скрытым слоем. Полученная диффузионная *n⁺*-область полностью окружает каждый участок скрытого слоя и является контактом к коллекторной области. Затем проводится диффузия акцепторной примеси для создания тонкого *p*-слоя по всей поверхности пластины. Такая диффузия улучшает качество транзистора, и для ее проведения не требуется использование фотошаблона. Далее последовательно проводятся следующие операции: диффузия донорной примеси для формирования эмиттерных областей, травление контактных

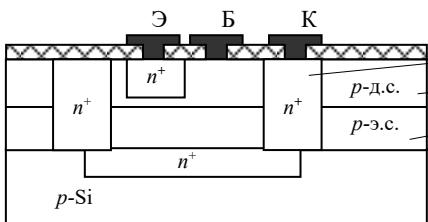


Рис. 5.19 – Коллекторная изолирующая диффузия:
1 – кольцевой диффузионный слой *n⁺*;
2 – диффузионный слой *p*-типа;
3 – эпитаксиальный слой

окон и создание алюминиевой металлизации. Эти операции проводятся так же, как и при изготовлении транзисторных структур с диодной изоляцией.

Коллекторная изолирующая диффузия позволяет сократить площадь элементов в 3–4 раза по сравнению со стандартным методом диодной изоляции.

С помощью КИД достаточно легко выполняются диффузионные перемычки, так как в этом случае не требуется изолирующая область. Кроме того, площадь, занимаемая диффузионной перемычкой, составляет лишь четверть площади, необходимой для создания такой же перемычки при диодном методе изоляции.

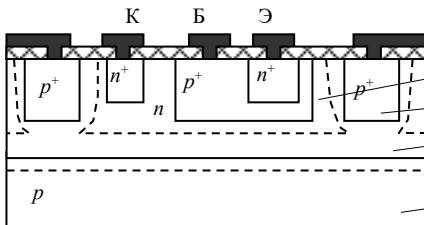


Рис. 5.20 – Базовая изолирующая диффузия:
 1 – эпитаксиальный слой
 n-типа;
 2 – разделительная диффузия *p*-типа;
 3 – обедненная область;
 4 – подложка *p*-типа

Напряжение насыщения между коллектором и эмиттером и сопротивление насыщения получаемого при этом транзистора, представляющие собой важнейшие параметры переключения, значительно ниже соответствующих параметров транзистора с диодной изоляцией. При использовании КИД количество фотолитографических операций уменьшается на одну по сравнению с технологией изготовления ИМС с диодной изоляцией. Это позволяет повысить процент выхода годных и уменьшить стоимость изготовления ИМС.

Базовая изолирующая диффузия. БИД (рис. 5.20) применяется при изготовлении ИМС, работающих на малых уровнях мощности. При таком способе изоляции используется подложка *p*-типа с тонким эпитаксиальным *n*-слоем. В отличие от структур с коллекторной изолирующей диффузией, использование скрытого слоя *n*⁺-типа не является обязательным. Технологически этот метод еще более прост, чем КИД. Формирование базовых областей и изолирующих участков *p*-типа вокруг базовых областей производится одновременно в процессе локальной диффузии акцепторных примесей. Эмиттерные области получают путем диффузии донорных примесей. Эта же диффузия используется и для создания омических контактов к коллекторной области. Диффузия акцепторной примеси проводится не на всю глубину

эпитаксиального слоя. Поэтому изоляция элементов ИМС осуществляется путем приложения к изолирующим участкам *p*-типа отрицательного напряжения, вызывающего расширение обедненного слоя до подложки. Недостаток этого способа изоляции элементов ИМС обусловлен необходимостью использования дополнительного источника питания для обратного смещения изолирующих участков.

Метод трех фотошаблонов. При использовании этого метода для создания и изоляции элементов ИМС требуются три операции фотолитографии. В структурах, изготовленных по этой технологии (рис. 5.21), ток протекает в горизонтальном направлении. Подложка выполняется из слаболегированного кремния *p*-типа с удельным сопротивлением около 1000 Ом·см. Для создания базовых областей в подложку на небольшую

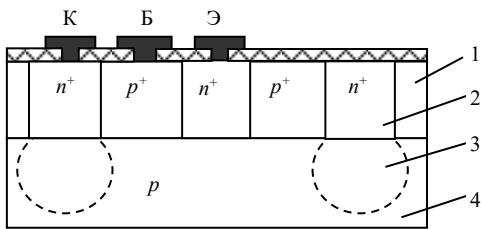


Рис. 5.21 – Транзистор, созданный методом трех фотошаблонов:
 1 – диффузионный слой p^+ ;
 2 – диффузия примеси n^+ ;
 3 – обедненная область;
 4 – подложка *p*-типа

глубину проводят диффузию акцепторных примесей. Эмиттерные и коллекторные области создаются одновременно путем диффузии донорной примеси сквозь базовую p^+ -область. При этом коллекторная область полностью окружает базовую и обеспечивает изоляцию в поперечном направлении. Эмиттер расположен внутри коллекторного кольца. Вертикальная изоляция обеспечивается широкой областью объемного заряда, возникающей в подложке под коллекторным кольцом при обратном смещении коллекторного *p-n*-перехода. Метод трех фотошаблонов наиболее прост по сравнению с рассмотренными методами изоляции, однако с его помощью нельзя обеспечить высокое быстродействие ИМС.

Метод самоизоляции n-областью. Исходной в этом случае является кремниевая подложка p-типа (рис. 5.22). Для получения скрытого слоя и подколлектора в эту подложку проводят локальную диффузию фосфора и мышьяка. Затем наращивают эпитаксиальный слой p-типа и подвергают структуру высокотемпературной обработке, в процессе которой идет диффузия фосфора и мышьяка в эпитаксиальный слой (процесс автолегирования). Поскольку коэффициенты диффузии этих примесей различны, то фосфор диффундирует на большую глубину, в результате чего образуется n-область. Последующие технологические процессы формирования элементов ИМС аналогичны процессам создания элементов ИМС с диодной изоляцией. Метод самоизоляции n-областью позволяет уменьшить размеры ИМС более чем вдвое по сравнению с обычным методом диодной изоляции, причем электрические характеристики ИМС не ухудшаются.

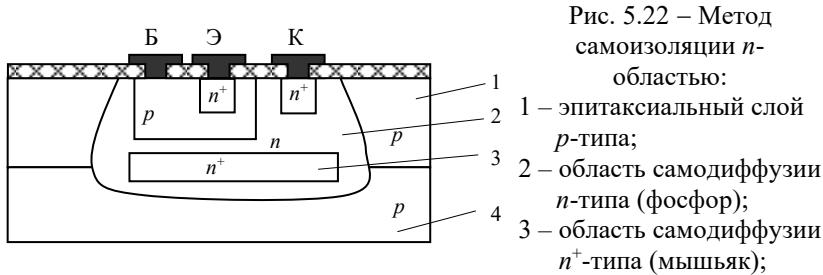


Рис. 5.22 – Метод самоизоляции n-областью:

- 1 – эпитаксиальный слой p-типа;
- 2 – область самодиффузии n-типа (фосфор);
- 3 – область самодиффузии n⁺-типа (мышьяк);

Диэлектрический способ изоляции.

Применение диэлектрической изоляции позволяет повысить рабочую частоту линейных и быстродействие цифровых ИМС, а также увеличить пробивные напряжения и практически свести до нуля ток утечки. При этом способе изоляции улучшается также радиационная стойкость ИМС. Рабочая частота и быстродействие увеличиваются вследствие того, что при изоляции диэлектриком примерно на два порядка уменьшается удельная паразитная емкость. При диэлектрической изоляции пробивное напряжение определяется электрической прочностью и толщиной диэлектрического материала:

$$U_{np} = E \cdot d,$$

где E – диэлектрическая прочность; d – толщина.

Пробивные напряжения при использовании диэлектрического способа изоляции достигают нескольких сотен вольт.

В настоящее время наиболее распространены три способа диэлектрической изоляции:

- а) тонкой пленкой диэлектрика;
- б) воздушными промежутками;
- в) диэлектрическими материалами.

Изоляция элементов ИМС тонкой пленкой диэлектрика.

Наиболее характерным для этой группы методов изоляции является эпик-процесс (рис. 5.23). В качестве исходной подложки используют монокристаллическую кремниевую пластину n -типа. На одной из сторон пластины наращивают эпитаксиальный слой n^+ -типа или создают диффузационный n^+ -слой. Затем проводят окисление поверхности подложки. С помощью процесса фотолитографии в пленке SiO_2 вскрываются окна, т.е. создается маска для глубинного травления. Через эту

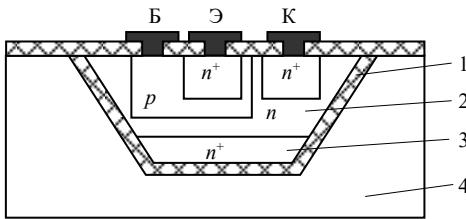


Рис. 5.23 – Изоляция

тонкой пленкой

диэлектрика:

- 1 – пленка SiO_2 ;
- 2 – подложка n -типа;
- 3 – эпитаксиальный слой n^+ ;
- 4 – поликристаллический Si

маску вытравливают канавку в кремнии, стенки которой затем снова подвергают окислению. Поверх пленки SiO_2 наращивают эпитаксиальный поликристаллический слой кремния толщиной 300...600 мкм.

Затем пластину переворачивают, шлифуют и полируют со стороны монокристаллического кремния почти до пленки SiO_2 . Оставшийся перед пленкой SiO_2 слой монокристаллического кремния снимают в полирующим травителе. В результате получается подложка с изолированными областями (карманами) монокристаллического кремния. В каждом из карманов обычными приемами планарной технологии формируют необходимые структуры активных и пассивных элементов ИМС. Таким образом, изоляция элементов ИМС осуществляется

тонкой пленкой SiO_2 . Слой поликристаллического кремния, в котором утоплены области монокристаллического кремния, играет роль несущей подложки.

Изоляция элементов ИМС воздушными промежутками. Принципиальное отличие изоляции воздушными промежутками от изоляции тонкой пленкой диэлектрика заключается в наличии непроводящей подложки. Этим отличием обусловлены качественно новые характеристики ИМС.

К методам изоляции элементов ИМС воздушными промежутками относятся: декаль-метод, метод балочных выводов, метод «кремний на сапфире» (КНС) и др.

Комбинированный способ изоляции.

Стремление к использованию преимуществ, которыми обладают методы изоляции с помощью обратно смещенного $p-n$ -перехода и диэлектрической изоляции в единой структуре, привело к созданию комбинированного способа изоляции. При комбинированном способе изоляция элементов с боковых сторон осуществляется диэлектриком, а со стороны дна – обратно смещенным $p-n$ -переходом. Способы комбинированной изоляции, (изопланар, эпипланар, полипланар и др.) наиболее перспективны для получения высокой плотности размещения элементов и улучшения электрических параметров ИМС.

5.8 Разработка топологии полупроводниковых ИМС

Основой для разработки топологии полупроводниковой ИМС являются электрическая схема, требования к электрическим параметрам и к параметрам активных и пассивных элементов, конструктивно-технологические требования и ограничения.

Разработка чертежа топологии включает в себя такие этапы: выбор конструкции и расчет активных и пассивных элементов ИМС; размещение элементов на поверхности и в объеме подложки и создание рисунка разводки (коммутации) между элементами; разработку предварительного варианта топологии; оценку качества топологии и ее оптимизацию; разработку окончательного варианта топологии. Целью работы

конструктора при разработке топологии является минимизация площади кристалла ИМС, минимизация суммарной длины разводки и числа пересечений в ней.

Конструктивно-технологические ограничения при разработке топологии ИМС на биполярных транзисторах. Важнейшей технологической характеристикой, определяющей горизонтальные размеры областей транзисторов и других элементов ИМС, является минимальный геометрический размер, который может быть уверенно сформирован при заданном уровне технологии, например, минимальная ширина окна в окисле кремния, минимальная ширина проводника, минимальный зазор между проводниками, минимальное расстояние между краями эмиттерной и базовой областей и т.д. Пусть минимальный размер, который может обеспечить технология, равен d . Тогда зазор между областью, занимаемой транзистором, и другими элементами ИМС больше минимального размера d на величину боковой диффузии под окисел, которая при разделительной диффузии примерно равна толщине эпитаксиального слоя d_3 .

Следует обращать особое внимание на размеры топологических зазоров, так как при неоправданно малых их значениях ИМС или не будет функционировать из-за перекрытия областей структуры (например, базовой области и области разделительной диффузии), или будет иметь искаженные параметры за счет усиления паразитных связей между элементами. С другой стороны, завышение размеров топологических зазоров приводит к увеличению площади кристалла.

Правила проектирования топологии полупроводниковой ИМС. Разработка топологии ИМС – творческий процесс, и его результаты существенно зависят от индивидуальных способностей разработчика, его навыков и знаний. Сущность работы по созданию топологии ИМС сводится к нахождению такого оптимального варианта взаимного расположения элементов схемы, при котором обеспечиваются высокие показатели эффективности производства и качества ИМС: низкий уровень бракованных изделий, низкая стоимость,

материоемкость, высокая надежность, соответствие получаемых электрических параметров заданным. К разработке топологии приступают после того, как количество, типы и геометрическая форма элементов ИМС определены.

Правила проектирования изолированных областей. Количество и размеры изолированных областей оказывают существенное влияние на характеристики ИМС, поэтому:

1) суммарная площадь изолирующих *p-n*-переходов должна быть минимальной, так как их емкость является паразитной. Минимальные размеры изолированной области определяются геометрическими размерами находящихся в ней элементов и зазорами, которые необходимо выдерживать между краем изолированной области и элементами и между самими элементами, размещенными в одной изолированной области;

2) к изолирующим *p-n*-переходам всегда должно быть приложено напряжение обратного смещения, что практически осуществляется подсоединением подложки *p*-типа, или области разделительной диффузии *p*-типа, к точке схемы с наиболее отрицательным потенциалом. При этом суммарное обратное напряжение, приложенное к изолирующему *p-n*-переходу, не должно превышать напряжения пробоя;

3) диффузионные резисторы, формируемые на основе базового слоя, можно располагать в одной изолированной области, которая подключается к точке схемы с наибольшим положительным потенциалом. Обычно такой точкой является контактная площадка ИМС, на которую подается напряжение смещения от коллекторного источника питания;

4) резисторы на основе эмиттерного и коллекторного слоев следует располагать в отдельных изолированных областях;

5) транзисторы типа *n-p-n*, коллекторы которых подсоединенны непосредственно к источнику питания, целесообразно размещать в одной изолированной области вместе с резисторами;

6) транзисторы типа *n-p-n*, которые включены по схеме с общим коллектором, можно располагать в одной изолированной области;

7) все другие транзисторы, кроме упомянутых в п. 5 и 6,

необходимо располагать в отдельных изолированных областях, т.е. все коллекторные области, имеющие различные потенциалы, должны быть изолированы;

8) для уменьшения паразитной емкости между контактными площадками и подложкой, а также для защиты от короткого замыкания в случае нарушения целостности пленки окисла под ними при приварке проволочных выводов под каждой контактной площадкой создают изолированную область, за исключением контактных площадок с наиболее отрицательным потенциалом;

9) количество изолированных областей для диодов может сильно изменяться в зависимости от типа диодов и способов их включения. Если в качестве диодов используются переходы база-коллектор, то для каждого диода требуется отдельная изолированная область, так как каждый катод (коллекторная область *n*-типа) должен иметь отдельный вывод. Если в качестве диодов используются переходы эмиттер – база, то все диоды можно поместить в одной изолированной области. При этом все катоды диодов (эмиттерные области) сформированы отдельно в общем аноде. Аноды диодов с помощью соединительной металлизации закорачивают на изолированную (коллекторную) область;

10) для диффузионных конденсаторов требуются отдельные изолированные области. Исключение составляют случаи, когда один из выводов конденсатора является общим с другой изолированной областью;

11) для диффузионных перемычек всегда требуются отдельные изолированные области.

Правила размещения элементов ИМС на площине кристалла. После определения количества изолированных областей приступают к их размещению в нужном порядке, размещению элементов, соединению элементов между собой и с контактными площадками, руководствуясь следующими правилами:

1) при размещении элементов ИМС и выполнении зазоров между ними необходимо строго выполнять ограничения, соответствующие типовому технологическому процессу;

2) резисторы, у которых нужно точно выдерживать отношение номиналов, должны иметь одинаковую ширину и конфигурацию и располагаться рядом друг с другом. Это относится и к другим элементам ИМС, у которых требуется обеспечить точное соотношение их характеристик;

3) резисторы с большой мощностью не следует располагать вблизи активных элементов;

4) диффузионные резисторы можно пересекать проводящей дорожкой поверх слоя окисла кремния, покрывающего резистор;

5) форма и место расположения конденсаторов не являются критичными;

6) соединения, используемые для ввода питания, заземления, входной и выходной выводы необходимо выполнять в виде широких и коротких полосок, что уменьшает паразитные сопротивления;

7) для улучшения развязки между изолированными областями контакт к подложке следует располагать рядом с мощным транзистором или как можно ближе ко входу или выходу схемы;

8) число внешних выводов в схеме, а также порядок расположения и обозначения контактных площадок выводов ИМС на кристалле должны соответствовать выводам корпуса;

9) коммутация в ИМС должна иметь минимальное количество пересечений и минимальную длину проводящих дорожек. Если полностью избежать пересечений не удается, их можно осуществить, используя обкладки конденсаторов, формируя дополнительные контакты к коллекторным областям транзисторов, применяя диффузионные перемычки и, наконец, создавая дополнительный слой изоляции между пересекающимися проводниками;

10) первую контактную площадку располагают в нижнем левом углу кристалла и отличают от остальных по ее расположению относительно фигур совмещения или заранее оговоренных элементов топологии.

Нумерацию остальных контактных площадок проводят против часовой стрелки. Контактные площадки располагают в

зависимости от типа выбранного корпуса по периметру кристалла или по двум противоположным его сторонам;

11) фигуры совмещения располагают одной-двумя группами на любом свободном месте кристалла;

12) при разработке аналоговых ИМС элементы входных дифференциальных каскадов должны иметь одинаковую топологию и быть одинаково ориентированными в плоскости кристалла; для уменьшения тепловой связи входные и выходные каскады должны быть максимально удалены; для уменьшения высокочастотной связи через подложку контакт к ней следует осуществлять в двух точках – вблизи входных и выходных каскадов.

Рекомендации по разработке эскиза топологии. Для обеспечения разработки эскиза топологии рекомендуется с самого начала вычертить принципиальную электрическую схему так, чтобы ее выводы были расположены в необходимой последовательности. Каждая линия, пересекающая резистор на принципиальной электрической схеме, будет соответствовать металлизированной дорожке, пересекающей диффузионный резистор по окислу на топологической схеме.

На этапе эскизного проектирования топологии необходимо предусмотреть решение следующих задач: расположить как можно большее число резисторов в одной изолированной области; подать наибольший потенциал на изолированную область, где размещены резисторы; подать наиболее отрицательный потенциал на подложку вблизи мощного транзистора выходного каскада; рассредоточить элементы, на которых рассеиваются большие мощности; расположить элементы с наименьшими размерами и с наименьшими запасами на совмещение в центре эскиза топологии; сократить число изолированных областей и уменьшить периметр каждой изолированной области.

В случае, если принципиальная электрическая схема содержит обособленные группы или периодически повторяющиеся группы элементов, объединенных в одно целое с точки зрения выполняемых ими функций, разработку рекомендуется начинать с составления эскизов топологии для

отдельных групп элементов, затем объединить эти эскизы в один, соответствующий всей схеме.

На основе эскиза разрабатывают предварительный вариант топологии, который вычерчивают на миллиметровой бумаге в выбранном масштабе, обычно 100:1 или 200:1 (выбирают масштабы, кратные 100). Топологию проектируют в прямоугольной системе координат. Каждый элемент топологии представляет собой замкнутую фигуру со сторонами, состоящими из отрезков прямых линий, параллельных осям координат. Придание элементам форм в виде отрезков прямых линий, непараллельных осям координат, допустимо только в тех случаях, когда это приводит к значительному упрощению формы элемента. Например, если форма элемента состоит из ломаных прямых, составленных в виде «ступенек» с мелким шагом, рекомендуется заменить их одной прямой линией. Координаты всех точек, расположенных в вершинах углов ломаных линий, должны быть кратны шагу координатной сетки.

В процессе вычерчивания топологии для получения оптимальной компоновки возможно изменение геометрии пассивных элементов, например пропорциональное увеличение длины и ширины резисторов или их многократный изгиб, позволяющие провести над резистором полоски металлической разводки или получить более плотную упаковку элементов. При изменении формы пассивных элементов в процессе их размещения проводят корректировочные расчеты.

При проектировании слоя металлизации размеры контактных площадок и проводников следует брать минимально допустимыми, а расстояния между ними – максимально возможными.

После выбора расположения элементов и контактных площадок, создания рисунка разводки необходимо разместить на топологии фигуры совмещения, тестовые элементы (транзисторы, резисторы и т.д. – приборы, предназначенные для замера электрических параметров отдельных элементов схемы), реперные знаки. Фигуры совмещения могут иметь любую форму (чаще всего квадрат или крест), причем надо учесть, что на каждом фотошаблоне, кроме первого и последнего, имеются две фигуры,

расположенные рядом друг с другом. Меньшая фигура предназначена для совмещения с предыдущей технологической операцией, а большая – с последующей. На первом фотошаблоне расположена только большая фигура, а на последнем – только меньшая.

При разработке топологии важно получить минимальную площадь кристалла ИМС. Это позволяет увеличить производительность, снизить материалоемкость и повысить выход годных ИМС, поскольку на одной полупроводниковой пластине можно разместить большее число кристаллов и уменьшить вероятность попадания дефектов, приходящихся на кристалл. При размерах стороны кристалла до 1 мм ее величину выбирают кратной 0,05 мм, а при размерах стороны кристалла 1...2 мм – кратной 0,1 мм.

Для любой принципиальной электрической схемы можно получить много приемлемых предварительных вариантов топологии, удовлетворяющих электрическим, технологическим и конструктивным требованиям. Любой предварительный вариант подлежит дальнейшей доработке.

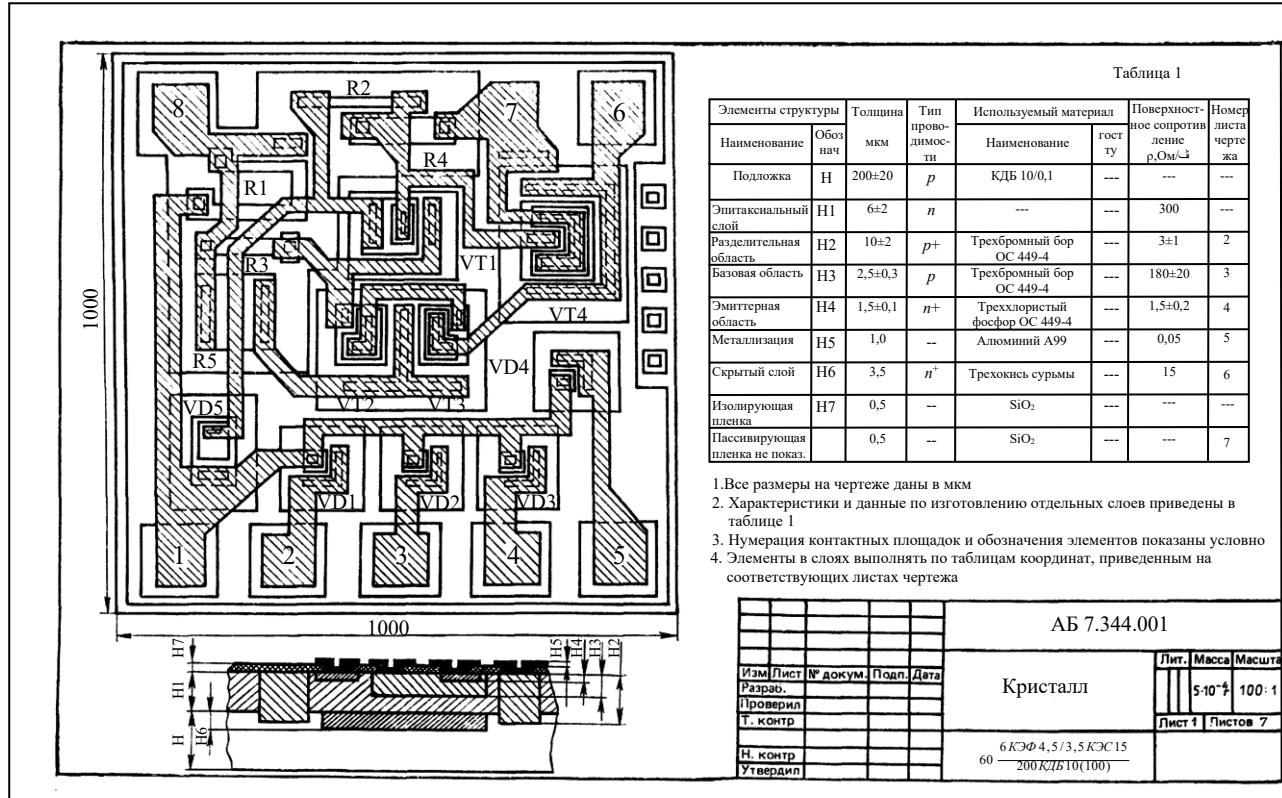
Если после уплотненного размещения всех элементов на кристалле выбранного размера осталась незанятая площадь, рекомендуется перейти на меньший размер кристалла. Если этот переход невозможен, то незанятую площадь кристалла можно использовать для внесения в топологию изменений, направленных на снижение требований к технологии изготовления полупроводниковой ИМС. Например, можно увеличить размеры контактных площадок и расстояния между контактными площадками, ширину проводников и расстояние между ними, по возможности выпрямить элементы разводки, резисторы, границы изолированных областей. Пример общего вида топологии приведен на рис. 5.25.

В заключение производят контрольно-проверочные расчеты полученной топологии микросхемы, включающие в себя оценку теплового режима и паразитных связей.

Проверка правильности разработки топологии ИМС. Последний из составленных и удовлетворяющий всем требованиям вариант топологии подвергают проверке в такой

последовательности. Проверяют соответствие технологическим ограничениям: минимальных расстояний между элементами, принадлежащими одному и разным слоям ИМС; минимальных размеров элементов, принятых в данной технологии, и других технологических ограничений; наличия фигур совмещения для всех слоев ИМС; размеров контактных площадок для присоединения гибких выводов; расчетных размеров элементов их размерам на чертеже топологии; мощности рассеяния резисторов, максимально допустимой удельной мощности рассеяния, а также обеспечение возможности контроля характеристик элементов ИМС.

Разработка документации на комплект фотошаблонов для производства ИМС. Исходя из окончательного и проверочного вариантов топологии ИМС, выполняют чертежи слоев схемы, необходимые для создания комплекта фотошаблонов. Для ИМС со скрытым слоем и изоляцией элементов р-п-переходами, изготавляемой по планарно-эпитаксиальной технологии, необходим комплект из семи фотошаблонов для проведения следующих фотолитографических операций: 1 – вскрытия окон в окисле под локальную диффузию донорной примеси при создании скрытых слоев перед операцией эпитаксии; 2 – вскрытия окон в окисле под разделительную диффузию акцепторной примеси при создании изолирующих областей; 3 – вскрытия окон в окисле под локальную диффузию акцепторной примеси при создании базовой области транзисторов и резисторов; 4 – вскрытия окон в окисле под локальную диффузию донорной примеси при создании эмиттерных областей транзисторов, резисторов, диффузионных перемычек и приконтактных областей в коллекторах транзисторов; 5 – вскрытия окон в окисле под контакты разводки к элементам ИМС; 6 – фотолитографии по пленке алюминия для создания рисунка разводки и контактных площадок; 7 – фотолитографии по пленке защитного диэлектрика для вскрытия окон к контактным площадкам ИМС.



5.9 Тепловой режим полупроводниковых ИМС

Корпус полупроводниковой ИС не только защищает элементы кристалла от воздействия внешних механических и климатических факторов, но и обеспечивает необходимый тепловой режим элементов.

Проблема теплоотвода тесно связана с проблемой обеспечения высокой надежности микросхем. Экспериментальные данные показывают, что интенсивность отказов возрастает в 1,5...2 раза на каждые 10 °C повышения температуры *p-n*-переходов кристалла.

Конструкция корпуса и теплотехнические свойства материалов в значительной степени определяют тепловой режим элементов кристалла. На рис. 5.26, а показана упрощенная модель распределения тепловых потоков в ИС с полым стеклянным или металлокерамическим корпусом.

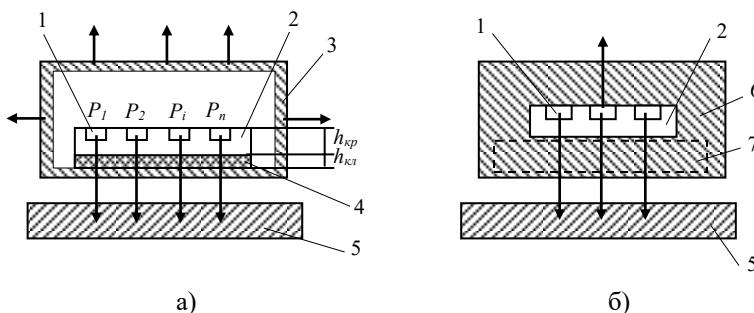


Рис. 5.26 – Упрощенные модели микросхем в полом (а) и в пластмассовом (б) корпусе: 1 – источник тепла; 2 – кристалл; 3 – клеевая прослойка (припой); 4 – корпус; 5 – теплоотвод; 6 – пластмасса; 7 – металлическая вставка-основание

Источники тепла с мощностями $P_1, P_2, \dots, P_i, P_n$ и площадями $S_1, S_2, \dots, S_i, S_n$ расположены в тонком приповерхностном слое кристалла.

От источников к корпусу тепловой поток передается в основном в результате кондуктивного теплообмена. Передача тепла от корпуса в окружающую среду (атмосфера, теплоотвод)

осуществляется путем конвективного и лучистого теплообмена, если корпус теплоизолирован от теплоотвода (корпус имеет штыревые выводы, зазор между дном корпуса и теплоотводом достаточен для эффективного перемешивания воздуха). Если же корпус находится в тепловом контакте с теплоотводом (тепловая воздушная стенка или kleевая прослойка, непосредственный контакт), то значительная часть теплового потока кристалла может отводиться в теплоотвод через дно корпуса.

В микросхеме с пластмассовым корпусом (рис. 5.26, б) для повышения эффективности кондуктивного теплообмена применяют армированные металлические вставки – основания (7). Кристалл (2) приклеивается к металлическому основанию и спрессовывается пластмассой (6).

При анализе теплового режима элементов кристалла необходимо учитывать следующие особенности его конструкции: источники тепла расположены на небольших расстояниях друг от друга (20...100 мкм); кристалл имеет малые продольные размеры (1,5...5 мм), толщина кристалла $h_{\text{кр}} \approx 200$ мкм; кремний имеет высокий коэффициент теплопроводности $\lambda_{\text{кр}} \approx 80 \dots 130$ Вт/(м·°С). Исследования показывают, что температурный рельеф на поверхности кристалла имеет небольшие отклонения (единицы градусов) от средней поверхностной температуры кристалла $T_{\text{п кр}}$. Эти особенности при проведении инженерных расчетов позволяют сделать допущение о том, что суммарная мощность источников тепла $P = P_1 + P_2 + \dots + P_i + P_n$ равномерно распределена по поверхности кристалла с площадью $S_{\text{кр}}$.

Эквивалентная электротепловая схема микросхемы, модель которой изображена на рис. 5.26, а, показана на рис. 5.27. Здесь приняты следующие обозначения: $R_{T_{\text{кр}}} = h_{\text{кр}} / (\lambda_{\text{кр}} S_{\text{кр}})$ – среднее тепловое сопротивление кристалла; $R_{T_{\text{кл}}} = h_{\text{кл}} / (\lambda_{\text{кл}} S_{\text{кр}})$ – тепловое сопротивление слоя клея толщиной $h_{\text{кл}}$ с коэффициентом теплопроводности $\lambda_{\text{кл}}$; $R_{T_{\text{вн к}}} – внутреннее тепловое сопротивление корпуса (тепловое сопротивление между внутренней поверхностью основания, в которую втекает тепловой поток от кристалла, и наружной поверхностью$

корпуса, с которой тепловой поток отводится во внешнюю среду); $R_{T_{\text{пк-с}}}$ – тепловое сопротивление поверхность корпуса – окружающая среда.

Если корпус изолирован от теплоотвода, передача тепла в

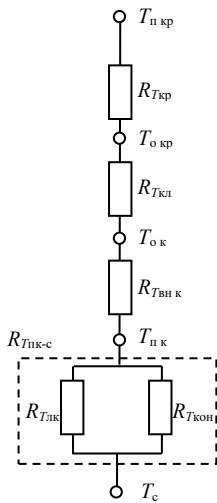


Рис. 5.27 – Эквивалентная электротепловая схема ИС с полым корпусом: $T_{\text{п кр}}$, $T_{\text{о кр}}$, $T_{\text{ок}}$, $T_{\text{п к}}$, $T_{\text{бн к}}$, $T_{\text{пк}}$ – соответственно температура поверхности кристалла, основания кристалла, поверхности основания корпуса в области закрепления кристалла, поверхности корпуса и окружающей среды

окружающую среду происходит со всей наружной поверхности корпуса $S_{\text{кн}}$ вследствие конвекции и теплоизлучения. При этом $R_{T_{\text{пк-с}}} \approx R_{T_{\text{лк}}} = 1/(\alpha_T \cdot S_{\text{кн}})$, где $R_{T_{\text{лк}}}$ – тепловое сопротивление лучистому и конвективному тепловому потоку; α_T – эффективный коэффициент теплоотдачи.

При хорошем контакте корпуса с теплоотводом отвод тепла от корпуса осуществляется в основном в результате кондуктивного теплообмена через торцевую поверхность корпуса $S_{\text{кт}}$.

В этом случае $R_{T_{\text{пк-с}}} \approx R_{T_{\text{кон}}} = 1/(\alpha_T \cdot S_{\text{кт}})$, где $R_{T_{\text{кон}}}$ – тепловое сопротивление контакта корпус-теплоотвод; α_T – эффективный коэффициент теплоотдачи, равный удельной теплопроводности контакта корпус – теплоотвод, $\text{Вт}/(\text{м}^2 \cdot ^\circ\text{C})$. Величина коэффициента α_T зависит от условий охлаждения корпуса: естественная конвекция и излучение 5...20, обдув 20...100, при плотно прижатых металлических поверхностях (1...10) 10^4 $\text{Вт}/(\text{м}^2 \cdot ^\circ\text{C})$.

Полное тепловое сопротивление корпуса

$$R_{T_K} = R_{T_{BH\ K}} + R_{T_{PK-C}}.$$

В инженерной практике при расчете полного сопротивления корпуса используются графики $R_{T_K} = f(\alpha_l)$, которые строятся на основании экспериментальных данных или рассчитываются по эмпирическим формулам.

Нормальный тепловой режим элементов кристалла обеспечивается при выполнении условия

$$T_{PKP} = T_{cmax} + P \cdot R_{T_{PK-C}} \leq T_{\text{доп}}, \quad (5.27)$$

где T_{cmax} – максимальная температура окружающей среды; $R_{T_{PK-C}} = R_{T_{kp}} + R_{T_{kl}} + R_{T_K}$ – полное тепловое сопротивление поверхность кристалла – окружающая среда; $T_{\text{доп}}$ – допустимая температура элементов кристалла, определяемая заданной надежностью ИС ($T_{\text{доп}} \approx +150 \dots 175^\circ \text{C}$).

Из выражения (5.28) можно найти допустимое значение полного теплового сопротивления корпуса R_{T_K} , если заданы $T_{\text{доп}}$, T_{cmax} , P , размеры кристалла и известен способ крепления кристалла к корпусу:

$$R_{T_K} \leq \frac{T_{\text{доп}} - T_{cmax}}{P} - \frac{1}{S_{kp}} \left(\frac{h_{kp}}{\lambda_{kp}} + \frac{h_{kl}}{\lambda_{kl}} \right). \quad (5.28)$$

6 ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ НА МДП-ТРАНЗИСТОРАХ

6.1 Типы МДП-транзисторов

Транзисторы со структурной МДП представляют собой одну из разновидностей полевых транзисторов – активных полупроводниковых приборов, в которых используются эффекты дрейфа основных носителей под действием продольного электрического поля и модуляции дрейфового тока поперечным электрическим полем. Действие полевых транзисторов основано на перемещении только основных носителей заряда в полупроводниковом материале, в связи с чем эти транзисторы называют униполярными, в отличие от биполярных, использующих оба типа носителей.

МДП-транзисторы имеют существенные преимущества перед биполярными по конструкции (размеры и занимаемая ими

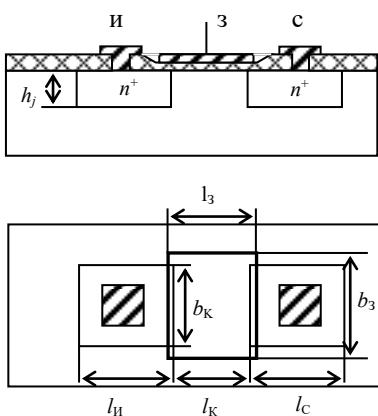


Рис. 6.1 – Конструкция
МДП-транзистора

технологической воспроизводимости, стабильности параметров и быстродействии.

МДП-транзистор имеет четыре электрода: исток, сток, затвор и подложку. Полупроводниковая область, от которой

площадь относительно невелики, в принципе, отсутствует необходимость их изоляции), электрофизическими параметрам (низкий уровень шумов, устойчивость к перегрузкам по току, высокое входное сопротивление и помехоустойчивость, малая мощность рассеивания, низкая стоимость).

В то же время БИС на МДП-транзисторах уступают БИС на биполярных транзисторах в

начинается дрейф основных носителей, называется истоком; область, в которой осуществляется дрейф основных носителей и амплитудная модуляция дрейфового тока – каналом, область, к которой под действием поля движутся (дрейфуют) основные носители – стоком; металлическая или полупроводниковая область, используемая для сознания модуляции дрейфового тока – затвором. Подложка является конструктивной основой МДП-транзистора.

Области истока и стока одного типа электропроводности формируют на некотором расстоянии l_k друг от друга локальной диффузией или ионным легированием (рис. 6.1). Они самоизолированы друг от друга $p-n$ -переходами. Между ними поверх слоя диэлектрика расположен затвор, выполненный из проводящего материала.

Принцип действия МДП-транзистора основан на эффекте модуляции электропроводности поверхностного материала, расположенного между истоком и стоком. Этот эффект вызывают наложением поперечного электрического поля в пространстве между проводящим затвором и полупроводниковым материалом (подложкой) за счет напряжения, подаваемого на затвор. Тип электропроводности канала обязательно совпадает с типом электропроводности областей истока и стока. Так как тип электропроводности истока, стока и канала противоположен типу электропроводности подложки, то сток, исток и канал образуют с подложкой $p-n$ -переход.

В зависимости от типа основных носителей тока в канале различают n -канальные и p -канальные МДП-транзисторы. По конструктивно-технологическому исполнению МДП-транзисторы подразделяют на две разновидности: со встроенным и индуцированным каналами (рис. 6.2). Встроенный канал предусмотрен конструктивно и создается на этапе производства транзистора легированием приповерхностной области между истоком и стоком.

Создавая электрическое поле в структуре металл-диэлектрик – полупроводник, можно управлять электропроводностью канала и соответственно током, протекающим между истоком и

стоком. Так, при отрицательном относительно n -канала напряжении на затворе в канале у границы полупроводника с диэлектриком концентрация электронов снижается и проводимость канала уменьшается (режим обеднения). В р-

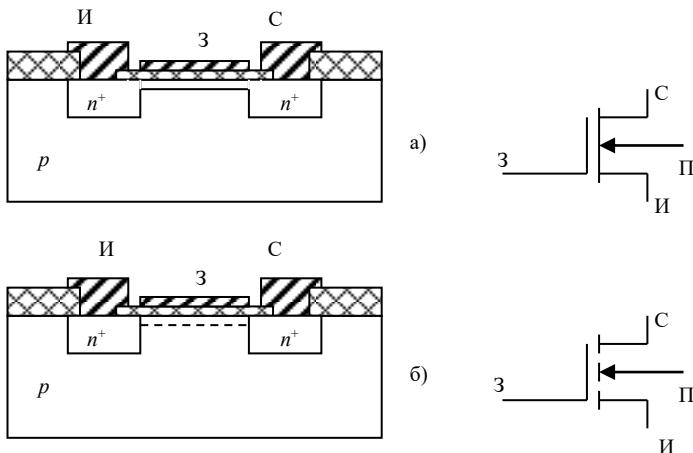


Рис. 6.2 – Структуры и условные обозначения МДП-транзисторов:
 а – со встроенным n -каналом; б – с индуцированным n -каналом

канальном МДП-транзисторе в зависимости от величины и полярности напряжения на затворе наблюдается обеднение ($u_3>0$) или обогащение ($u_3<0$) канала дырками.

В МДП-транзисторе с индуцированным каналом при нулевом напряжении на затворе канал отсутствует.

Электрическое сопротивление канала зависит от его длины l_k и ширины b_k , оно модулируется напряжением на затворе u_3 и зависит от напряженности наведенного поля в полупроводнике, обратно пропорционально толщине диэлектрика h_d и прямо пропорционально диэлектрической проницаемости диэлектрика ϵ_d .

Таким образом, для формирования индуцированного канала в n -канальном транзисторе на затвор необходимо подать положительное напряжение определенной величины, а в p -канальном – отрицательное. Транзисторы с индуцированным каналом работают только в режиме обогащения.

Исток и сток, в принципе, обратимы, и их можно менять местами при включении транзисторов схем. В этом случае при симметричной структуре (сток и исток могут различаться формой, размерами, площадью) его параметры сохраняются.

Помимо деления МДП-транзисторов по основному признаку – способу формирования и типу электропроводности проводящего канала – существует и более детальная классификация, учитывающая конструктивно-технологическое исполнение МДП-транзисторов, например, по материалу затвора (с алюминиевыми, молибденовыми, поликремниевыми, затворами); сочетанию с другими элементами в микросхеме, например, комплементарные МДП-транзисторы (КМДП-транзисторы), т.е. взаимодополняющие, сформированные в одном кристалле *p*- и *n*-канальные транзисторы; по функциям, выполняемым в схеме, например, активные и нагрузочные транзисторы.

Нагрузочные МДП-транзисторы используют в составе микросхем в качестве резисторов. Необходимое значение сопротивления каналов этих транзисторов создается конструктивно (выбором геометрических размеров каналов) и схематически (подачей на его затвор потенциала определенной величины).

Каждый из указанных типов МДП-транзисторов может быть использован в качестве нагрузки, а его подложка присоединена к источнику питания или нулевой шине. Затвор же может иметь пять вариантов подключения: ко выходу схемы, шине питания, нулевой шине, автономному источнику питания положительный или отрицательной полярности, к входу микросхемы. Иными словами, существуют более десяти вариантов использования МДП-транзистора в качестве нагрузки в инверторе.

Базовой схемой многих МДП-микросхем является инвертор – ключевая схема, содержащая активный транзистор и нагрузку, включенные между шиной питания и землей. С учетом всех вариантов использования МДП-транзисторов в качестве нагрузки и четырех вариантов схемного включения активного транзистора существует достаточно большое количество

вариантов построения инверторов на основе двух МДП-транзисторов. В настоящее время используются лишь немногие из них: с линейной, нелинейной, квазилинейной, токостабилизирующей нагрузками и вариант инвертора на КМДП-транзисторах.

МДП-транзисторы могут служить в схеме и в качестве конденсаторов для чего можно использовать емкости структур затвор-подложка или емкости обратно смещенных *p-n*-переходов сток (исток)-подложка.

Таким образом, МДП-транзистор может быть основным и единственным элементом МДП-микросхем. Он может выполнять функции как активных приборов (ключевой транзистор в инверторе, усилительный транзистор), так и пассивных элементов (нагрузочный транзистор в инверторе, конденсатор в элементе памяти). При проектировании МДП-микросхем можно обходиться только одним элементом – МДП-транзистором, конструктивные размеры которого и схема включения будут зависеть от выполняемой функции. Это обстоятельство дает существенный выигрыш в степени интеграции (полупроводниковые резисторы и конденсаторы занимают большую площадь и требуют для себя отдельную изолированную область, кроме того, наличие пассивных полупроводниковых элементов, в частности паразитных емкостей, существенно ухудшает частотные свойства микросхем).

Конструктивно-технологические разновидности МДП-транзисторов.

Конструкции МДП-транзисторов в микросхемах с алюминиевой металлизацией. Вариант конструкции активного транзистора с прямоугольным каналом и со средним значением крутизны стоко-затворной характеристики представлен на рис. 6.3. Под алюминиевым затвором находится тонкий слой термически выращенного окисла кремния ($0,05\ldots0,10$ мкм). За пределами области канала толщина окисла составляет 1 мкм. Этот сравнительно толстый слой окисла выполняет функции защитного диэлектрика, позволяет существенно снизить значения паразитных емкостей сигнальных шин и повысить

пороговое напряжение паразитных МДП-транзисторов в местах прохождения алюминиевых проводников над диффузионными шинами питания.

В нагрузочных транзисторах значение крутизны сток-затворной характеристики может быть небольшим, и соответственно отношение длины канала к его ширине выбирается таким, чтобы при заданной крутизне нагрузочный транзистор занимал минимальную площадь. В том случае, когда для обеспечения высоких значений крутизны характеристик активного транзистора отношение b_k/l_k должно быть равно или больше 20, с целью экономии площади рекомендуется П-образная форма канала.

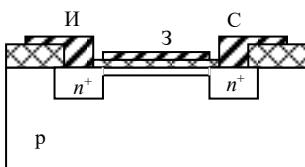


Рис. 6.3 – МДП-транзистор с алюминиевой металлизацией

медленного, хорошо контролируемого и управляемого процесса диффузии (поэтому D-МДП, т.е. диффузионный МДП-транзистор). В этом транзисторе (рис. 6.4) области канала *p*-типа и истока *n⁺*-типа формируются в процессе двух диффузий в одно и то же окно в окисной маске. Конструкция D-МДП-транзистора не требует высокой точности совмещения затвора с областями истока и стока, как в обычном МДП-транзисторе. В связи с этим оказалось возможной реализация МДП-структур с длиной канала 0,4...1 мкм даже при ограниченных возможностях фотолитографического процесса по разрешающей способности. Короткий канал формируется в приповерхностной

Конструкции D-МДП-транзисторов. Конструкция D-МДП-транзистора разработана специально для обеспечения высокого быстродействия за счет уменьшения длины канала до субмикронных размеров. Короткий канал получают по принципу формирования тонкой базы в биполярном транзисторе – за счет

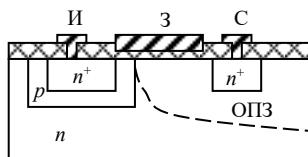


Рис. 6.4 – D-МДП-транзистор

области кремния *p*-типа электропроводности в промежутке между двумя *p-n*-переходами. Число носителей заряда в канале определяется напряжением на затворе, а скорость их перемещения – напряжением, приложенным между истоком и стоком. Произведение числа носителей на их скорость пропорционально току стока. В *n*-канальных *D*-МДП-транзисторах при длине канала менее одного микрона электроны, инжектированные из области истока, даже при сравнительно небольших напряжениях на стоке приобретают значительную скорость.

В обедненной *n*-области между каналом и стоком при нормальных смещениях ($U_c > U_{c\text{ нас}}$) электроны, прошедшие канал, инжектируются в область объемного пространственного заряда, прилегающую к *n⁺*-области стока, и дрейфуют к стоку в сильном электрическом поле. Такая же область дрейфа существует и в обычных МДП-транзисторах при $U_c > U_{c\text{ нас}}$.

Таким образом, несмотря на различия в конструкциях принцип работы *D*-МДП- и МДП-транзисторов одинаков. В производстве *D*-МДП-транзисторов использованы достижения как биполярной технологии (малое расстояние между *p-n*-переходами), так и технологии изготовления МДП-структур (формирование тонкого подзатворного диэлектрика с малой толщиной, низкой дефектностью и плотностью поверхностных состояний).

Освоение технологий микросхем на *D*-МДП-транзисторах с использованием эпитаксиальных структур позволяет, кроме того, формировать на одной и той же подложке биполярные *n-p-n*-транзисторы и изолированные от них *D*-МПД-транзисторы, что имеет исключительное значение для производства аналоговых (например, операционных усилителей) и логических микросхем.

Прикрытие электродом затвора обедненной области объемного заряда дает лишь незначительный вклад в паразитную емкость C_{sc} , наличие этой области позволяет повысить рабочее напряжение прибора до нескольких сотен вольт. Короткий канал и малая емкость C_{sc} позволили увеличить быстродействие микросхем с *D*-МДП-транзисторами примерно

в 5 раз при том же минимальном проектном геометрическом размере, что и в БИС на обычных МДП-транзисторах: значения времен переключения и задержки в логических микросхемах на D-МПД-транзисторах составляют 1 нс и менее. Пробивное напряжение D-МПД-транзисторов составляет 300...400 В.

Конструкции V-МДП-транзисторов. Все рассмотренные ранее МДП-транзисторы имеют планарную конструкцию, т.е. являются двумерными. V-МДП-технология добавляет в конструкцию МДП-транзисторов третье измерение, позволяя формировать исток прибора под его затвором и стоком, а не рядом с ними. Это третье измерение дает V-МДП-приборам преимущества как по быстродействию, так и по完全可以 упаковки перед такими структурами, как *n*-канальные МДП-приборы с кремниевыми затворами.

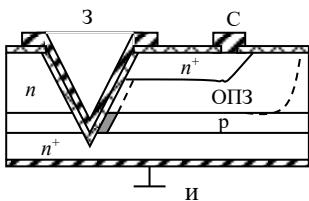


Рис. 6.5 – V- МДП-транзистор

Термин «V-МДП-транзистор» относится к МДП-приборам, в которых буква V означает, во-первых, вертикальное направление протекания тока от расположенного в подложке истока к расположенному над ним стоку и, во-вторых, способ формирования приборов селективным

вытравливанием в исходной заготовке углубления V-образного сечения (рис. 6.5). V-МДП-транзистор получает на боковых стенках этого углубления. Особо следует отметить, что *n⁺*-исток, расположенный под *n⁺*-стоком, не требует для своего формирования дополнительной площади на поверхности пластины, что обуславливает высокую компактность V-МДП-структур. Кроме этого, истоковая область *n⁺*-типа выполняет роль земляной шины и не требует, как это бывает в других конструктивно-технологических вариантах, дополнительной площади кристалла для заземляющих шин.

Пирамидальная ямка вытравливается на такую глубину, чтобы она пересекла ионно-легированный слой *n⁺*-типа и эпитаксиальный слаболегированный *p*-слой, диффузионно-легированный *n*-слой, достигнув вершиной высоколегированной

подложки n^+ -типа. Сечение p -слоя служит основой для формирования канала. Этот слой имеет глубину менее 1 мкм, его сечение плоскостями V -образного углубления определяет длину канала V -МДП-транзистора. Ширина канала в V -МДП-транзисторе получается большой, так как этот канал расположен по всему периметру V -образного углубления. Поскольку ширина канала определяет максимальный ток транзистора и его усиление, поскольку V -МДП-транзисторы можно непосредственно сопрягать с системами, требующими больших управляющих токов, например со схемами, содержащими большое количество ТТЛ-нагрузок, светодиодными индикаторами и даже небольшими электродвигателями.

Слой подзатворного диэлектрика формируется на поверхности V -образного углубления. В качестве материала затвора применяют алюминий либо поликремний. Область объемного пространственного заряда выполняет в V -МДП-транзисторе ту же роль, что и обедненная область пространственного заряда в D -МДП-транзисторе: увеличивает пробивное напряжение транзистора, дает пониженные значения паразитной области C_{sc} .

Трехмерность V -МДП-транзисторной структуры является фактором существенного повышения плотности упаковки БИС.

Такие структуры обладают уникальными способностями управления очень большим p - и токами с высокой скоростью их переключения. Они нашли применение в звуковых высококачественных усилителях мощности, в широкополосных усилителях, в источниках вторичного электропитания для преобразования постоянного тока в переменный при меньших затратах, массе и габаритных размерах, чем традиционные источники питания.

Конструкции МДП-транзисторов на диэлектрической подложке. Использование структур с эпитаксиально выращенным на диэлектрической подложке (сапфир или шпинель) слоем монокристаллического кремния толщиной 0,7...2,0 мкм с целью изготовления МДП-транзисторов целесообразно, так как позволяет существенно снизить

паразитные емкости транзистора и коммутационных проводников, избавиться от паразитных транзисторных структур, упростить технологию изготовления МДП-приборов. Транзисторы формируются в изолированных друг от друга островках, что позволяет уменьшить практически до нуля паразитные межэлементные связи через подложку. Диффузия для формирования стока и истока (рис. 6.6) проводится на всю глубину эпитаксиального слоя, что позволяет получать вертикальные $p-n$ -переходы малой площади с малыми емкостями.

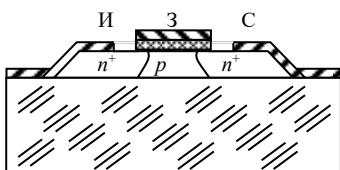


Рис. 6.6 – МДП-транзистор на диэлектрической подложке

МДП-структуры на диэлектрической подложке обладают существенно более высоким быстродействием по сравнению с аналогичными структурами на кремниевой подложке и позволяют, кроме того, несколько сэкономить площадь при создании МДП БИС.

6.2 Основные принципы построения МДП ИМС

Структуры металл-диэлектрик-полупроводник, используемые в качестве элементов МДП ИМС, могут выполнять функции усиления, генерации и преобразования электрических сигналов, т.е. те же функции, которые выполняются биполярными транзисторами. Наряду с этим, МДП-структуры можно использовать в качестве конденсаторов и резисторов, номинальные значения которых изменяются в определенных пределах при изменении приложенного потенциала к управляющему электроду. Кроме того, МДП-структуры могут также выполнять функции элементов памяти.

Особенно широко МДП-транзисторы применяют при построении цифровых ИМС. Это обусловлено относительной

простотой их конструкции, хорошими характеристиками переключения, многофункциональностью, самоизолируемостью, а также малыми размерами и низкой потребляемой мощностью. Цифровые МДП ИМС состоят, как правило, только из МДП-транзисторов, так как функции пассивных элементов могут эффективно выполнять сами МДП-транзисторы. МДП ИМС представляют собой схемы с непосредственными связями, поэтому в таких схемах отсутствуют конденсаторы связи. По принципу действия цифровые МДП ИМС можно подразделить на статические и динамические. Логические ИМС статического типа выполняют как на МДП-транзисторах с каналами одного типа проводимости, так и на МДП-транзисторах с взаимно дополняющими типами проводимости, т.е. с каналами *p*- и *n*-типов. Такие МДП ИМС называются комплементарными (КМДП ИМС).

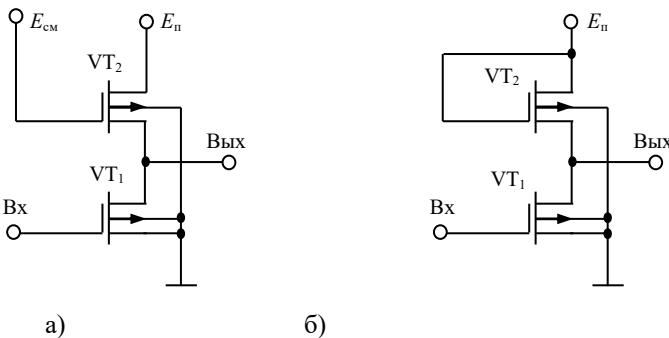


Рис. 6.7 – Схемы инвертора на МДП-транзисторах:
а – инвертор с квазилинейной нагрузкой;
б – инвертор с нелинейной нагрузкой

Базовым элементом логических МДП ИМС является инвертор. На рис. 6.7, *a*, *б* приведены схемы инверторов на МДП транзисторах с каналами *p*-типа. Транзистор VT₁, исток которого соединен с заземленной шиной питания, является активным (ключевым, а транзистор VT₂ – нагрузочным, т.е. выполняет функцию резистора). Использование в качестве нагрузки нормально открытых МДП-транзисторов позволяет

отказаться от применения высокоомных диффузионных резисторов, занимающих большую площадь на подложке.

Затвор нагрузочного транзистора подключается к источнику напряжения смещения $E_{\text{см}}$ (рис. 6.7, *a*), имеющему более высокий по абсолютному значению уровень напряжения, чем направление источника питания $E_{\text{п}}$, или непосредственно к источнику питания (рис. 6.7, *б*). В инверторе с источником смещения нагрузочный транзистор VT_2 представляет собой квазилинейную нагрузку. Напряжение источника смещения такое, что он работает только в крутой области вольт-амперных характеристик. В инверторе с одним источником питания нагрузочный транзистор используется в качестве нелинейной квадратичной нагрузки. В этом случае транзистор VT_2 работает в пологой области вольт-амперных характеристик, для которой справедливо неравенство $|U_C| \geq |U_3 - U_0|$. Расчетное выражение для тока, протекающего через нагрузочный транзистор, имеет вид:

$$I_{\text{н}} = k_{\text{н}} [(E_{\text{п}} - U_{\text{вых}}) - U_0]^2, \quad (6.1)$$

где $k_{\text{н}}$ – удельная крутизна транзистора; $E_{\text{п}}$ – напряжение питания инвертора; $U_{\text{вых}}$ – выходное напряжение инвертора; U_0 – пороговое напряжение.

Для *p*-канального транзистора

$$U_0 = - \left(|\varphi_{\text{мп}}| + \frac{Q_{ss}}{C_{30}} + \frac{Q_{\text{п}}}{C_{30}} + 2\varphi_{\phi_i} \right). \quad (6.2)$$

Для *n*-канального транзистора

$$U_0 = -|\varphi_{\text{мп}}| - \frac{Q_{ss}}{C_{30}} + \frac{Q_{\text{п}}}{C_{30}} + 2\varphi_{\phi_i}, \quad (6.3)$$

где $\varphi_{\text{мп}}$ – разность потенциалов, определяемая разницей в работах выхода полупроводника и материала затвора; Q_{ss} , $Q_{\text{п}}$ – соответственно плотности заряда поверхностных состояний на границе полупроводника и диэлектрика и пространственного заряда в полупроводнике; φ_{ϕ_i} – потенциал, зависящий от положения уровня Ферми в полупроводнике относительно середины запрещенной зоны; C_{30} – удельная емкость затвора.

$$Q_{ss} = q \cdot N_{\text{пов}}, \quad (6.4)$$

где q – заряд; $N_{\text{пов}}$ – плотность поверхностных состояний на границе полупроводника и диэлектрика.

$$Q_n = \sqrt{2\epsilon_0\epsilon_n N_0 \phi_i}, \quad (6.5)$$

где ϵ_n – диэлектрическая проницаемость полупроводника; N_0 – концентрация легирующей примеси в полупроводнике.

$$\phi_i = \varphi_T \ln \frac{N_0}{n_i}, \quad (6.6)$$

где φ_T – температурный потенциал ($\sim 0,026$ эВ); n_i – собственная концентрация носителей в полупроводнике.

Удельная емкость затвора относительно канала МДП-транзистора определяется по формуле

$$C_{30} = \frac{\epsilon_0 \epsilon_d}{h_d}, \quad (6.7)$$

где ϵ_d – диэлектрическая проницаемость подзатворного диэлектрика; h_d – толщина подзатворного диэлектрика.

Удельная крутизна транзистора зависит от электрофизических свойств МДП-структур и геометрии канала и определяется как

$$k = \frac{\mu \epsilon_0 \epsilon_d}{2h_d} \cdot \frac{w}{l}, \quad (6.8)$$

где μ – подвижность носителей заряда; w – ширина канала МДП-транзистора; l – длина канала транзистора.

Приравнивая токи нагрузочного и ключевого транзисторов, получаем следующее уравнение, описывающее работу транзистора в пологой области характеристик:

$$k_h [(E_n - U_{\text{вых}}) - U_0]^2 = k_k (U_{\text{вх}} - U_0)^2. \quad (6.9)$$

В крутой области характеристик ключевого транзистора это уравнение имеет вид:

$$k_h [(E_n - U_{\text{вых}}) - U_0]^2 = k_k [2(U_{\text{вх}} - U_0)U_{\text{вых}} - U_{\text{вых}}^2]. \quad (6.10)$$

Если заданы такие параметры схемы и транзистора, как напряжение питания, пороговое напряжение, входное и выходное напряжения и др., то можно установить зависимость отношения k_k/k_h от геометрических размеров ключевого и нагрузочного транзисторов:

$$\frac{w_k/l_k}{w_h/l_h} = \frac{k_k}{k_h} = n. \quad (6.11)$$

Заметим, что помехоустойчивость инвертора растет при увеличении отношения крутизны характеристики ключевого транзистора к крутизне характеристики нагрузочного.

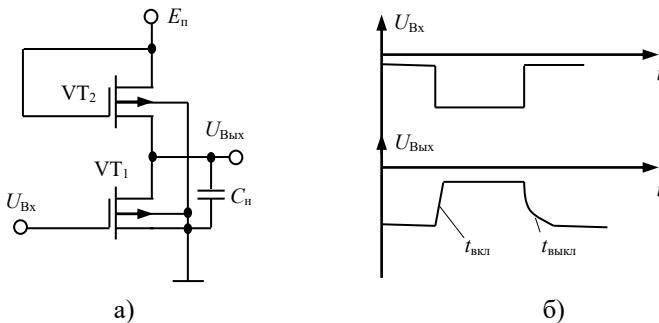


Рис. 6.8 – Схема инвертора (а) и формы сигнала при переключении (б)

Как уже отмечалось, МДП-транзистор относится к числу быстродействующих приборов. Однако в инверторе фактическая частота переключений оказывается на два-три порядка ниже собственной. Низкая скорость переключения объясняется влиянием паразитной емкости, которую необходимо перезаряжать в течение переходного процесса. На рис. 6.8 показаны типичные формы сигнала, наблюдаемые при переключении инвертора, работающего на емкостную нагрузку. Через C_n на этом рисунке обозначена эквивалентная нагрузочная емкость, объединяющая все переходные емкости. Формирование фронтов сигнала на выходе инвертора определяется временем зарядки и разрядки эквивалентной емкости. Емкость заряжается через нагрузочный транзистор, а разряжается через ключевой. Так как сопротивление нагрузочного транзистора обычно в 10...20 раз превышает сопротивление открытого ключевого транзистора, то время включения, определяемое ключевым транзистором, намного меньше времени выключения, определяемого нагрузочным

транзистором. Кроме того, в процессе переключения сопротивление нагрузочного транзистора возрастает вследствие влияния подложки. Таким образом, быстродействие инвертора ограничено большим временем выключения. Емкость C_h заряжается до выходного напряжения, соответствующего уровню логической единицы, за счет протекания тока нагрузочного транзистора. Поэтому время выключения (длительность фронта выключения) можно определить из совместного решения системы уравнений для токов зарядки емкости C_h и нагрузочного транзистора. Учитывая, что для тока конденсатора справедливо выражение

$$I_c = C_h \frac{dU_{\text{вых}}}{dt}, \quad (6.12)$$

а ток, протекающий через нагрузочный транзистор, работающий в пологой области ВАХ определяется уравнением (6.9), можно записать:

$$C_h \frac{dU_{\text{вых}}}{dt} = k_h [(E_n - U_{\text{вых}}) - U_0]^2. \quad (6.13)$$

Приводя соотношение (6.13) к формуле, удобной для интегрирования, получаем:

$$dt = \frac{C}{k_h (E_n - U_0 - U_{\text{вых}})^2}, \quad (6.14)$$

Затем выполняем интегрирование и получаем выражение для времени выключения:

$$t = \frac{C}{k_h (E_n - U_0 - U_{\text{вых}})}. \quad (6.17)$$

Из соотношения (6.15) следует, что длительность фронта выключения уменьшается с ростом удельной крутизны нагрузочного транзистора. Поэтому при проектировании инверторов с нелинейной нагрузкой геометрические размеры нагрузочного транзистора определяются заданной длительностью фронта. Быстродействие инвертора значительно вырастает при работе нагрузочного транзистора в крутой области характеристик, так как высокое напряжение на затворе $|E_{\text{см}}| > |E_n + U_0|$ предотвращает запирание нагрузочного транзистора во время переходного процесса.

Одна из основных задач, стоящих перед микроэлектроникой, заключается в понижении энергетического уровня микроэлектронных устройств и переводе их в область микромощных режимов. Целесообразность решения этой задачи обусловлена следующими основными причинами:

- а) необходимостью разработки надежных больших интегральных схем (БИС), работающих в широком температурном диапазоне без перегрева всей схемы;
- б) повышенным запасом электрической прочности активных элементов в микрорежиме, содействующим повышению их надежности;
- в) необходимостью разработки электронных комплексов для космической аппаратуры, которая должна работать в течение ряда лет в условиях ограниченных энергоресурсов;
- г) повышением добротности логических схем.

Известно, что снижение мощности, потребляемой логической схемой, за счет простого изменения электрического режима ухудшает ее быстродействие и другие параметры. Поэтому для решения этой задачи необходимо использовать специально разработанные схемы, обладающие хорошими характеристиками, несмотря на снижение их энергетического уровня. К числу таких схем относятся КМДП ИМС, которым, по сравнению с МДП ИМС на транзисторах с каналами одного типа проводимости, свойственны следующие преимущества:

- а) малая потребляемая мощность в статическом режиме;
- б) высокое быстродействие;
- в) высокая помехоустойчивость за счет большого перепада уровней логического нуля и логической единицы.

Принцип построения и функционирования КМДП ИМС можно рассмотреть на примере инвертора, схема которого приведена на рис. 6.9. Инвертор из двух последовательно включенных МДП-транзисторов с каналами *n*- и *p*-типа. Истоки подключаются к соответствующим полюсам источника напряжения. Транзистор VT₁ является ключевым, его исток соединен с заземленной шиной питания, а сток подсоединен к стоку нагрузочного транзистора VT₂. Подложки транзисторов соединены с истоками. Затворы обоих транзисторов объединены

и служат входом инвертора. Особенности построения и функционирования комплементарного каскада заключаются в следующем:

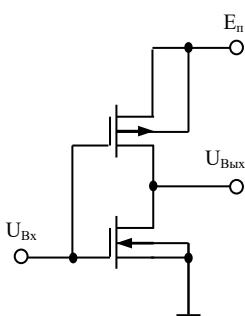


Рис. 6.9 – Инвертор на комплементарных МДП-транзисторах

на выходе формируется уровень логического нуля, близкий к потенциальному земли. Когда на вход подается напряжение, соответствующее напряжению логического нуля, то ключевой транзистор закрывается, а нагрузочный открывается. Это приводит к формированию на выходе уровня логической единицы, близкого к $+E_{п}$.

Уровни логического нуля и логической единицы в КМДП ИМС имеют экстремальные значения $U(0)=0$, $U(1)=E_{п}$, а логический размах равен напряжению питания. Поэтому отпадает необходимость топологического расчета КМДП ИМС исходя из статических требований. КМДП ИМС имеют высокое быстродействие, поскольку перезарядка емкости нагрузки как при включении, так и при выключении происходит через открытый МДП-транзистор. Благодаря этому быстродействие КМДП ИМС оказывается выше по сравнению с обычными МДП ИМС на транзисторах с каналами одного типа проводимости, у которых перезарядка емкости осуществляется значительно меньшими токами.

КМДП ИМС практически не потребляют мощность ни в одном из логических стационарных состояний. Это обусловлено

а) входное напряжение управляет не только ключевым, но и нагрузочным транзистором;

б) это управление является противофазным (инверсным), поскольку напряжения на затворах ключевого и нагрузочного транзисторов определяются как $U_{3к} = U_{вх}$, $U_{3наг} = E - U_{вх}$.

При поступлении на вход напряжения логической единицы, когда $U_{вх}=U(1)=E_{п}$, открывается ключевой транзистор ($R_k \approx 0$), а нагрузочный закрывается ($R_h \approx \infty$). На

самой конфигурацией инвертора. В статическом состоянии транзисторы *n*- и *p*-типа не могут быть открыты одновременно, поэтому полный статический ток равен всего лишь току утечки закрытого транзистора ($I=1$ нА). Такие схемы расходуют энергию только при переключении из одного логического состояния в другое.

*Порядок расчета параметров транзисторов *p*- и *n*-канальных МДП ИМС.*

1. Изучают принцип работы ИМС и связи ее электрических и конструктивных параметров.

2. По заданному пороговому напряжению U_0 определяют удельную емкость затвора C_{30} по выражениям (6.2), (6.3).

3. Находят толщину подзатворного диэлектрика h_d по формуле (6.7).

4. Определяют отношение k_n/k_h по формуле (6.10).

5. Используя формулы (6.8) и (6.15), находят отношение w/l для нагрузочного транзистора.

6. По выражению (6.11) рассчитывают отношение w/l для ключевого транзистора.

7. На основе технологических ограничений (либо эксплуатационных условий) задаются минимально возможными значениями длины канала ключевого транзистора и ширины канала нагрузочного транзистора.

8. По данным расчетов п.5 и п.6 определяют ширину канала ключевого транзистора и длину канала нагрузочного.

6.3 Проектирование топологии МДП ИМС

Проектирование топологии МДП ИМС является более простым по сравнению с проектированием ИМС на биполярных транзисторах. Во-первых, это обусловлено относительной простотой технологии изготовления МДП ИМС, особенно ИМС на транзисторах с каналами одного типа проводимости (отсутствие эпитаксиальных слоев, а также специально создаваемой электрической изоляции элементов). Во-вторых, относительная простота может быть объяснена особенностями схемотехнического построения МДП ИМС, при котором МДП-

транзистор является единым типовым элементом, а между отдельными элементами используются непосредственные связи.

Главная цель разработки топологии МДП ИМС, как и ИМС на биполярных транзисторах, заключается в эффективном использовании площади кристалла. Однако необходимо учитывать, что характеристики МДП ИМС, в частности динамические, сильно зависят от паразитных емкостей и сопротивлений, определяемых конкретной топологией. Поэтому необходимо принимать компромиссные решения, которые учитывали бы оптимальное использование площади и получение достаточно хороших характеристик ИМС.

Если выбрана физическая структура МДП ИМС (удельное сопротивление подложки, поверхностное сопротивление диффузионных областей, глубина залегания $p-n$ -переходов, толщина диэлектрика и т.д.), то основные электрические параметры и характеристики схемы будут зависеть от геометрических размеров МДП-транзисторов. В МДП ИМС обычно используются прямоугольные конфигурации транзисторов, отличающиеся лишь различными отношениями ширины к длине канала w/l в зависимости от требуемого значения крутизны характеристик транзистора. Для реализации МДП ИМС используют различные методы планарной технологии. Технологические возможности конкретного процесса изготовления МДП ИМС накладывают целый ряд ограничений на проектирование ее топологии.

Топологией схемы определяются размеры и параметры всех паразитных элементов: емкостей, сопротивлений, паразитных МДП-транзисторов. При проектировании необходимо учитывать влияние паразитных емкостей, значения которых можно определить как произведение удельных емкостей на занимаемые ими площади. Примерные значения удельных емкостей: между диффузионной областью и подложкой – $1,5 \cdot 10^{-4}$ пФ/мкм², между металлом затвора и диффузионной областью – $3,1 \cdot 10^{-4}$ пФ/мкм², между металлом разводки и подложкой над толстым окислом – $3,1 \cdot 10^{-5}$ пФ/мкм².

Внутрисхемные соединения в МДП ИМС могут быть выполнены с помощью металлизации или путем формирования

диффузионных областей. Применение диффузионных межсоединений позволяет относительно просто реализовать пересечение проводников в МДП ИМС и наиболее полно использовать площадь кристалла. Однако необходимо учитывать влияние паразитных сопротивлений диффузионных межсоединений. При соединении диффузионных областей последовательно с затворами транзисторов наличие паразитных сопротивлений приводит только к задержке управляющих сигналов, поступающих на транзисторы. Поскольку входные сопротивления транзисторов велики, то амплитуда сигналов неискажается. Если паразитное сопротивление находится в цепи истока или стока, т.е. диффузионное межсоединение включено последовательно с истоком (стоком), то его влияние оказывается более существенным. В частности, последовательное сопротивление в цепи вызывает уменьшение эффективной крутизны транзистора, что приводит к ухудшению как статических, так и динамических характеристик схемы. Теоретически было доказано, что влиянием паразитных сопротивлений диффузионных межсоединений при $\rho_d \leq 5 \div 10 \text{ Ом/}\square$ (где ρ_d – удельное поверхностное сопротивление диффузионных областей) в МДП ИМС, реализуемых на кристаллах размером $1,5 \times 1,5 \text{ мм}^2$, можно пренебречь, следовательно, диффузионные области можно использовать в качестве межсоединений. При $\rho_d \geq 10 \text{ Ом/}\square$ в качестве межсоединений необходимо использовать металлизированные дорожки, причем пересечения в этом случае реализуются при помощи диффузионных перемычек.

Очень важно в процессе разработки топологии МДП ИМС учитывать возможность исключения паразитных транзисторов. Паразитные МДП-транзисторы образуются при пересечении шинами разводки диффузионных областей одного типа проводимости. Так как металлизация проходит по толстому слою окисла, то пороговое напряжение таких транзисторов обычно выше 15 В и их крутизна невелика. Тем не менее паразитные транзисторы могут увеличивать потребляемую мощность, уменьшать уровни выходных напряжений, снижать входное сопротивление и даже полностью нарушать работу

схемы. При разработке КМДП ИМС вероятность образования паразитных транзисторов увеличивается по сравнению с МДП ИМС на транзисторах с каналами одного типа проводимости. Это объясняется тем, что в топологии КМДП ИМС увеличивается количество диффузионных областей и всегда под металлом разводки, соединяющей затворы транзисторов *n*- и *p*-типа, образуется инверсный слой. Для уменьшения влияния паразитных транзисторов обычно используют следующие способы:

- а) увеличивают толщину толстого слоя окисла, что эквивалентно уменьшению крутизны паразитного транзистора и увеличению его порогового напряжения;
- б) преднамеренно увеличивают плотность поверхностных состояний на границе толстый окисел – подложка;
- в) увеличивают длину канала паразитного транзистора путем соответствующего выбора конфигурации шины металлизации;
- г) проводят охранную диффузию.

Последний метод заключается в формировании под шиной металлизации областей с повышенной поверхностной концентрацией примесей того же типа, что и в подложке. Пороговое напряжение возрастает с увеличением концентрации примесей в подложке. Области охранной диффузии могут быть использованы в качестве шин питания и земли, что позволяет упростить пересечения в структуре.

Процесс проектирования топологии МДП ИМС на транзисторах с каналами одного типа проводимости характеризуется присущими ему особенностями. Топология транзисторных структур выбирается прежде всего исходя из статических требований снижения уровня логического нуля и повышения уровня логической единицы. Для уменьшения уровня логического нуля ключевые МДП-транзисторы должны иметь высокую крутизну характеристик $k_{\text{к}}$. Следовательно, отношение $w_{\text{k}}/l_{\text{k}}$ для них должно быть достаточно большим, т.е. ключевые МДП-транзисторы, должны быть широкими. Нагрузочные характеристики должны иметь небольшое значение k_{n} за счет большого отношения $l_{\text{n}}/w_{\text{n}}$, что можно

обеспечить путем увеличения их длины. При определении размеров ключевого и нагрузочного транзисторов исходят из того, что у ключевого транзистора задается минимальная длина канала $l_{к.мин}$, а у нагрузочного – минимальная ширина канала $w_{н.мин}$. Величина $l_{к.мин}$ определяется из условий смыкания (пробоя) областей истока и стока ключевого транзистора за счет расширения области объемного заряда перехода сток – подложка при увеличении напряжения на стоке до максимального.

В КМДП ИМС благодаря экстремальным и фиксированным значениям логических уровней, не зависящих от параметров транзисторных структур (k , U_0) и, следовательно, от их топологии, отпадает необходимость топологического расчета на основе статических требований. Обусловленную этим свободу выбора целиком можно использовать для проектирования КМДП ИМС, обладающих топологией, которая позволяет получить оптимальные динамические характеристики, т.е. высокое быстродействие при минимальном потребления мощности. В этом заключается принципиальное отличие топологического проектирования КМДП ИМС от проектирования МДП ИМС на транзисторах с каналами одного типа проводимости. Для минимизации потребляемой мощности необходимо уменьшать как отношение w/l , так и абсолютное значение длины канала l . При расчете геометрических размеров транзистора длина его канала выбирается равной минимально допустимому значению $l = l_{мин}$. Современная планарная технология позволяет получать $l_{мин} \approx \dots \approx 1 \div 3$ мкм. Ширину канала определяют исходя из требований, предъявляемых к крутизне.

После определения размеров ключевых и нагрузочных транзисторов приступают к разработке топологии микросхемы. Для этого необходимо установить принцип размещения транзисторов и порядок следования физических структурных областей, а также принцип выполнения соединений между элементами схемы.

Разработку эскиза топологии кристалла производят в такой последовательности:

- 1) размещают контактные площадки (КП) по периметру кристалла (нумерация контактных площадок нарастает против часовой стрелки от первой КП);
- 2) оставляют место на периферии кристалла для размещения фигур совмещения и тестовых элементов (МДП-транзисторов);
- 3) выделяют контактные площадки для подведения цепей питания, которые являются неизменными для данной серии ИМС;
- 4) если ИМС содержит ряд однотипных схем, кристалл делят на равные части и проектируют топологию только одной части с последующим тиражированием;
- 5) эскиз топологии необходимо начинать с первой контактной площадки, а затем переходить от одного элемента к другому, размещая соединенные между собой элементы в непосредственной близости друг от друга с учетом технологических ограничений;
- 6) в МДП ИМС с алюминиевыми затворами в качестве разводки используются диффузионные проводники и проводники металлизации, а в МДП ИМС с кремниевыми затворами – диффузионные проводники, проводники из поликристаллического кремния (как продолжение областей затворов) и проводники металлизации. Для увеличения степени интеграции проводники металлизации желательно размещать перпендикулярно диффузионным и кремниевым проводникам.

7 МИКРОСХЕМЫ С ФУНКЦИОНАЛЬНО-ИНТЕГРИРОВАННЫМИ ЭЛЕМЕНТАМИ

При создании БИС на биполярных транзисторах остро встают такие проблемы, как уменьшение площади, занимаемой отдельными элементами, количества элементов, устранение изоляции элементов, занимающей большую площадь кристалла, упрощение системы коммутации для существенного уменьшения количества коммутационных проводников и контактных площадок.

Одним из путей решения вышеуказанных проблем является использование новых принципов построения внутренней структуры логических элементов БИС. Например, применение так называемых функционально-интегрированных элементов позволяет перейти от простой интеграции (объединения) элементов на единой полупроводниковой подложке к структурному объединению (совмещению) однотипных полупроводниковых областей различных элементов микросхемы.

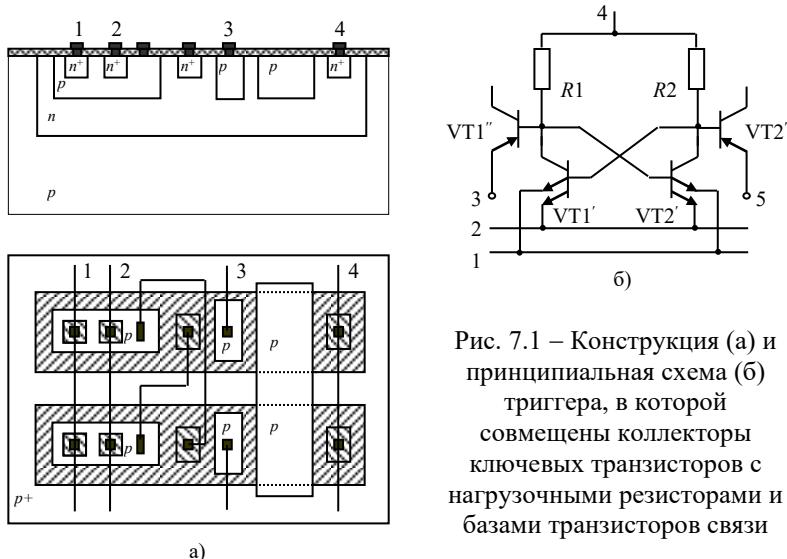


Рис. 7.1 – Конструкция (а) и принципиальная схема (б) триггера, в которой совмещены коллекторы ключевых транзисторов с нагрузочными резисторами и базами транзисторов связи

Широко используется совмещение областей транзисторов, диодов, резисторов. Резисторы могут быть изготовлены на основе материала коллекторных или базовых областей транзисторной структуры. Поэтому в микросхемах применяют два вида совмещения областей транзисторов и резисторов: областей коллекторов с резисторами и областей баз с резисторами.

В конструкции триггера, изображенной на рис. 7.1, нагрузочные резисторы $R1$, $R2$ совмещены с коллекторами транзисторов $VT1'$, $VT2'$ соответственно. Эти элементы сформированы в изолированных прямоугольных областях эпитаксиального слоя n -типа. Для уменьшения поперечного сечения резисторов $R1$, $R2$ n -области «пережаты» диффузионными p -областями, соединенными поверху с разделительными p^+ -областями. Добавление всего лишь двух p -областей с контактами позволяет реализовать вертикальные $p-n-p$ -транзисторы связи $VT1''$ и $VT2''$. Таким образом, в рассматриваемой конструкции совмещаются коллекторные n -области транзисторов $VT1'$, $VT2'$, базовые области транзисторов $VT1''$, $VT2''$ и резистивные области резисторов $R1$, $R2$. Коллекторные области $p-n-p$ -транзисторов $VT1'$, $VT2''$ совмещены с p -областью подложки.

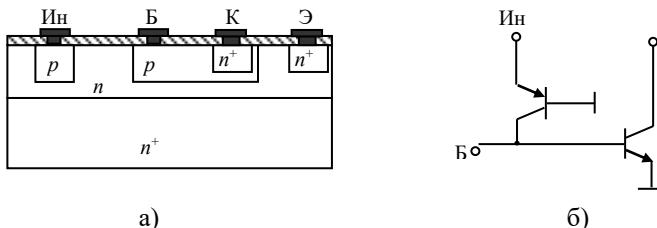


Рис.7.2 – Совмещенная транзисторная структура с горизонтальным инжектором: а – структура; б – принципиальная схема

Наибольшее распространение в БИС среднего быстродействия получили совмещенные транзисторные структуры с инжекционным питанием. На основе этих структур строят логические элементы интегральной инжекционной логики (I^2L) и инжекционно-полевой логики (ИПЛ).

Использование совмещенных транзисторных структур позволяет отказаться от применения специальных видов изоляции элементов и существенно повысить плотность компоновки БИС.

В И²Л-элементах совмещаются однотипные области *n-p-n*- и *p-n-p*-транзисторов. На рис. 7.2, *a* изображено поперечное сечение совмешенной транзисторной структуры с горизонтальным инжектором, в которой совмещаются области вертикального (поперечного) *n-p-n*- и горизонтального (продольного) *p-n-p*-транзисторов: эмиттер вертикального инверсно включенного *p-n-p*-транзистора совмещен с базой горизонтального *p-n-p*-транзистора, база вертикального *n-p-n*-транзистора совмещена с коллектором горизонтального *p-n-p*-транзистора. Схема структуры, соответствующая вышеуказанному объединению областей транзисторов, показана на рис. 7.2, *b*.

В схемах, построенных на основе совмещенных транзисторных структур, продольный *p-n-p*-транзистор выполняет роль активной нагрузки.

Эмиттер *p-n-p*-транзистора получил название «инжектор», потому что при положительном смещении он инжектирует дырки в область базы структуры, которые экстрагируются коллектором *p-n-p*-транзистора. Этот дырочный ток является током источника питания баз или коллекторов ключевых *n-p-n*-транзисторов, поэтому микросхемы, построенные на основе рассматриваемых структур, называются интегральными схемами с инжекционным питанием.

Для совмещенных транзисторных структур с инжекционным питанием, применяемых в логических устройствах, характерны два граничных режима работы: база *B* замкнута и база *B* разомкнута.

При работе совмешенной транзисторной структуры в режиме короткозамкнутой базы *B* ключевой транзистор заперт (ток коллектора $I_C \approx 0$), т.к. эмиттерный переход имеет нулевое смещение. Из базы *B* вытекает ток I_B , равный дырочному току коллектора *p-n-p*-транзистора в режиме короткозамкнутого выхода, когда $U_{CB} \approx 0$;

$$I_B = \alpha_N^p \cdot I_{In},$$

где α_N^p – нормальный коэффициент передачи тока $p-n-p$ -транзистора; I_{In} – ток инжектора.

При разомкнутой базе Б дырочный ток, втекающий в базу со стороны инжектора, является внутренним базовым током I_{Bvn} вертикального $n-p-n$ -транзистора, который обеспечивает его открытое состояние (режим насыщения). Коллекторный ток структуры равен

$$I_K = I_{Bvn} \cdot B_{ctI}^n \approx \alpha_N^p \cdot B_{ctI}^n \cdot I_{In} = K_{In} \cdot I_{In},$$

где B_{ctI}^n – инверсный коэффициент усиления тока базы вертикального $n-p-n$ -транзистора; K_{In} – коэффициент использования тока инжектора.

Нагруженная совмещенная транзисторная структура с инжекционным питанием выполняет элементарную логическую операцию НЕ. Для разветвления выхода инвертора применяют многоколлекtorные структуры с инжекционным питанием. На основе двухколлекtorных инверторов можно построить RS-триггер. Применение коллекторов позволяет связать входы и выходы RS-триггера. На основе RS-триггеров строятся запоминающие и регистровые устройства БИС.

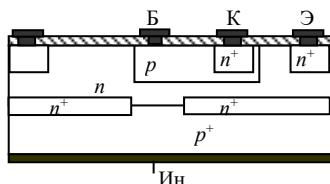


Рис. 7.3 – Совмещенная транзисторная структура с вертикальным инжектором

В совмещенной транзисторной структуре с вертикальным инжектором (рис. 7.3) осуществлено совмещение однотипных областей вертикальных $p-n-p$ и $n-p-n$ -транзисторов. Роль инжектора выполняет общая для всего кристалла БИС р-подложка, на которую подается положительный потенциал. Внутренний n^+ -слой обеспечивает малое сопротивление общей заземленной шины. Окно в этом слое необходимо для получения достаточно высокого прямого коэффициента передачи вертикального $p-n-p$ -транзистора.

Вертикальные совмещенные транзисторные структуры позволяют получить высокую плотность размещения логических элементов, так как с поверхности кристалла полностью убираются шина питания (p -подложка) и шина заземления (n^+ -слой). На поверхности кристалла остаются только проводники, необходимые для осуществления логических связей.

Для повышения параметров инжекционной логики применяются также конструкции с диодами Шоттки и транзисторами Шоттки, что увеличивает быстродействие данных схем.

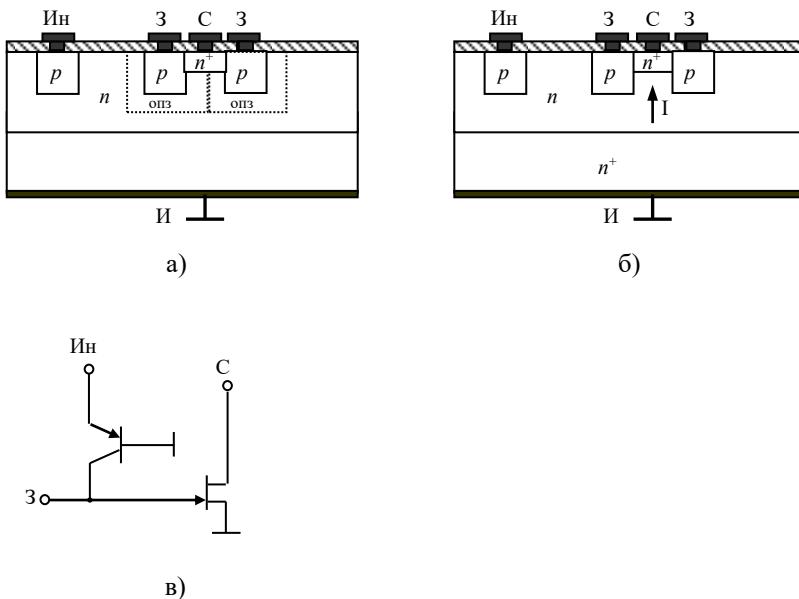


Рисунок 7.4 – Совмещенная транзисторная структура инжекционно-полевой логики:
а, б – иллюстрация двух граничных режимов работы ИПЛ;
в – принципиальная схема ИПЛ

В логических элементах инжекционно-полевой логики (ИПЛ) используется совмещение однотипных полупроводниковых областей полевых транзисторов с

затворами, изолированными $p-n$ -переходами, и биполярных транзисторов. На рис. 7.4 показана совмещенная транзисторная структура ИПЛ, состоящая из вертикального n -канального полевого транзистора и горизонтального биполярного $p-n-p$ -транзистора. В этой структуре области коллектора p -типа и базы n -типа горизонтального $p-n-p$ -транзистора совмещены соответственно с областями затвора и истока n -канального полевого транзистора. В роли стока n -канального полевого транзистора используется сильнолегированная n^+ -область, сформированная внутри p -области затвора.

Состояние полевого транзистора (открыто, закрыто) определяется потенциалом затвора. Удельное сопротивление n -слоя и размеры поперечного сечения канала выбираются так, что при нулевом потенциале затвора (рис. 7.4, а) область объемного заряда $p-n$ -перехода затвор-канал полностью перекрывает поперечное сечение канала и ток стока практически равен нулю. В этом случае в цепи затвора протекает ток $I_3 = -\alpha^p_{nI} I_{in}$. Если же цепь затвора разомкнута (рис. 7.4, б), то область затвора (коллектор биполярного транзистора) заряжается положительно за счет экстракции дырок из n -базы биполярного $p-n-p$ -транзистора. В этом случае область объемного заряда $p-n$ -перехода затвор-канал сужается так, что образуется проводящий канал n -типа между истоком и стоком. Ток канала определяется потенциалом затвора. При повышенных токах инжектора возможны переинжекция дырок из p -области затвора в n -область канала и, следовательно, модуляция проводимости канала.

8 ЭЛЕМЕНТЫ ПОЛУПРОВОДНИКОВЫХ ПОСТОЯННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Элементной базой полупроводниковых постоянных запоминающих устройств (ПЗУ) служат интегральные диоды, биполярные транзисторы или транзисторы МДП-типа, размещение в узлах двухкоординатной матрицы. Информация в ПЗУ определяется наличием диода или транзисторов в узле матрицы (например, хранение «0») или их отсутствием (хранение «1»). Запись информации в диодные ПЗУ или ПЗУ на транзисторах проводится либо выжиганием соответствующих диодов, либо пережиганием специально предусмотренных в каждом узле матрицы плавких перемычек, либо отсутствием соответствующего окна в окисле для создания контактов к транзистору. В последнем случае информация фактически содержится на фотошаблоне для формирования контактных окон.

Наибольшее распространение получили ПЗУ на МДП-транзисторах в связи с возможностью достижения высоких степеней интеграции соответственно большой информационной емкости, а также благодаря малому потреблению энергии. Запись информации в ПЗУ на МДП-транзисторах осуществляется либо пробоем конденсатора, входящего в состав запоминающего элемента, либо конструированием шаблона для вскрытия окон под тонкий окисел.

Фрагмент топологии ПЗУ на n -канальных МДП-транзисторах, в котором запись информации осуществляется на стадии производства при вскрытии окон под затворный окисел в соответствующих узлах матрицы, показан на рис. 8.1, *a*. Диффузионные адресные шины 3 образуют стоки транзисторов, а заземленные шины 2 – истоки. Металлические дорожки 1 выполняют функции шин адресатов и затворов МДП-транзисторов. МДП-транзисторы формируются в тех узлах матрицы, где должен быть записан «0». В рассматриваемом случае на фрагменте топологии сформировано восемь МДП-транзисторов и записана информация

0010

0101

0001

Считывание информации, т.е. выбор запоминающего элемента или совокупности запоминающих элементов, осуществляется возбуждением определенных координатных шин запоминающего поля, для чего используются матричные дешифраторы. С матричных дешифраторов адреса подается высокий уровень напряжения на одну из шин адресов по координате Y и, через сопротивления, роль которых выполняют n -канальные МДП-транзисторы, на одну из шин по координате X . При этом на одной из выходных информационных шин появляется высокий уровень напряжения, если в выбранном узле запоминающей матрицы отсутствует запоминающий элемент (n -канальный МДП-транзистор), т.е. если не вскрыто окно для его формирования, что соответствует считыванию «1». И, наоборот, на соответствующей информационнойшине появляется низкий уровень напряжения, если запоминающий МДП-транзистор сформирован (окно вскрыто), что соответствует считыванию «0».

В описанном фрагменте БИС ПЗУ информация заносится один-единственный раз в процессе изготовления и хранится бесконечно долгое время. Однако такой способ записи не всегда удобен, так как корректировка однажды записанной информации невозможна. Для микропроцессорных систем с целью оперативного изменения решаемых ими задач необходимо иметь устройства перепрограммируемой памяти: перепрограммирующие постоянные запоминающие устройства (ППЗУ), в которых информация могла бы храниться годами и в которых имелась бы возможность стирать эту информацию полностью или частично и заносить новую.

Элементной базой современных БИС ППЗУ служат: лавинно-инжекционные МДП-транзисторы с плавающим затвором (транзисторы ЛИПЗМДП); лавинно-инжекционные МДП-транзисторы со структурой металл-нитрид – окисел-полупроводник (транзисторы МНОП-типа).

Структура лавинно-инжекционного МДП-транзистора с плавающим поликремниевым затвором, созданного на основе р-канальной технологии, представлена на рис. 8.2, а. Подложкой служит пластина кремния *n*-типа с удельным сопротивлением 4...8 Ом·см.

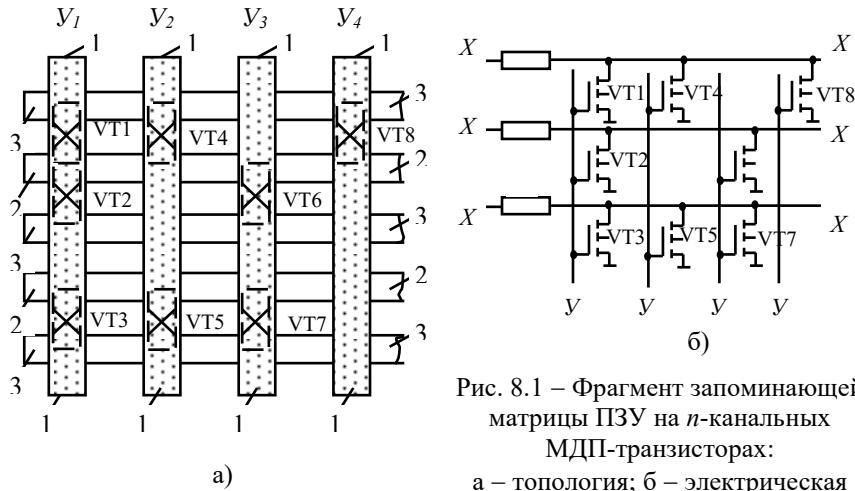


Рис. 8.1 – Фрагмент запоминающей матрицы ПЗУ на *n*-канальных МДП-транзисторах:
 а – топология; б – электрическая схема. 1 – металлическая разводка;
 2, 3 – диффузионные шины

Механизм зарядки плавающего затвора пояснен на рис. 8.2, б. Он основан на следующих эффектах. На стоковую область *p*-канального МДП-транзистора подается отрицательный потенциал. По мере увеличения отрицательного смещения обедненный слой и электрическое поле в нем будут расти. Под действием электрического поля обедненного слоя неосновные носители – электроны – из стоков *p*⁺-области будут выноситься в *n*-область подложки. С увеличением напряженности этого поля будет возрастать дрейфовая скорость электронов, и при определенном критическом значении напряженности поля становится возможным лавинное умножение электронов в *n*-области. Одновременно за счет емкостной связи C_{sc} на плавающем затворе индуцируется положительный заряд, который будет искривлять обедненную область в *p*⁺-слое вблизи

поверхности и формировать электрическое поле, направленное от плавающего затвора к стоку.

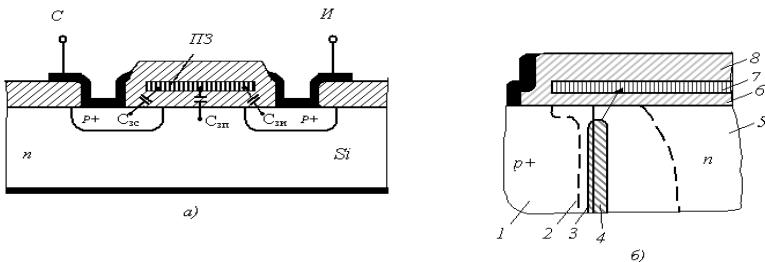


Рис. 8.2 – ЛИПЗМДП-транзистор; а – структура;
б – механизм записи информации; 1 – p^+ -область стока; 2 – граница области пространственного заряда; 3 – граница p - n -перехода сток–подложка; 4 – область лавинного умножения электронов; 5 – подложка n -типа; 6 – подзатворный диэлектрик; 7 – поликремниевый плавающий затвор; 8 – защитный диэлектрик

Таким образом, электрическое поле в обедненной области обратносмещенного стокового p - n -перехода формирует значительное количество высокоэнергетических (горячих) электронов, обладающих достаточным запасом энергии, чтобы преодолеть потенциальный барьер границы раздела кремний – окисел кремния и тонкий подзатворный диэлектрик. Преодолев подзатворный окисел, горячие электроны стекают на плавающий затвор, так как на него предварительно за счет емкостной связи подается притягивающее их положительное напряжение смещения. По мере зарядки плавающего затвора на нем аккумулируется отрицательный заряд, который будет создавать поле, препятствующее процессу зарядки. При этом ток лавинной инжекции через диэлектрик будет уменьшаться и при определенной величине заряда снизится до нуля.

Для зарядки электронами плавающего затвора на сток ЛИПЗМДП-транзистора необходимо подать отрицательный импульс напряжения, при этом величина заряда на плавающем затворе Q будет зависеть от амплитуды и длительности

импульса приложенного напряжения, геометрических размеров и свойств материалов затвора и подзатворного диэлектрика. Типичные значения этих параметров равны: $U_C = 30 \dots 50$ В, $\tau_C = 1 \dots 10$ нс, $h_D = 0,1$ мкм.

После зарядки плавающего затвора электронами в области канала МДП-транзистора р-типа возникает инверсионный слой, транзистор переходит в открытое соединение, т.е. хранит «0».

Поскольку плавающий затвор со всех сторон окружен двуокисью кремния, представляющей собой один из лучших существующих диэлектрических материалов, заряд на плавающем затворе сохраняется длительное время. Исследования стабильности заряда показали, что даже при 125°C за 10 лет заряд может уменьшиться лишь на 30% своей первоначальной величины.

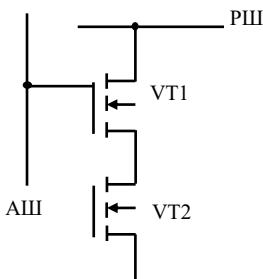


Рис. 8.3 – Схема запоминающего элемента ППЗУ на ЛИПЗМДП-транзисторе VT_2 с электрической записью информации и стиранием ультрафиолетовым освещением

Стирание хранимой в ППЗУ информации осуществляется при облучении информационного поля ультрафиолетовыми лучами. При этом длина волны излучения должна быть достаточной для того, чтобы фотоны могли передать электронам энергию, необходимую для преодоления потенциального барьера на границе кремний – двуокись кремния в обратном направлении при возвращении в подложку. В обычно используемых для этой цели источниках ультрафиолетового излучения (ртутная лампа) указанному требованию отвечает длина волны $\lambda = 253,7$ нм ($E = -4,9$ эВ).

Корпуса БИС ППЗУ на ЛИПЗМДП-транзисторах с электрической записью и ультрафиолетовым стиранием информации должны иметь специальное окно со вставленным в него кварцевым стеклом, прозрачным для ультрафиолетового

излучения, что делает эти корпуса дорогими. Стирание информации при ультрафиолетовом облучении происходит во всех ячейках БИС ППЗУ одновременно. Стирание информации и ее перезапись осуществляются на изолированных БИС, изъятых из устройств, в которых они установлены и эксплуатируются.

Для формирования запоминающих элементов ППЗУ на ЛИПЗМДП-транзисторах необходим по крайней мере еще

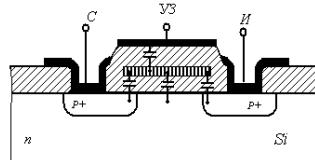


Рис. 8.4 – Структура ЛИПЗМДП-транзистора с плавающим и управляющим затворами; с электрическим стиранием и электрической записью информации

один МДП-транзистор, затвор которого выводится на адресную шину (рис. 8.3). ЛИПЗМДП-транзистор может находиться в двух устойчивых состояниях: открытом (плавающий затвор несет на себе заряд Q , достаточный для формирования инверсионного канала) или закрытым (плавающий затвор не заряжен), что соответствует хранению запоминающим элементом «0» или «1». Адресный транзистор VT1 запоминающего элемента – обычный p -канальный МДП-транзистор.

Дальнейшим развитием описанной выше конструкции транзистора явилась структура с двумя затворами – плавающим и управляющим (рис. 8.4). Эту структуру изготавливают по p -канальной МДП-технологии на кремниевой пластине n -типа электропроводности с удельным сопротивлением 5 Ом·см. После выращивания подзатворного окисла толщиной порядка 0,1 мкм формируют пленку поликристаллического кремния для плавающего затвора, после чего создают металлическую разводку и формируют управляющий затвор. Толщина диэлектрика между плавающим и управляющим затворами,

создаваемого осаждением SiO_2 из газовой фазы, равна примерно 0,2 мкм. Зарядка плавающего затвора в таком приборе осуществляется также за счет лавинной инжекции носителей с обратносмещенного $p-n$ -перехода. В процессе зарядки плавающего затвора электронами на управляющий затвор подается положительное напряжение, что повышает уровень инжекции, а следовательно, и эффективность записи.

Для запоминающего транзистора, изображенного на рис. 8.4, возможен процесс стирания информации (удаление накопленного заряда с плавающего затвора) с помощью электрического импульса. Приборы постоянной памяти с электрическим стиранием информации позволяют осуществить перезапись не всей, а только части части информации, и, кроме того, это можно сделать в БИС электрически стираемого перепрограммируемого ПЗУ (ЭСППЗУ), не изымая ее из электронной системы устройства. В режиме стирания к управляющему затвору прикладывается положительный потенциал.

Согласно имеющимся данным, p -канальные МДП-транзисторы с двумя затворами выдерживают более пятисот циклов перезаписи без существенных изменений характеристик. К недостаткам приборов такого типа относятся высокие напряжения стирания (около 80 В).

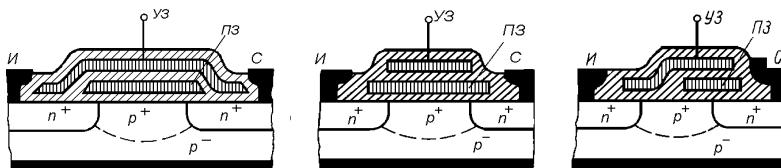


Рис. 8.5 – Варианты структуры запоминающих элементов БИС ЭСППЗУ на основе n -канальных МДП-транзисторов с двумя поликремниевыми затворами

Перспективными запоминающими элементами СБИС ЭСППЗУ большой информационной емкости и высокого быстродействия являются n -канальные МДП-транзисторы с плавающим и управляющим затворами, изготовленные на основе совмещенной технологии с применением пленок

поликремния для обоих затворов, самосовмещения и ионного легирования. На рис. 8.5 показаны три варианта структуры таких запоминающих МДП-элементов СБИС перепрограммируемой памяти, отличающихся конфигурацией и взаимным расположением затворов.

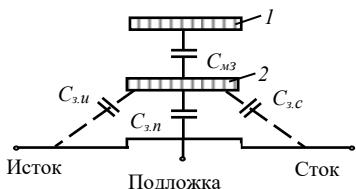


Рис. 8.6 – Эквивалентная схема запоминающего элемента с двумя затворами на основе n -канального МДП-транзистора: 1 – управляющий затвор; 2 – плавающий затвор

Управление запоминающим элементом осуществляется за счет емкостной связи управляющий затвор – плавающий затвор и плавающий затвор – подложка. Для достижения максимальной емкостной связи толщина межзатворного диэлектрика должна быть соизмерима с толщиной подзатворного диэлектрика. Различные состояния транзистора определяются зарядом на плавающем затворе. Зарядка плавающего затвора, как и для других описанных выше ячеек, осуществляется горячими электронами, проходящими через слой подзатворного диэлектрика толщиной 0,05...0,1 мкм, однако механизм разогрева электронов в данном приборе иной. В режиме зарядки плавающего затвора на сток и затвор одновременно подается большое положительное напряжение (около 20 В). При этом наличия электрического поля вблизи стокового перехода еще не достаточно, чтобы вызвать его пробой на подложку, но достаточно, чтобы вызвать ударную ионизацию в канале транзистора. Число горячих электронов будет определяться током в канале МДП-транзистора. Инжекция горячих электронов в плавающий затвор осуществляется под действием тянувшего поля со стороны управляющего затвора. Очень важно то, что величина накопленного заряда определяется геометрическими параметрами ячейки памяти и амплитудой импульсов записи, прикладываемых к управляющему затвору и стоку ячейки. На рис. 8.6 представлена эквивалентная схема запоминающих элементов, структура которых дана на рис. 8.5.

Потенциал на плавающем затворе определяется по формуле

$$U_{\text{ПЗ}} = \frac{C_{\text{мз}} U_{\text{yz}} + C_{\text{зс}} U_{\text{c}} + Q}{C_{\text{мз}} + C_{\text{зп}} + C_{\text{зс}}},$$

где $C_{\text{мз}}$ – межзатворная емкость, $C_{\text{зс}}$ – емкость между плавающим затвором и стоком, U_{yz} – потенциал на управляющем затворе, $C_{\text{зп}}$ – емкость между плавающим затвором и подложкой, U_{c} – потенциал на стоке, Q – заряд на плавающем затворе.

В незаряженном состоянии пороговое напряжение ячейки имеет низкое значение ($U_0 \approx 2 \dots 3$ В), а после зарядки плавающего затвора электронами оно возрастет на величину $Q/C_{\text{мз}}$.

Для более эффективной зарядки плавающего затвора необходимо увеличить емкостную связь управляющего затвора с плавающим или потенциал на плавающем затворе. Также важно правильно выбрать длину канала МДП-транзистора. Это необходимо для нормального процесса зарядки плавающего затвора. Длина канала по расчетам и экспериментальным данным не должна превышать 3...4 мкм, чтобы разогрев электронов в канале был возможен при меньших напряжениях на стоке.

На рис. 8.7 приведены входные характеристики n -канального МДП-транзистора с двумя затворами до и после зарядки плавающего затвора, из которых видно, что пороговые напряжения МДП-транзистора с заряженным и незаряженным плавающим затвором существенно различаются и, если на управляющий затвор подать напряжение считывания $U_{01} < U_{\text{c}} < U_{02}$, то транзистор с незаряженным плавающим затвором будет открыт (прямая 1), а с заряженным – закрыт (прямая 2). Из этого следует важный вывод о возможности построения на n -канальных МДП-транзисторах с двумя затворами матричного накопителя с одним запоминающим элементом. Фрагмент такого накопителя показан на рис. 8.8.

В разработках электрически программируемых ячеек памяти стремятся к снижению напряжений, управляющих режимами записи – стирания. Это становится возможным, прежде всего, за счет создания воспроизводимой и

высококачественной технологии получения тонких диэлектрических слоев, изолирующих плавающий затвор. Подход к этой проблеме учитывает противоречивость требований, возникающих в процессе записи – хранения – считывания в таких энергонезависимых элементах памяти. Противоречивость эта заключена в том, что нужно найти способ быстрой записи информации с малым потреблением энергии, который сочетался бы в одной конструкции со способом бесконечно длительного хранения этой информации. В среднем на плавающем затворе хранится заряд всего в несколько миллионов электронов. Для передачи на плавающий затвор такого количества электронов за цикл программирования, равный 10 мс, средний ток программирования элемента должен составлять 10^{-10} А. С другой стороны, необходимо, чтобы за 10 лет хранения информации утечка хранимого заряда составила менее 10 %, т.е. ток утечки не должен превышать 10^{-21} А. Реализовать отношение этих токов, равное 10^{11} , – проблема технически достаточно сложная.

Данная проблема решается путем применения новых технологий в получении тонких диэлектрических слоев и применением комбинированных диэлектриков.

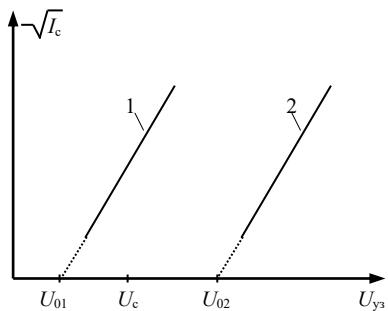


Рис. 8.7 – Входные характеристики запоминающего элемента ЭСППЗУ на n -канальных МДП-транзисторах с поликремниевыми управляющим и плавающим затворами: 1 – до зарядки плавающего затвора; 2 – после зарядки плавающего затвора

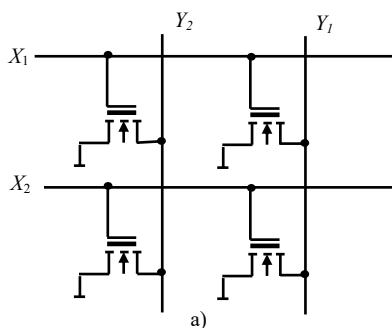
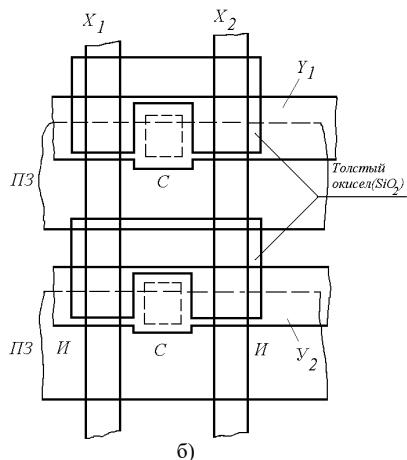


Рис. 8.8 – Фрагмент матричного накопителя на n -канальном МДП-транзисторе с поликремниевым плавающим и управляющим затворами (а) и фрагмент его топологии (б)



9 БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ

9.1 Принципы построения базовых матричных кристаллов

Базовый матричный кристалл (БМК) содержит сформированную заранее матрицу базовых ячеек, расположенную в центральной части, и группу буферных ячеек (ячеек интерфейса – ввода – вывода), расположенных по периферии кристалла (рис. 9.1). В состав ячеек входят группы нескоммутированных элементов (транзисторов, резисторов, конденсаторов) и отрезков полупроводниковых шин для реализации пересекающихся электрических связей.

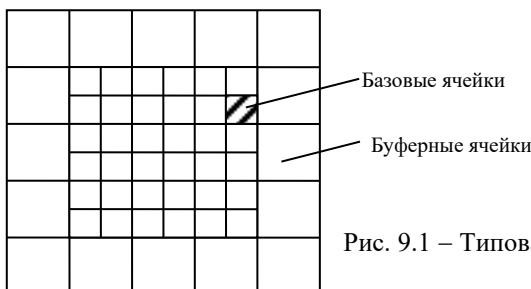


Рис. 9.1 – Типовая структура БМК

Из элементов ячеек с помощью электрических связей в виде металлических (проводниковых) и полупроводниковых шин формируются различные функциональные элементы (логические элементы, триггеры, счетчики, регистры и др.), буферные элементы и соединения между ними.

В матричных БИС, как правило, основные функциональные элементы работают в режиме малого потребления энергии, обеспечивающем необходимое быстродействие. Буферные элементы, предназначенные для осуществления внешних связей матричной БИС, потребляют повышенную мощность, что необходимо для согласования по уровням логического напряжения, нагрузочной способности и помехоустойчивости.

Для упрощения процесса проектирования и сокращения сроков разработки БИС на основе БМК широко используются

библиотеки функциональных элементов. Топология функционального элемента в виде фрагмента БИС с унифицированными размерами разрабатывается на основе элементов одной или нескольких рядом расположенных ячеек. Вся информация о топологии фрагментов хранится в базе данных системы автоматизированного проектирования.

На основе БМК могут быть выполнены цифровые, аналоговые, аналого-цифровые и цифро-аналоговые БИС. Набор элементов ячеек БМК, предназначенных для изготовления аналоговых БИС, позволяет формировать усилители, компараторы, аналоговые ключи и другие устройства. В состав ячеек входит большое число разнообразных активных и пассивных элементов, например *n-p-n*- и *p-n-p*-транзисторы, резисторы с большим диапазоном номиналов, конденсаторы. К параметрам пассивных элементов обычно предъявляется требование достаточно высокой точности и стабильности. В состав БМК, предназначенных для изготовления аналого-цифровых БИС, входят обычно две матрицы ячеек: для формирования соответственно аналоговых и цифровых устройств.

Базовые матричные кристаллы для цифровых и аналоговых БИС строятся на основе биполярных транзисторов и полевых транзисторов с изолированным затвором. Более широкое применение в аналоговых БИС получили биполярные транзисторы с высокой крутизной проходной вольт-амперной характеристики.

Матрицы могут состоять из однородных или неоднородных ячеек. В БМК, предназначенных для реализации цифровых БИС с невысокой степенью интеграции (около 1000 логических элементов), используются однородные ячейки, для цифровых БИС с высокой степенью интеграции (более 10 000 логических элементов) и цифро-аналоговых БИС – матрицы с неоднородными ячейками. Применяются два способа организации ячеек матрицы БМК:

1. На основе элементов ячейки может быть сформирован один базовый логический элемент, выполняющий элементарную функцию, НЕ, И-НЕ, ИЛИ-НЕ с разветвлениями по входам (ЭСЛ, ТТЛ, *n*-МОП, КМОП) или выходам (I^2L). Для

реализации более сложных функций используются несколько ячеек. Число, разновидности и параметры элементов определяются электрической схемой базового логического элемента.

2. На основе элементов ячейки может быть сформирован любой функциональный элемент библиотеки. Типы элементов и их число определяются электрической схемой самого сложного функционального элемента.

При первом способе построения ячеек можно получить достаточно высокие коэффициент их использования в составе матрицы, коэффициент использования площади БМК и соответственно повышенную степень интеграции БИС. Для трассировки соединительных проводников требуется мощная система автоматизированного проектирования.

При втором способе построения ячеек БМК упрощается система автоматизированного проектирования БИС, так как посадочные места одинаковых по форме и размерам ячеек заранее определены. Однако, если в проектируемой БИС используется достаточно много простых функциональных элементов библиотеки с низким коэффициентом использования элементов ячейки, снижается коэффициент использования площади кристалла и степень интеграции БИС.

В матричных БИС электрические соединения выполняются с помощью металлических (проводниковых) и полупроводниковых (моно- и поликристаллических) шин. Шины цепей питания и заземления, как правило, выполняются из алюминия, характеризующегося низким удельным сопротивлением. Легированные полупроводниковые шины, имеющие повышенное удельное сопротивление, в основном применяются для реализации коротких слаботочных сигнальных цепей.

Для создания электрических связей между элементами используется одно- и многоуровневая металлизация. Большой практический интерес представляют конструкции матричных БИС с одним заказным уровнем металлизации. В этом случае существенно упрощается технология проектирования и изготовления матричных БИС. Существуют две разновидности конструкций кристаллов-полуфабрикатов, элементы которых

покрыты двухслойной системой оксид-металл или только слоем оксида.

В конструкциях первого вида в слое защитного оксида вытравлены отверстия ко всем внутренним контактам, с помощью которых осуществляется электрическое соединение элементов ячеек матриц при формировании функциональных элементов и соединение последних для реализации заказной БИС. Пластина с кристаллами полностью покрывается слоем металла. Требуемый рисунок межэлементных соединений формируется с помощью лишь одного заказного фотошаблона. Лишний металл удаляется с тех участков поверхности кристаллов, на которых не должно быть никаких соединений. Так как все области контактов вскрыты с помощью окон в оксиде, то нельзя проводить связи в областях свободных (неиспользуемых) контактов. В конструкции БМК необходимо предусматривать поля, свободные от контактов, для прокладки трасс электрических связей. Это ограничение не позволяет получить высокую плотность компоновки элементов на кристалле.

В конструкциях второго вида с помощью первого заказного фотошаблона вскрываются окна в оксиде только к используемым контактам. Затем пластина-полуфабрикат покрывается слоем металла и с помощью второго заказного фотошаблона формируются электрические связи. В этом случае может быть достигнута более высокая плотность компоновки элементов и упрощается трассировка межсоединений, так как трассы межсоединений могут проходить над областями неиспользуемых контактов, покрытых слоем защитного оксида.

В БИС высокой степени интеграции (десятки тысяч элементов) используется двух- и трехуровневая металлизация. В качестве межуровневого диэлектрика применяются пленки диоксида кремния. Проектирование и изготовление таких БИС усложняется. Например, при двухуровневой металлизации требуются четыре заказных фотошаблона для формирования окон в первом слое оксида, покрывающем элементы первого слоя проводников, окон во втором слое оксида и второго слоя проводников.

Для проводников, реализующих межфрагментные электрические связи, на поле кристалла между ячейками матрицы выделяются свободные полосы – каналы (в кристаллах на биполярных приборах обычно это система ортогональных полос, в кристаллах на МОП-приборах – система компланарных полос). Пропускная способность канала составляет 5...15 проводников. В пределах каналов располагаются также перемычки – полупроводниковые элементы «подныривания» для реализации пересечений ортогональных проводников. Для упрощения реализации коммутационной сети входы и выходы логических элементов или функциональных узлов, формируемых из элементов ячеек, располагаются по периферии ячеек, обращенной к каналу связи. Это упрощает автоматизированное проектирование БИС, однако коэффициент использования площади кристалла снижается.

С целью повышения плотности компоновки БИС на биполярных транзисторах матрица БМК может быть выполнена в виде сплошного массива ячеек, в состав которых входят элементы и перемычки. Горизонтальные трассы проходят в областях расположения групп пассивных элементов (резисторов), находящихся под защитной оксидной пленкой, вертикальные трассы – во втором (верхнем) слое над элементами ячеек. Дополнительные вертикальные трассы образуются за счет неиспользованных ячеек. В качестве перемычек используются короткие отрезки высоколегированных моно- и поликремниевых шин с контактными областями, а также полупроводниковые области активных элементов.

Набор параметров и характеристик БМК должен быть достаточно полным для потребителя. К типовым параметрам и характеристикам БМК относятся: технология изготовления; число ячеек на кристалле; структура (набор элементов) ячейки; наименование, типовые электрические параметры, схемы и фрагменты типовых функциональных элементов, формируемых на основе элементов ячеек; параметры элементов ввода-вывода; число периферийных контактных площадок; требования к источнику питания; указания по расположению и использованию контактных площадок для цепей питания и

заземления; число заказных фотошаблонов и конструктивно-технологические ограничения, накладываемые при проектировании и выполнении заключительных технологических операций.

9.2 Базовые матричные кристаллы на основе биполярных транзисторов

В БИС на биполярных транзисторах используются сверхбыстро действующие логические элементы в виде одно- или двухступенчатых токовых ключей (ЭСЛ, МЭСЛ, ЭФЛ), логические элементы среднего и высокого быстродействия (ТТЛ, ТТЛШ, И²Л). Для повышения плотности компоновки элементов на кристалле широко используются различные виды изопланарной технологии, КИД-технология. Интересной особенностью КИД-структур является использование высоколегированной свободной поверхности кристалла (материал n^+ -типа) в качестве шины источника питания. Роль шины заземления выполняет подложка p -типа с металлизированной торцевой поверхностью. Доступ к подложке со стороны пленарных элементов осуществляется с помощью эпитаксиального слоя p -типа. Благодаря такой конструкции кристалла матричная БИС может быть изготовлена с помощью одного слоя металлизации.

На рис. 9.2 приведены широко распространенная топология ячейки и схемотехническое изображение набора ее элементов. Такая ячейка может быть сформирована любым технологическим методом. Если используется эпитаксиально-планарная или изопланарная технология, то все резисторы не только ячейки, но и всей матрицы размещаются в одной изолированной области n -типа с высоколегированным поверхностным слоем n^+ -типа. Эта высоколегированная область используется в качестве шины источника питания. Коллекторные области транзисторов, формируемые из островков высокоомного эпитаксиального слоя n -типа, используются для изготовления диодов Шоттки, фиксирующих напряжение открытых коллекторных переходов. На рис. 9.2

показаны катодные области диодов Шоттки, расположенные внутри баз транзисторов. Металлические контакты к базовым областям перекрывают эти n -области и одновременно выполняют роль анодов диодов Шоттки. Для улучшения характеристик диодов Шоттки между n -областью и металлическим контактом формируется слой силицида платины Pt_5Si_2 . Общая коллекторная область транзисторов VT_2 и VT_3 с двумя выводами может выполнять роль полупроводниковой перемычки. Такую же функцию выполняет резистор R_6 , если в качестве резистивного слоя используется высоколегированная область n^+ -типа. В рассматриваемой конструкции $R_4 = R_5 = R$, $R_1 = R_2 = R_3 = -R/2$.

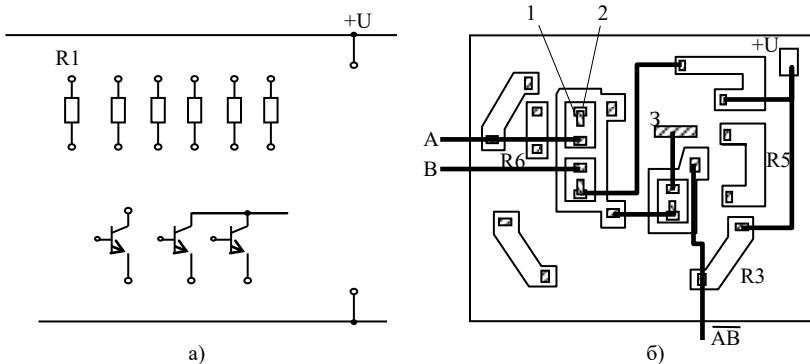


Рис. 9.2 – Ячейка БМК на биполярных транзисторах:
а – схемотехническое изображение; б – топология (1 – анодная
область, 2 – катодная область диодов Шоттки)

На основе элементов ячейки могут быть сформированы цифровые логические элементы РТЛ, ТТЛ, ТТЛШ (рис. 9.3), ЭСЛ, операционные усилители.

В буферных ячейках для цифровых матричных БИС используется набор элементов, необходимый для формирования входных логических элементов с повышенными коэффициентом разветвления по входу и помехоустойчивостью и выходных логических элементов с повышенной нагрузочной способностью и тремя логическими состояниями.

Для изготовления матричных БИС среднего быстродействия используются БМК, в которых ячейки матрицы состоят из И²Л- или И³Л-структур. Большой практический интерес представляют такие БМК для изготовления аналого-цифровых матричных БИС. Технология изготовления кристаллов с И²Л-структурами хорошо совмещается с технологией изготовления кристаллов с обычными биполярными транзисторами, поэтому на одном кристалле могут

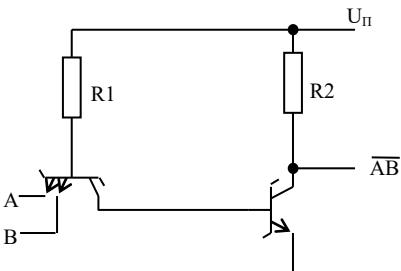


Рис. 9.3 – Логический элемент
2И-НЕ ТТЛШ
(топология на рис. 9.2, 6)

быть сформированы две матрицы, одна из которых используется для изготовления цифровых узлов и блоков (матрица с И²Л-структурами), а другая – для изготовления аналоговых узлов и буферных элементов, хорошо совмещаемых с БИС, построенными по ТТЛ-, n -МОП- или КМОП-технологии. Использование И²Л-структур позволяет достигнуть высокой плотности компоновки элементов в цифровых устройствах. Пример схемно-конструктивного исполнения функциональных узлов приведен на рис. 9.4. Из топологий видно, что внутриузловые электрические связи осуществляются внутри поля ячейки. Окна в оксидной пленке формируются с помощью первого заказного фотошаблона. Это позволяет проводить линии связи над незадействованными коллекторами И²Л-структур. Контакты к базам формируются в промежутках между коллекторами. На рис. 9.4 контакты к коллекторам и базам обозначены жирными точками.

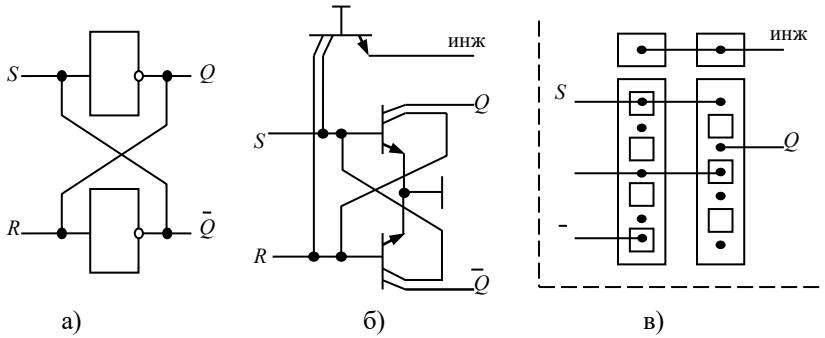


Рис. 9.4 – RS-триггер на И²Л-элементах: а – логическая схема; б – принципиальная схема; в – топология

Для согласования И²Л-элементов с ТТЛ-элементами используются буферы, электрические схемы которых приведены на рис. 9.5. Быстродействие буферов повышается благодаря диодам Шоттки. Пример топологии ячейки, на основе элементов которой можно сформировать как входной, так и выходной буферы, приведен на рис. 9.6.

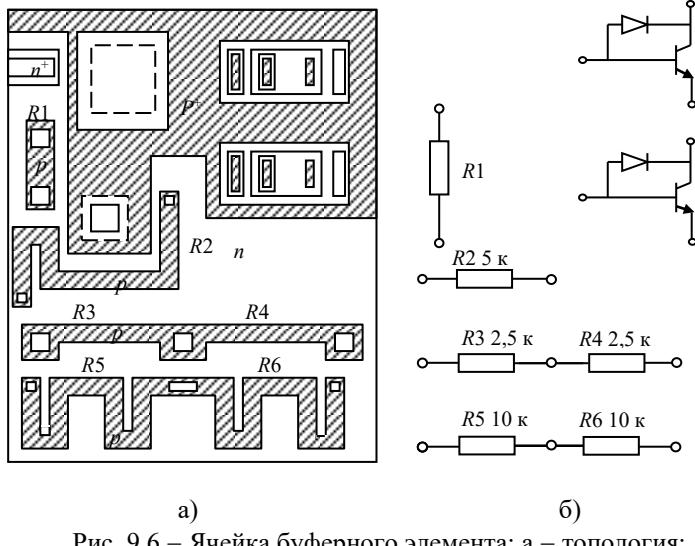


Рис. 9.6 – Ячейка буферного элемента: а – топология; б – принципиальная схема

Для формирования сложного буфера с тремя состояниями необходимо использовать элементы соседних ячеек. Контактная площадка формируется на толстом слое оксида над изолированной *n*-областью для повышения надежности БИС.

Рядом с контактной площадкой расположена *p*-область защитного диода, который используется во ходном буфере.

Буферные элементы, изображенные на рис. 9.6, расположены по периферии кристалла в общей изолированной от подложки *n*-области, на которую подается положительное напряжение источника питания. Эта область используется в качестве шины питания буферных элементов.

Контактные площадки для подключения напряжения питания формируются в центре боковых периферийных областей. Рядом расположены группы резисторов, с помощью которых задается требуемый ток в инжекторы И²Л-структур. Величина сопротивления устанавливается с помощью металлических перемычек между контактными областями резисторов.

9.3 Базовые матричные кристаллы на основе полевых транзисторов с изолированным затвором

В настоящее время в микроэлектронной аппаратуре разрабатываются и применяются базовые матричные кристаллы на основе *n*-канальных МОП-транзисторов и комплементарных МОП-структур, сформированных на подложках из кремния или структурах КНС (кремний на сапфире). Базовые матричные кристаллы на основе *n*-МОП-транзисторов имеют высокую плотность компоновки элементов.

Логические элементы на КМОП-структурах при малых частотах переключения потребляют минимальную по сравнению с другими логическими элементами мощность и имеют высокую помехоустойчивость. На основе КМОП-структур можно реализовать как цифровые, так и аналоговые схемы. Замена подложки из кремния сапфиром уменьшает время задержки до 1...3 нс и менее на элемент.

БИС на основе КМОП-транзисторов, несмотря на достаточно сложную технологию производства, широко применяются в аппаратуре среднего и высокого быстродействия в тех случаях, когда основными являются требования малой потребляемой мощности и высокой помехоустойчивости.

В первых разработках БМК на основе КМОП-структур использовались подложки n -типа, в которых методом диффузии формировались изолированные с помощью $p-n$ -перехода p -области (карманы). В n -подложке формировались сток-истоковые p^+ -области p -канальных транзисторов, а в p -карманах – n^+ -области n -канальных транзисторов. За основу была принята хорошо освоенная в промышленности технология p -канальных транзисторов с металлическими (алюминиевыми) затворами.

В современных конструкциях БМК используются p -подложки с n -карманами, в которых формируются p -канальные МОП-транзисторы. Так как поверхностная подвижность дырок примерно в 2,5...3 раза меньше поверхностной подвижности электронов, то для получения одинаковых зарядных токов ширина канала w в p -канальном транзисторе должна быть в соответствующее число раз больше ширины канала в n -канальном транзисторе.

Для повышения плотности компоновки p -канальные транзисторы объединяются в группы и размещаются в одном n -кармане, соединенном с источником питания.

Для устранения паразитных связей между однотипными полупроводниковыми областями КМОП-структур используются n^+ - и p^+ -охраные кольца. Соединенные между собой, эти кольца образуют шины питания и заземления.

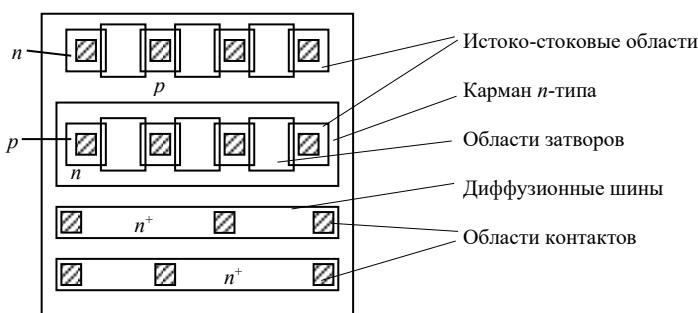


Рис. 9.7 – Шеститранзисторная типовая базовая ячейка БМК на КМОП-транзисторах

Типовая ячейка матрицы КМОП БМК содержит обычно набор из двух-трех *n*-канальных МОП транзисторов, включенных последовательно, и двух-трех *p*-канальных МОП транзисторов (рис. 9.7), а также нескольких диффузионных шин с контактными окнами. Такой набор транзисторов определяется особенностями схемотехники типовых логических элементов.

В микросхемах с МОП-транзисторами для защиты от пробоя подзатворного диэлектрика входных транзисторов используют защитные диоды (рис. 9.8). При этом должно соблюдаться условие

$$U_{3\text{пр}} = E_{\text{пр}} \cdot d > U_{\text{проб}},$$

где $U_{3\text{пр}}$ – предельно допустимое напряжение затвора; $E_{\text{пр}}$, d – электрическая прочность и толщина подзатворного диэлектрика; $U_{\text{проб}}$ – пробивное напряжение защитного диода. В большинстве конструкций БИС используется тонкий подзатворный окисел ($d \approx 30–70$ нм; $E_{\text{пр}} \approx 2 \cdot 10^6$ В/см).

9.4 Проектирование микросхем на основе базовых матричных кристаллов

Процесс проектирования матричных БИС включает следующие этапы:

- 1) разработка функциональной электрической схемы;
- 2) разработка принципиальной электрической схемы и ее моделирование;
- 3) автоматизированное размещение библиотечных элементов и трассировка межсоединений;
- 4) проверка соответствия принципиальной электрической схемы и топологии;
- 5) моделирование с учетом задержек в электрических межсоединениях для определения быстродействия.

Принципиальная особенность методики проектирования матричных БИС состоит в том, что разработка принципиальной электрической схемы производится в базисе библиотеки функциональных элементов. При разработке схемы необходимо обращать внимание на согласование логических элементов и

узлов внутри кристалла, а также с внешними источниками сигналов и нагрузками. Внутренние логические элементы имеют определенную нагрузочную способность. Так КМОП-инверторы нормально работают при нагрузке на один подобный инвертор. При повышенной емкостной нагрузке необходимо использовать параллельное соединение инверторов.

Размещение библиотечных элементов на кристалле выполняется в два этапа. На первом применяется один из алгоритмов построения начального размещения, например, последовательный алгоритм размещения по связности. На втором этапе ставится задача обеспечения равномерной плотности в горизонтальных и вертикальных сечениях кристалла. Методом итерации добиваются равномерной плотности связей по полю кристалла. При этом выделяются максимально перегруженные сечения матрицы и осуществляются парные перестановки библиотечных элементов, находящихся по разные стороны от этого сечения, с целью получения равномерной плотности соединений. Процесс трассировки соединений в матричных БИС также состоит из двух этапов: глобальной и локальной трассировки. Глобальная трассировка может быть выполнена с использованием известных алгоритмов построения связей и перетрассировки соединений из областей с большой плотностью в области с малой плотностью соединений. На втором этапе используются алгоритмы трассировки по магистралям и канальной трассировки. При трассировке электрических связей распределение проводников в каналах производится по трассам, пространственное положение которых заранее определено. Расстояния между соседними трассами выбираются с учетом технологических ограничений, поэтому отпадает необходимость в контроле монтажа на соответствие технологическим ограничениям.

10 КОНСТРУКТИВНОЕ ОФОРМЛЕНИЕ И ЗАЩИТА МИКРОСХЕМ

10.1 Корпуса микросхем

Корпуса служат для защиты микросхем от механических, климатических и других воздействий. Важнейшие требования, которым должна отвечать конструкция корпуса, сводятся к следующему:

- а) защита микросхем от влияния окружающей среды и механических воздействий;
- б) поддержание чистоты и стабильности атмосферы, окружающей микросхему;
- в) обеспечение удобства и надежности монтажа;
- г) отвод тепла от микросхемы, размещенной внутри корпуса;
- д) обеспечение надежного электрического соединения контактных площадок микросхем с выводами корпуса;
- е) обеспечение надежного крепления корпуса при монтаже в аппаратуре.

Кроме того, конструкция корпуса должна иметь высокую надежность, обладать коррозионной и радиационной стойкостью, а также быть простой и экономичной в изготовлении.

Настоящее время разработано большое количество различных типов корпусов для микросхем, причем для обеспечения взаимозаменяемости и ограничения их номенклатуры проведена унификация этих типов. Это позволяет наладить их централизованное производство на специализированных предприятиях.

Корпуса микросхем классифицируют по форме и расположению выводов и по используемому для изготовления материалу. По форме проекции тела корпуса на плоскость основания корпуса подразделяются на пять типов (табл.10.1).

Таблица 10.1 – Типы корпусов микросхем по ГОСТ 17467-79

Тип	Подтипы	Форма проекции корпуса на плоскость основания	Расположение проекции выводов на плоскость основания	Расположение выводов относительно плоскости основания
1	11	Прямоугольная	В пределах проекции корпуса	Перпендикулярно, в один ряд
	12			Перпендикулярно, в два ряда
	13			Перпендикулярно, в три ряда и более
	14			Перпендикулярно по контуру прямоугольника
2	21	Прямоугольная	За пределами проекции корпуса	Перпендикулярно, в два ряда
	22			Перпендикулярно, в четыре ряда в шахматном порядке
3	31 32	Круглая Овальная	В пределах проекции корпуса.	Перпендикулярно, по окружности.
4	41	Прямоугольная	За пределами проекции корпуса	Параллельное, по двум противоположным сторонам
	42			Параллельное, по четырем сторонам
5		Прямоугольная	В пределах проекции корпуса	Перпендикулярно для боковых выводных площадок; в плоскости основания для нижних выводных площадок

Телом корпуса называют часть тела без выводов, ограниченную габаритными размерами; установочной плоскостью – плоскость, на которую устанавливаются корпуса микросхем; плоскостью основания корпуса – плоскость, проходящую через нижнюю точку корпуса параллельно установочной плоскости.

Корпуса микросхем, относящиеся к одному и тому же типу, могут разделяться по размерам и количеству выводов. По габаритным и присоединительным размерам типы корпусов делятся на типоразмеры, каждому из которых присваивается шифр, состоящий из номера подтипа и двузначного числа (01-99), означающий порядковый номер типоразмера.

В конструкторской документации корпусам присваиваются условные обозначения, содержащие слово «корпус», шифр типоразмера, цифровой индекс, определяющий число выводов, порядковый регистрационный номер разработки и указания на стандарт. Значительная часть используемых в настоящее время корпусов была разработана до введения в действие нового стандарта и обозначена согласно ГОСТ 17467-72, в котором не были предусмотрены подтипы и отсутствовали корпуса пятого типа. Далее приводятся обозначения типоразмеров согласно новому и старому стандартам.

Шаг расположения выводов корпуса устанавливается следующим: для корпусов второго типа 2,5 и 1,25 мм, для корпусов третьего типа угол между двумя соседними выводами составляет $360^\circ/n$ (n – число выводов), для корпусов пятого типа 1,25 мм. Каждому выводу пристраивается номер его позиции, т.е. номер местоположения вывода на выходе из тел корпуса. Нумерация выводов корпусов первого типа с расположением выводов в один ряд ведется от метки (ключа) корпуса в направлении слева направо. Для корпусов первого типа с выводами, расположенными по контуру прямоугольника, нумерация начинается от метки на корпусе по часовой стрелке. Нумерация в корпусах второго типа ведется от метки на корпусе слева направо, а во втором ряду продолжается слева направо. Ключом для первого и второго типа служит точка (выемка, углубление) на крышке корпуса. Для корпусов третьего типа

нумерация осуществляется от метки (выступ на основании корпуса) по часовой стрелке. В корпусах четвертого типа первый вывод расширен вблизи основания корпуса. От этого вывода нумерация ведется слева направо, а во втором ряду продолжается справа налево.

Некоторые микросхемы выпускаются в нестандартных корпусах, например «тропа», «трапеция», «акация», «посол», «вага», «кулон», «пенал».

В зависимости от материалов, используемых для изготовления корпусов, различают стеклянные (СТ), металлокстеклянные (МС), металлокерамические (МК), металло полимерные (МП), пластмассовые (ПЛ) и керамические (К) корпуса.

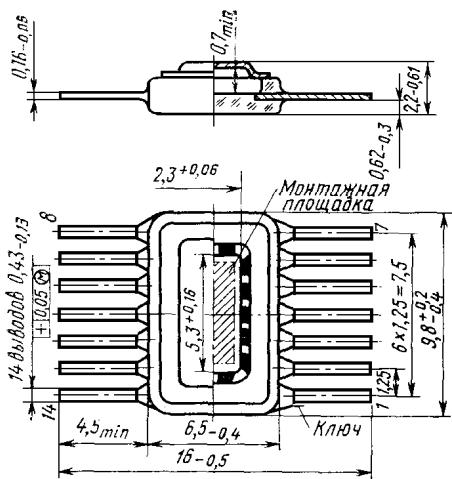


Рис.10.1 – Конструкция стеклянного корпуса 4105 (401.14-1)

штампованный фланец. Фланец и выводы изготавливаются из коваровой ленты 29НК. Выводы предварительно вырубают в виде общего блока (выводной рамки). Соединение фланца и выводов со стеклоизолятором производят методом горячего литья под давлением. Полученную отливку обжигают для

Стеклянными

называются корпуса, основания которых изготовлены из стекла со впаянными в стекло выводами. Крышки у таких корпусов могут быть как стеклянными, так и металлическими. На рис. 10.1 представлена конструкция плоского корпуса 4105 (401.14-1). Основание корпуса представляет собой таблетку, выполненную из стекла С49-2, в которую впаяны ленточные выводы и

удаления связи, а потом нагревают до образования металлостеклянного спая. Затем коваровые детали никелируют и золотят для получения надежных контактов электродных выводов с выводами корпуса. В выводной рамке имеются два отверстия, служащие для фиксации корпуса при проведении

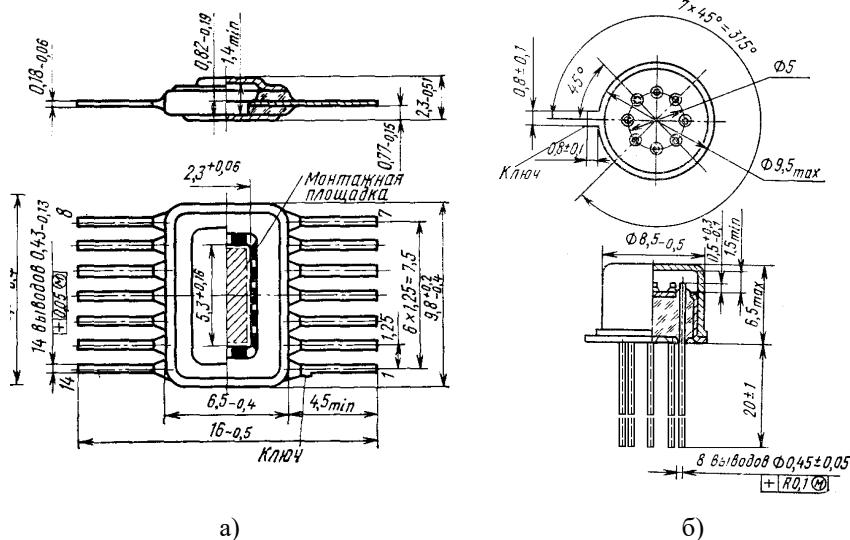


Рис.10.2 – Конструкции металлостеклянных корпусов 4105 (401.14-4) (а) и 3104 (302.8-1) (б)

сборочных операций. При сборке микросхем кристалл сначала монтируется на стеклянное основание, после чего осуществляется соединение контактных площадок кристалла и выводов корпуса. Присоединение электродных выводов производится методом термокомпрессионной или ультразвуковой сварки. Завершающей операцией сборки является герметизация корпуса, которая выполняется пайкой никелевой или коварной крышки к фланцу с помощью низкотемпературных припоев. После окончания сборки микросхем выводную рамку обрубают, оставляя выводы заданной длины.

К металлостеклянным корпусам относятся корпуса, изготовленные из металлического основания с выводами,

изолированными стеклом. Герметизация выводов в металлокстеклянных корпусах осуществляется стеклянными бусами или стеклотаблетками. Бусой изолируют каждый вывод в отдельности, стеклотаблеткой – группу выводов. В металлокстеклянном исполнении выпускаются корпуса – первого, третьего и четвертого типов. На рис. 10.2 представлены конструкции корпусов 4105 (401.14-4) и 3104 (302.8-1). Широко используемый корпус 3104 (302.8-1) состоит из баллона и ножки, которая получается сплавлением фланца и вывода со стеклотаблеткой. Фланец изготовлен из тонколистового ковара 29НК-Т, а выводы – из коваровой проволоки. Стеклотаблетку выполняют из стекла С49-2 литьем под давлением или прессованием, причем сборкой производят золочение ножки. В процессе сборки на ножку напаивают кристалл с помощью эвтектического сплава золото-кремний, а затем с помощью тонких золотых проводников присоединяют контактные площадки микросхем с выступающими концами выводов корпуса на ножке. Герметизацию корпуса производят контактной (конденсаторной) сваркой ножки с баллоном. Корпус такого типа вначале был разработан для транзисторов средней мощности, а затем усовершенствован для микросхем. Технология изготовления этих корпусов хорошо отработана, что в конечном итоге снижает стоимость герметизируемых в них микросхем. Однако при создании блоков микроэлектронной аппаратуры рассматриваемая конструкция не позволяет получить высокую степень упаковки.

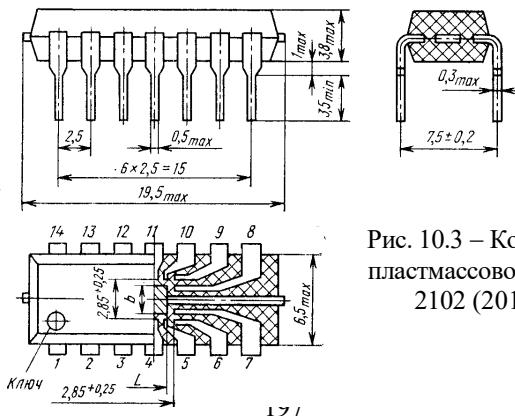


Рис. 10.3 – Конструкция пластмассового корпуса 2102 (201.14-1)

Пластмассовый корпус 2102 (201.14-1) показан на рис. 10.3. Основу конструкции корпуса составляет рамка с ленточными выводами. Рамку получают путем штамповки коваровой или никелевой ленты. На рамке имеются технологические перемычки, которые удаляются после герметизации. На выводах рамки, в местах присоединения проволочных выводов от микросхемы, напыляется золото. Для увеличения механической прочности кристалла и проволочных выводов структуру предварительно защищают пластичным компаундом. Окончательно микросхему герметизируют пластмассой.

Керамические корп-пуса (рис. 11.4) изготавливаются из керамики с герметизацией выводов стеклоэмалью или стеклоприпоеем.

В металлокерамических плоских корпусах основанием является керамическая подложка, а фланец и выводную рамку спаивают между собой керамическим материалом (рис. 10.5).

К металлополимерным крпусам относятся корпуса, в которых для защиты микросхем используется металлическая крышка, а выводы герметизируются заливкой компаундом. Металлополимерные корпуса применяются для герметизации толстопленочных и тонкопленочных гибридных микросхем.

Выбор того или иного типоразмера корпуса определяется в первую очередь требованиями к качеству герметизации, а также к электрической и механической прочности, тепловому сопротивлению, объему, массе и методу монтажа на печатной плате.

Стеклянные, металlostеклянные, керамические и металлокерамические корпуса обеспечивают вакуумно-плотную герметизацию в условиях длительного воздействия механических нагрузок, тропической влажности и изменения температуры окружающей среды от -60 до $+125$ $^{\circ}\text{C}$. Количественной оценкой качества является скорость натекания, которая в вакуумно-плотных корпусах составляет 10^{-7} – 10^{-8} $\text{см}^3/\text{с}$. При менее жестких условиях эксплуатации при изменении температуры окружающей среды от -60 до $+70$ $^{\circ}\text{C}$ и допустимой скорости натекания 10^{-4} – 10^{-5} $\text{см}^3/\text{с}$ целесообразно использовать более простые по конструкции и технологии

металлополимерные корпуса. Герметизацию микросхем, предназначенных для работы в обычных условиях (бытовая радиоэлектронная аппаратура, цифровые вычислительные и управляющие устройства промышленной электроники), можно производить с помощью пластмассовых корпусов. Герметичность таких корпусов достаточно низкая, что прежде всего обусловлено трудностью получения герметичного соединения между пластмассой и металлическими выводами, т.к. их коэффициенты термического расширения отличаются примерно на порядок.

Тепловое сопротивление корпуса зависит от используемых материалов, габаритных размеров и толщины корпуса. Для большинства корпусов микросхем первой степени интеграции тепловое сопротивления составляет $0,1\text{--}0,2^{\circ}\text{C}/\text{мВт}$.

Установка и монтаж корпусированных микросхем на печатных платах осуществляются методами пайки и сварки. Микросхему устанавливают на печатной плате чаще всего линейно-многорядным способом, т.е. в виде параллельных рядов на определенных расстояниях друг от друга, называемых шагами установки. Шаг установки микросхемы зависит от типа корпуса. Корпусированные микросхемы можно устанавливать на плату с зазором через диэлектрическую или теплоотводящую прокладку и вплотную. При перпендикулярной ориентации выводов микросхемы относительно площадки печатной платы закрепление выводов осуществляется с помощью монтажных отверстий.

Таблица 10.2 – Характеристики корпусов микросхем

Условное обозначение корпуса	Вариант исполнения	Масса, г, не более	Размеры монтажной площадки, мм	Герметичность, л·мкм/с
1203 (151.15-2)	MC	1,6	15,6×6,2	$5\cdot10^{-5}$
1210 (157.29-1)	MC	14	34,0×20,0	$5\cdot10^{-5}$
1206 (153.15-1)	MC	2,8	17,0×15,3	$5\cdot10^{-5}$
2106(201.16-17)	K	2,0	7,0×3,5	$5\cdot10^{-5}$
2123.40-4	MK	6,0	6,0×5,0	$5\cdot10^{-5}$
2205(244.48-11)	K	5,0	Ø8,0	$5\cdot10^{-5}$

3107. (301.12-1)	МС	3,0	$\varnothing 3,8$	$6 \cdot 10^{-6}$
4105 (401.14-3)	СТ	0,35	$4,9 \times 2,0$	$5 \cdot 10^{-5}$
4134 (413.48-1)	МС	2,2	$\varnothing 8$	$1 \cdot 10^{-5}$
4138. 42-2	МК	4,8	$10,7 \times 8,3$	$5 \cdot 10^{-5}$
«Тропа»	МП	1,5	$8,1 \times 8,1$	-
«Пенал»	МП	2,4	$20,1 \times 8,1$	-
«Акация»	МП	1,8	$16,1 \times 10,1$	-

В ряде случаев для учета требований, предъявляемых допустимыми радиусами изгиба, расстоянием изгиба от корпуса, технологией пайки и т.д., предусматривается специальная формовка выводов. Например, при установке микросхем в корпусах третьего типа возможны три варианта: с прямыми выводами (диаметр окружности выводов 5 мм), сформированными (диаметр окружности выводов 7,5 мм) и с перевернутым корпусом и формованными выводами (диаметр окружности 12,5 мм).

Технические характеристики некоторых корпусов приведены в табл. 10.2. Размеры корпуса определяются в основном размерами кристалла или платы, которые подлежат размещению в корпусе. Число выводов корпуса должно быть согласовано с числом внешних выводов от кристалла или платы. Допускается применять корпуса с большим, чем это необходимо по схеме, числом выводов. Металлостеклянные и металлокерамические корпуса могут играть роль экранов от внешних магнитных полей там, где это необходимо.

Микросхемы второй и выше степени интеграции размещают в корпусах больших размеров и с большим числом выводов. Широко используются керамические, металлокерамические и пластмассовые с двухрядным расположением выводов. Такие корпуса имеют удлиненную форму, т.к. в них необходимо разместить с установленным шагом большое число выводов.

10.2 Защита поверхности кристалла бескорпусных микросхем

Применение микросхем первой степени интеграции в микроэлектронной аппаратуре приводит к значительной потере полезного объема и увеличению массы блока за счет индивидуальных корпусов микросхем. Использование такого вида элементной базы вполне оправдано при не очень строгих требованиях, предъявляемых к массе и габаритным размерам устройства. Однако при разработке ряда радиоэлектронной аппаратуры (авиационной, космической и др.) вопросы всестороннего учета массы, объема и надежности являются определяющими. В такой аппаратуре в качестве элементной базы применяются гибриды БИС, навесными элементами которых являются бескорпусные полупроводниковые микросхемы.

При хранении, транспортировке, а также во время проведения сборочных операций гибридных БИС поверхность кристалла бескорпусной микросхемы подвержена воздействию окружающей среды. Вследствие адсорбции газов и влаги поверхностью полупроводника изменяются его электрофизические свойства (поверхностная проводимость, поверхностная рекомбинация, поверхностный заряд и др.). Изменение состояния поверхности оказывает сильное влияние на электрические параметры и характеристики микросхемы. Поэтому необходима защита поверхности кристалла от внешних воздействий. Следует отметить, что поверхность кристаллов бескорпусных микросхем, изготавляемых по планарной технологии, защищена окисной пленкой или пленкой нитрида кремния. Однако эти покрытия являются тонкими и могут легко повреждаться в процессе транспортировки или на стадиях сборки гибридных БИС. Кроме того, в защите нуждаются и другие элементы микросхем, в частности электроды и межсоединения. Поэтому производят дополнительную защиту микросхемы пленками из органических компаундов или легкоплавких стекол.

Материалы, применяемые для защиты поверхности кристаллов микросхем, должны иметь хорошие диэлектрические свойства, быть термостойкими и холодостойкими, обладать хорошей адгезией с металлами и поверхностью кристалла, иметь низкую влагопоглащаемость, обладать малой химической активностью, иметь коэффициенты термического расширения (КТР), близкие к соответствующему коэффициенту полупроводника. Широкое применение для защиты поверхности кристаллов от окружающей среды получили обволакивающие полимеры: кремнийорганические компаунды; эпоксидные компаунды; эмали; лаки. Эти покрытия плотно сцепляются с поверхностью полупроводника и предотвращают доступ водяных паров, кислорода и других веществ.

Более перспективным является метод защиты микросхем тонкими пленками стекол. Стекла имеют высокую влагостойкость и обладают хорошими стабилизирующими свойствами. Защиты бескорпусных микросхем применяют боросиликатные стекла, а также свинцоборосиликатные, халькогенидные и др. Для предотвращения химического взаимодействия стекла с металлом коммутации перед нанесением пленки стекла на коммутацию осаждают буферный слой. Таким слоем может, например, служить пленка SiO_2 , полученная методом пиролиза.

ЛИТЕРАТУРА

1. Березин А.С., Мочалкина О.Р. Технология и конструирование интегральных схем. – М.: Радио и связь, 1992. – 320 с.
2. Конструирование и технология микросхем / Под ред. Л.А. Коледова. М.: Высшая школа, 1984. – 231 с.
3. Коледов Л.А. Технология и конструкции микросхем, микропроцессоров и микросборок. – М.: Радио и связь, 1989. – 400 с.
4. Матсон Э.А. Конструкции и технология микросхем. – Минск, Высшая школа, 1985. – 207 с.
5. Матсон Э.А., Крыжановский Д.В. Справочное пособие по конструированию микросхем. – Минск, Высшая школа, 1982. – 224 с.
6. Пономарев М.Ф. Конструирование и расчет интегральных схем. – М.: Радио и связь, 1982.
7. Пономарев М.Ф. , Коноплев Б.Г. Конструирование и расчет микросхем и микропроцессоров. – М.: Радио и связь, 1986.–176 с.
8. Николаев И.М., Филинук Н.А. Микроэлектронные устройства и основы их проектирования. – М.: Энергия, 1979. – 336 с.
9. Николаев И.М., Филинук Н.А. Интегральные микросхемы и основы их проектирования. – М.: Радио и связь, 1992. – 424 с.
10. Калнибоготский Ю.М., Королев Ю.В., Богдан Г.И., Рогоза В.С. Расчет и конструирование микросхем. – Киев: Высшая школа, 1983. – 279 с.
11. Черняев В.Н. Технология производства интегральных микросхем и микропроцессоров. – М.: Радио и связь, 1987. – 464 с.
12. Микроэлектроника / Под ред. Л.А. Коледова. Кн. 2. Полупроводниковые интегральные микросхемы / Г.Г. Казенов, В.Я. Кремлев. – М.: Высшая школа, 1987. – 144 с.
13. Микроэлектроника / Под ред. Л.А. Коледова. Кн. 3. Базовые матричные кристаллы и программируемые логические

матрицы / М.Ф. Пономарев, Б.Г. Коноплев. – М.: Высшая школа, 1987. – 94 с.

14. Проектирование топологии матричных БИС / Под. Ред. Г.Г. Казенова. – М.: Высшая школа, 1990. – 112 с