



Томский государственный
университет систем управления и
радиоэлектроники

Д.В.Озёркин

СХЕМОТЕХНИКА ЧАСТЬ 3

Учебное пособие для студентов специальности 160905 –
«Техническая эксплуатация
транспортного радиооборудования»



ТОМСК 2012

Министерство образования и науки РФ

ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
СИСТЕМ УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ (ТУСУР)

УТВЕРЖДАЮ
Заведующий кафедрой КИПР
В.Н. ТАТАРИНОВ

_____ “ ____ ” _____ 20__ г.

Д.В.Озёркин

СХЕМОТЕХНИКА ЧАСТЬ 3

Учебное пособие для студентов специальности 160905 –
«Техническая эксплуатация
транспортного радиооборудования»

2012

Рецензент: профессор кафедры КИПР ТУСУР, д.т.н. Татаринов В.Н.

Технический редактор: доцент кафедры КИПР ТУСУР, к.т.н. Озёркин Д.В.

Озёркин Д.В.

Схемотехника. Часть 3. Учебное пособие для студентов специальности 160905 – «Техническая эксплуатация транспортного радиооборудования».

Томск: Томский государственный университет систем управления и радиоэлектроники, 2012. – 152 с.

Настоящее учебное пособие предназначено для изучения студентами специальности 160905 – «Техническая эксплуатация транспортного радиооборудования» заключительной (третьей) части дисциплины «Схемотехника».

В первой главе учебного пособия рассмотрены основные структуры и виды полупроводниковой памяти. Во второй главе акцент уделяется рассмотрению разновидностей сумматоров. Проблемы синхронизации сложных современных цифровых устройств, работающих на высоких тактовых частотах, разобраны в третьей главе. В четвертой главе рассматриваются генераторы с кварцевыми резонаторами, как устройства, широко применяемые для тактирования современных цифровых устройств. Кроме того, разобраны наиболее распространенные представители релаксационных генераторов: мультивибраторы и одновибраторы. Особое внимание уделено счетчикам с недвоичным кодированием «1 из N », как устройствам, применяемым для распределения уровней и импульсов. Из большой номенклатуры существующих устройств управления микросхемами в пятой главе рассмотрены логические расширители, преобразователи уровней, детекторы фронтов, а также интерфейсные и периферийные адаптеры.

© Озёркин Д.В., 2012

© Томский государственный университет систем управления и радиоэлектроники, 2012

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	5
1 ЗАПОМИНАЮЩИЕ УСТРОЙСТВА	6
1.1 Основные сведения. Система параметров. Классификация	6
1.2 Основные структуры запоминающих устройств	11
1.3 Запоминающие устройства типа ROM.....	16
1.4 Flash-память	22
1.5 Статические запоминающие устройства	27
1.6 Динамические запоминающие устройства	31
2 АРИФМЕТИКО-ЛОГИЧЕСКИЕ УСТРОЙСТВА	38
2.1 Назначение и основные параметры.....	38
2.2 Сумматоры	40
2.2.1 Алгоритм двоичного сложения	40
2.2.2 Классификация сумматоров.....	42
2.2.3 Двоичный полусумматор.....	43
2.2.4 Одноразрядный сумматор	44
2.2.5 Многоразрядный сумматор параллельного действия	45
2.2.6 Многоразрядный сумматор последовательного действия..	46
2.3 Повышение быстродействия сумматоров.....	49
2.3.1 Сумматоры с параллельным переносом	49
2.3.2 Сумматоры с групповой структурой.....	52
2.4 Алгоритм вычитания двоичных чисел.....	55
2.5 Реализация операций арифметического сложения и вычитания.....	56
2.6 Двоично-десятичные сумматоры.....	58
2.7 Выполнение логических операций.....	60
2.8 Интегральные схемы АЛУ	62
2.9 Выполнение операций арифметического умножения	64
3 УСТРОЙСТВА СИНХРОНИЗАЦИИ	68
3.1 Основные виды синхронизации.....	68
3.2 Применение триггеров в устройствах синхронизации.....	77

3.2.1	Синхронизаторы одиночных импульсов	77
3.2.2	Ввод асинхронных данных.....	78
3.2.3	Генераторы вторичных синхросигналов	78
3.3	Устройства коррекции временного положения синхросигналов.....	79
4	УСТРОЙСТВА ТАКТИРОВАНИЯ.....	85
4.1	Генераторы с кварцевыми резонаторами.....	85
4.2	Мультивибраторы	89
4.2.1	Мультивибраторы на транзисторах.....	90
4.2.2	Мультивибраторы на специализированных интегральных микросхемах.....	95
4.2.3	Мультивибраторы на логических элементах	97
4.3	Формирователи импульсов	101
4.3.1	Формирователи импульсов на логических элементах	101
4.3.2	Таймеры.....	103
4.4	Распределители тактов.....	106
4.4.1	Счетчики в коде «1 из N »	108
4.4.2	Счетчики в коде «1 из N » на основе счетчиков Джонсона.....	111
5	УСТРОЙСТВА УПРАВЛЕНИЯ МИКРОСХЕМАМИ	115
5.1	Логические расширители	115
5.2	Преобразователи уровней.....	117
5.3	Разностные преобразователи и детекторы событий (фронтов).....	126
5.4	Интерфейсные и периферийные микросхемы	132
5.4.1	Шинные формирователи	132
5.4.2	Буферные регистры.....	134
5.4.3	Параллельные периферийные адаптеры.....	136
5.4.4	Программируемые связные адаптеры.....	143
	СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ	152

ВВЕДЕНИЕ

Дисциплина СД.05 «Схемотехника» относится к разряду федеральных компонентов, предусмотренных Государственным образовательным стандартом ГОС ВПО 653300 «Эксплуатация транспорта и транспортного радиооборудования». В рамках специальности 160905 – «Техническая эксплуатация транспортного радиооборудования» СД.05 «Схемотехника» изучается в течение трех семестров и поэтому состоит из трех частей. СД.05 «Схемотехника» базируется на ранее изученных дисциплинах:

- ОПД.Ф.04.01 «Теоретические основы электротехники»;
- ОПД.Ф.04.02 «Общая электротехника и электроника».

Настоящее учебное пособие предназначено для изучения студентами заключительной (третьей) части дисциплины, в частности, следующих дидактических единиц, предусмотренных ГОС ВПО 653300:

- запоминающие устройства;
- арифметико-логические устройства;
- устройства синхронизации;
- устройства тактирования;
- устройства управления микросхемам.

Для каждой из дидактических единиц в пособии отводится отдельная глава объемом около 30 страниц. На взгляд автора такой объем является минимально достаточным для усвоения. Для более полного изучения можно воспользоваться источниками, приведенными в списке литературы, например [1, 2].

В первой главе учебного пособия рассмотрены основные структуры (2D, 3D, 2DM) и виды (ПЗУ, ОЗУ и пр.) полупроводниковой памяти. Во второй главе акцент уделяется рассмотрению разновидностей сумматоров, которые являются, по сути, аппаратными ядрами арифметико-логических устройств. Проблемы синхронизации сложных современных цифровых устройств, работающих на высоких тактовых частотах, разобраны в третьей главе. Там же приведены несколько структурных схем устройств синхронизации. В четвертой главе рассматриваются генераторы с кварцевыми резонаторами, как устройства, широко применяемые для тактирования современных цифровых устройств. Кроме того, разобраны наиболее распространенные представители релаксационных генераторов: мультивибраторы и одновибраторы. Особое внимание уделено счетчикам с недвоичным кодированием «1 из N», как устройствам, применяемым для распределения уровней и импульсов. Из большой номенклатуры существующих устройств управления микросхемами в пятой главе рассмотрены логические расширители, преобразователи уровней, детекторы фронтов, а также интерфейсные и периферийные адаптеры.

1 ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

1.1 Основные сведения. Система параметров. Классификация

Запоминающие устройства (ЗУ) служат для хранения информации и обмена ею с другими цифровыми устройствами (ЦУ). Микросхемы памяти в общем объеме выпуска интегральных микросхем (ИС) занимают около 40% и играют важнейшую роль во многих системах различного назначения. Микросхемы и системы памяти постоянно совершенствуются как в области схемотехнологии, так и в области развития новых архитектур. В настоящее время созданы и используются десятки различных типов ЗУ.

Важнейшие параметры ЗУ находятся в противоречии. Так, например, большая информационная емкость не сочетается с высоким быстродействием, а быстродействие в свою очередь не сочетается с низкой стоимостью. Поэтому системам памяти свойственна *многоступенчатая иерархическая структура*, и в зависимости от роли того или иного ЗУ его реализация может быть существенно различной.

В наиболее развитой иерархии памяти ЭВМ можно выделить следующие уровни:

- *регистровые ЗУ*, находящиеся в составе процессора или других устройств (т.е. внутренние для этих блоков), благодаря которым уменьшается число обращений к другим уровням памяти, реализованным вне процессора и требующим большего времени для операций обмена информацией;

- *кэш-память*, служащая для хранения копий информации, используемой в текущих операциях обмена. Высокое быстродействие кэш-памяти повышает производительность ЭВМ;

- *основная память* (оперативная, постоянная, полупостоянная), работающая в режиме непосредственного обмена с процессором и по возможности согласованная с ним по быстродействию. Исполняемый в текущий момент фрагмент программы обязательно находится в основной памяти;

- *специализированные* виды памяти, характерные для некоторых специфических архитектур (многопортовые, ассоциативные, видеопамять и др.);

- *внешняя память*, хранящая большие объемы информации. Эта память обычно реализуется на основе устройств с подвижным носителем информации (магнитные и оптические диски, магнитные ленты и др.).

Рассмотрим важнейшие параметры ЗУ.

Информационная емкость – максимально возможный объем хранимой информации. Выражается в битах или словах (в частности, в байтах). Бит хранится запоминающим элементом (ЗЭ), а слово – запоминающей ячейкой (ЗЯ), т.е. группой ЗЭ, к которым возможно лишь одновременное обращение. Добавление к единице измерения множителя «К» (кило) означает умножение на $2^{10} = 1024$, а множителя «М» (мега) – умножение на $2^{20} = 1048576$.

Организация ЗУ – произведение числа хранимых слов на их разрядность. Видно, что это дает информационную емкость ЗУ, однако при одной и той же информационной емкости организация ЗУ может быть различной, так что организации является самостоятельным важным параметром.

Быстродействие (производительность) ЗУ оценивают временами считывания, записи и длительностями циклов чтения/записи. *Время считывания* – интервал между моментами появления сигнала чтения и слова на выходе ЗУ. *Время записи* – интервал после появления сигнала записи, достаточный для установления ЗЯ в состояние, задаваемое входным словом. Минимально допустимый интервал между последовательными чтениями или записями образует соответствующий цикл. Длительности циклов могут превышать времена чтения или записи, т.к. после этих операций может потребоваться время для восстановления необходимого начального состояния ЗУ.

Время чтения, записи и длительности циклов – традиционные параметры. Для некоторых современных ЗУ они должны быть дополнены новыми. Причиной является более сложный характер доступа к хранимым данным, когда обращение к первому слову некоторой группы слов (пакета) требует большего времени, чем обращение к последующим. Для таких режимов вводят параметр *времени доступа при первом обращении* и *темпа передач* для последующих слов пакета. Темп передач в свою очередь оценивается двумя значениями – *предельным* (внутри пакета) и *усредненным*. С уменьшением пакета усредненный темп снижается, все более отличаясь от предельного.

Помимо указанных основных параметров для ЗУ указывают еще целый набор временных интервалов. Перечисленные выше динамические параметры являются *эксплуатационными* (измеряемыми). Кроме них, существует ряд *режимных параметров*, обеспечение которых необходимо для нормального функционирования ЗУ, поскольку оно имеет несколько сигналов управления, для которых должно быть обеспечено определенное взаимное расположение во времени. Для этих сигналов задаются длительности и ограничения по взаимному положению во времени.

Один из возможных наборов сигналов ЗУ (рисунок 1.1, а) включает следующие сигналы:

- A – адрес, разрядность которого n определяется числом ячеек ЗУ, т.е. максимально возможным числом хранимых в ЗУ слов. Для ЗУ типично число ячеек, выражаемое целой степенью числа 2. Адрес является номером ячейки, к которой идет обращение. Очевидно, что разрядность адреса связана с числом хранимых слов N соотношением $n = \log_2 N$ (имеется в виду максимально возможное число хранимых слов). Например, ЗУ с информационной емкостью 64К слов имеет 16-разрядные адреса, выражаемые словами:

$$A = A_{15}A_{14}A_{13}...A_0;$$

- \overline{CS} – (Chip Select) или \overline{CE} (Chip Enable), который разрешает или запрещает работу данной микросхемы;

- R/W – (Read/Write) задает выполняемую операцию (при единичном значении – чтение, при нулевом – запись);

- DI и DO – (Data Input) и (Data Output) – шины входных и выходных данных, разрядность которых m определяется организацией ЗУ (разрядностью его ячеек). В некоторых ЗУ эти линии объединены.

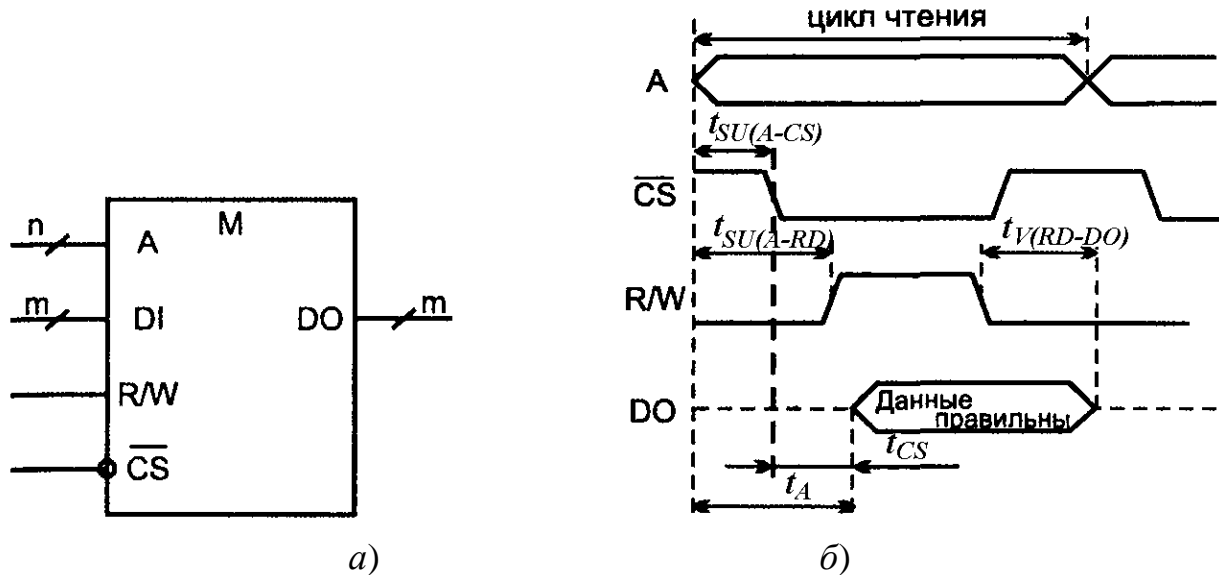


Рисунок 1.1 – Типичные сигналы ЗУ (а) и их временные диаграммы (б)

Требования к взаимному временному положению двух сигналов (A и B) задаются временами предустановки, удержания и сохранения.

Время предустановки сигнала A относительно сигнала B обозначается $t_{SU(A-B)}$ и является интервалом между началами обоих сигналов.

Время удержания обозначается $t_{H(A-B)}$ и является интервалом между началом сигнала A и окончанием сигнала B .

Время сохранения обозначается $t_{V(A-B)}$ и является интервалом между окончанием сигнала A и окончанием сигнала B .

Длительности сигналов обозначаются как t_W (индекс от слова Width – ширина).

Для ЗУ характерна следующая последовательность сигналов. Прежде всего, подается адрес, чтобы последующие операции не коснулись какой-либо другой ячейки, кроме выбранной. Затем разрешается работа микросхемы сигналом \overline{CS} (\overline{CE}) и подается строб чтения/записи R/W (взаимное положение сигналов \overline{CS} и R/W для равных ЗУ может быть различным). Если задана, например, операция чтения, то после подачи перечисленных сигналов ЗУ готовит данные для чтения, что требует определенного времени. Задний фронт сигнала R/W , положение которого во времени должно обеспечивать установление правильных данных на выходе ЗУ, считывает данные.

Пример временной диаграммы для рассмотренного набора сигналов ЗУ и операции чтения приведен на рисунке 1.1, б.

Индексом A (от слова Access) обозначаются согласно стандарту времена доступа – интервалы времени от появления того или иного управляющего

сигнала до появления информационного сигнала на выходе. *Время доступа относительно сигнала адреса* обозначается, если следовать правилу, как $t_{A(A)}$, но часто просто как t_A . Аналогично этому, *время доступа относительно сигнала \overline{CS}* , т.е. $t_{A(CS)}$ часто обозначается просто как t_{CS} . Время t_A называют также временем выборки, а время t_{CS} – временем выбора.

Кроме отмеченных параметров для ЗУ используется и ряд других (уровни напряжений, токи, емкости выводов, температурный диапазон и т.д.), которые не требуют специального рассмотрения, т.к. они традиционны для цифровой схемотехники. Исключение составляет *свойство энергонезависимости*, т.е. способность ЗУ сохранять данные при отключении напряжения питания. Энергонезависимость может быть естественной, т.е. присущей самим ЗУ, или искусственной, достигаемой введением резервных источников питания, автоматически подключаемых к накопителю ЗУ при снятии основной питания.

Рассмотрим классификацию ЗУ.

Для классификации ЗУ (рисунок 1.2) важнейшим признаком является способ доступа к данным.

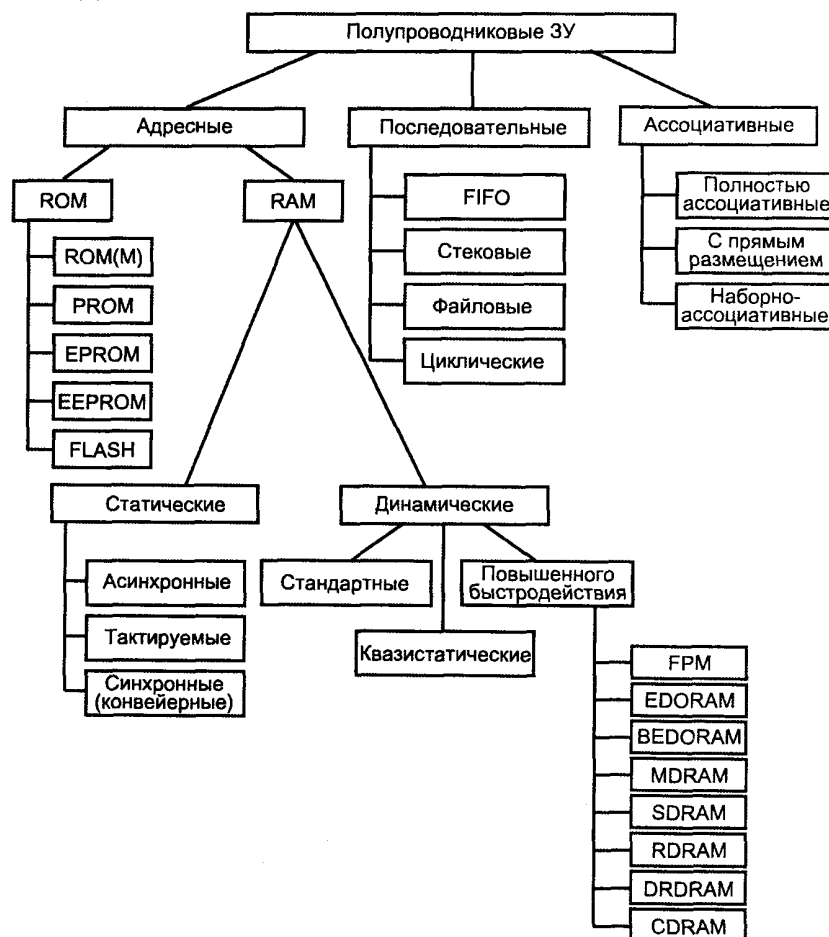


Рисунок 1.2 – Классификация полупроводниковых ЗУ

При адресном доступе код на адресном входе указывает ячейку, с которой ведется обмен. Все ячейки адресной памяти в момент обращения равно-

доступны. Эти ЗУ наиболее разработаны, и другие виды памяти часто строят на основе адресной с соответствующими модификациями.

Адресные ЗУ делятся на RAM (Random Access Memory) и ROM (Read-Only Memory). Русские синонимы термина RAM – ОЗУ (оперативные ЗУ) или ЗУПВ (ЗУ с произвольной выборкой). Оперативные ЗУ хранят данные, участвующие в обмене при исполнении текущей программы, которые могут быть изменены в произвольный момент времени. Запоминающие элементы ОЗУ, как правило, не обладают энергонезависимостью.

В ROM (русский эквивалент – ПЗУ, т.е. постоянные ЗУ) содержимое либо вообще не изменяется, либо изменяется, но редко и в специальном режиме. Для рабочего режима это «память только для чтения».

RAM делятся на статические и динамические. В первом варианте запоминающими элементами являются триггеры, сохраняющие свое состояние, пока схема находится под питанием, и нет новой записи данных. Во втором варианте данные хранятся в виде зарядов конденсаторов, образуемых элементами МОП-структур (металл-оксид-полупроводник). Саморазряд конденсаторов ведет к разрушению данных, поэтому они должны периодически (каждые несколько миллисекунд) регенерироваться. В то же время плотность упаковки динамических элементов памяти в несколько раз превышает плотность упаковки, достижимую в статических RAM.

Регенерация данных в динамических ЗУ осуществляется с помощью специальных контроллеров. Разработаны также ЗУ с динамическими запоминающими элементами, имеющие внутреннюю встроенную систему регенерации, у которых внешнее поведение относительно управляющих сигналов становится аналогичным поведению статических ЗУ. Такие ЗУ называют *квазистатическими*.

Статические ЗУ называются SRAM (Static RAM), а динамические – DRAM (Dynamic RAM).

Динамические ЗУ характеризуются наибольшей информационной емкостью и невысокой стоимостью, поэтому именно они используются как основная память ЭВМ. Поскольку от этой памяти требуется высокое быстродействие, разработаны многочисленные архитектуры повышенного быстродействия, перечисленные в классификации.

Статические ЗУ в 4...5 раз дороже динамических и приблизительно во столько же раз меньше по информационной емкости. Их достоинством является высокое быстродействие, а типичной областью использования – схемы кэш-памяти.

В ЗУ с *последовательным доступом* записываемые данные образуют некоторую очередь. Считывание происходит из очереди слово за словом либо в порядке записи, либо в обратном порядке. Моделью такого ЗУ является последовательная цепочка ЗЭ, в которой данные передаются между соседними элементами.

Ассоциативный доступ реализует поиск информации по некоторому признаку, а не по ее расположению в памяти (адресу или месту в очереди). В

наиболее полной версии все хранимые в памяти слова одновременно проверяются на соответствие признаку, например, на совпадение определенных полей слов (тегов – от английского слова tag) с признаком, задаваемым входным словом (теговым адресом). На выход выдаются слова, удовлетворяющие признаку. Дисциплина выдачи слов, если тегу удовлетворяют несколько слов, а также дисциплина записи новых данных могут быть разными. Основная область применения ассоциативной памяти в современных ЭВМ – кэширование данных.

1.2 Основные структуры запоминающих устройств

Адресные ЗУ представлены в классификации статическими и динамическими оперативными устройствами и памятью типа ROM. Многочисленные варианты этих ЗУ имеют много общего с точки зрения структурных схем, что делает более рациональным не конкретное рассмотрение каждого ЗУ в полном объеме, а изучение некоторых обобщенных структур с последующим описанием запоминающих элементов для различных ЗУ.

Общность структур особенно проявляется для статических ОЗУ и памяти типа ROM. Для статических ОЗУ и памяти типа ROM наиболее характерны структуры 2D, 3D и 2DM.

Структура 2D.

В структуре 2D (рисунок 1.3) запоминающие элементы ЗЭ организованы в прямоугольную матрицу размерностью $M = k \times m$, где M – информационная емкость памяти в битах; k – число хранимых слов; m – их разрядность.

Дешифратор адресного кода DC при наличии разрешающего сигнала CS (Chip Select – сигнала выбора микросхемы) активизирует одну из выходных линий, разрешая одновременный доступ ко всем элементам выбранной строки, хранящей слово, адрес которого соответствует номеру строки. Элементы одного столбца соединены вертикальной линией – внутренней линией данных (разрядной линией, линией записи/считывания). Элементы столбца хранят одноименные биты всех слов. Направление обмена определяется усилителями чтения/записи под воздействием сигнала R/W (Read – чтение, Write – запись).

Структура типа 2D применяется лишь в ЗУ малой информационной емкости, т.к. при росте емкости проявляется несколько ее недостатков, наиболее очевидным из которых является чрезмерное усложнение дешифратора адреса (число выходов дешифратора равно числу хранимых слов).

Структура 3D.

Структур 3D позволяет резко упростить дешифраторы адреса с помощью двухкоординатной выборки запоминающих элементов. Принцип двухкоординатной выборки поясняется (рисунок 1.4, а) на примере ЗУ типа ROM, реализующего только операцию чтения данных.

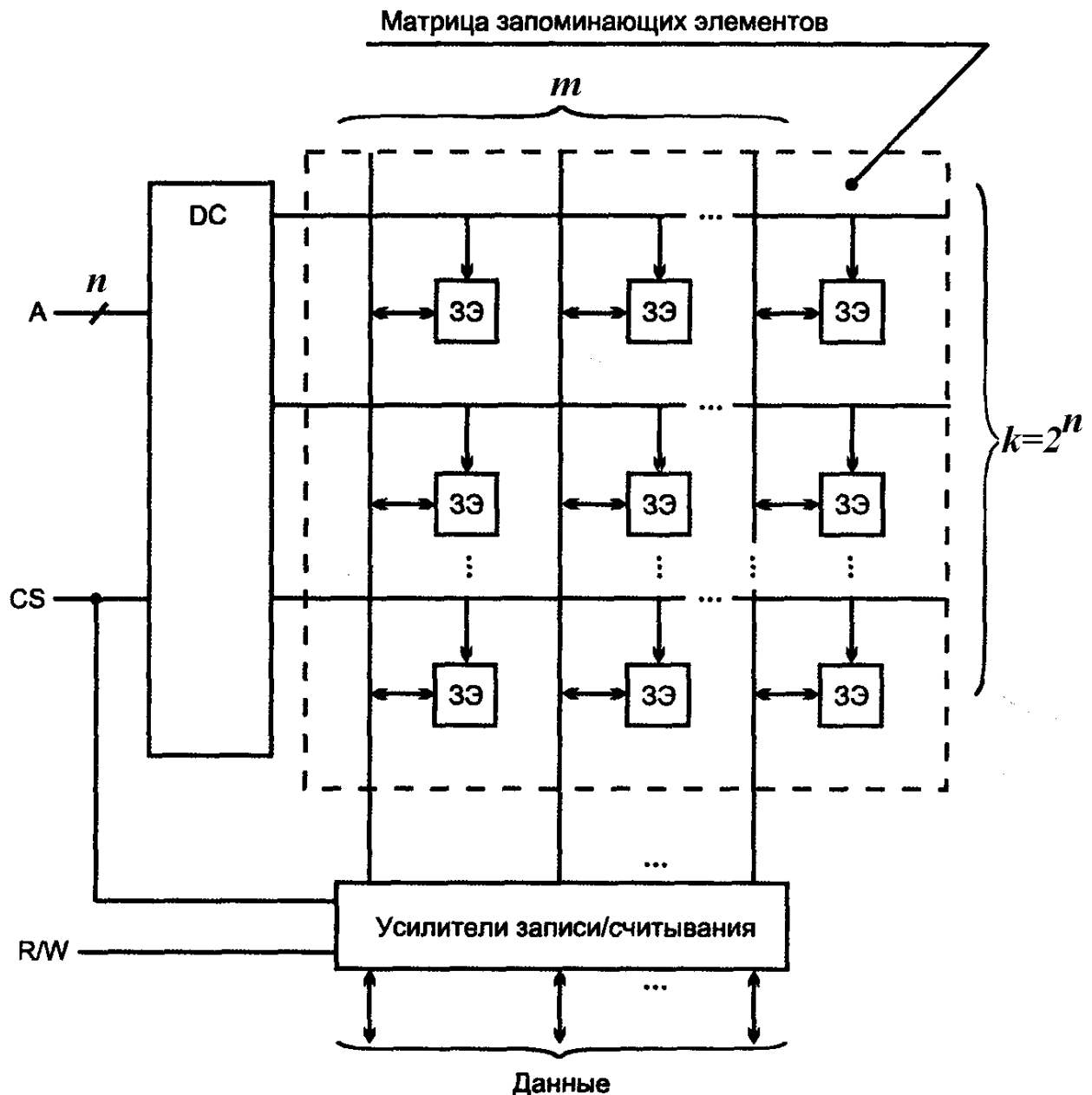


Рисунок 1.3 – Структура ЗУ типа 2D

Здесь код адреса разрядностью n делится на две половины, каждая из которых декодируется отдельно. Выбирается запоминающий элемент, находящийся на пересечении активных линий выходов обоих дешифраторов. Таких пересечений будет:

$$2^{n/2} \times 2^{n/2} = 2^n.$$

Суммарное число выходов обоих дешифраторов составляет:

$$2^{n/2} + 2^{n/2} = 2^{n/2+1},$$

что гораздо меньше, чем 2^n при реальных значениях n . Уже для ЗУ небольшой емкости видна эта существенная разница: для структуры 2D при хранении 1К слов потребовался бы дешифратор с 1024 выходами, тогда как для структуры типа 3D нужны два дешифратора с 32 выходами каждый. Недо-

статком структуры 3D в первую очередь является усложнение элементов памяти, имеющих двухкоординатную выборку.

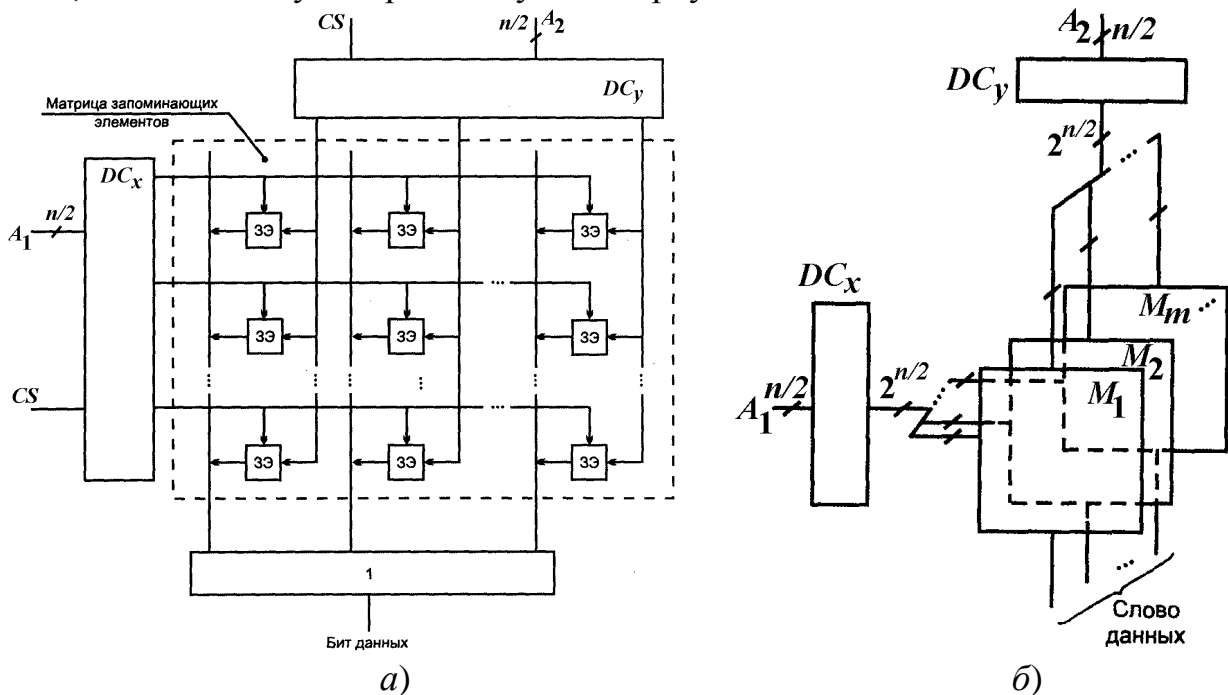


Рисунок 1.4 – Структура ЗУ типа 3D с одноразрядной (а) и многоразрядной (б) организацией

Структура типа 3D, показанная на рисунке 1.4, а для ЗУ с одноразрядной организацией, может применяться и в ЗУ с многоразрядной организацией (рисунок 1.4, б), приобретая при этом «трехмерный» характер. В этом случае несколько матриц управляются от двух дешифраторов, относительно которых они включены параллельно. Каждая матрица выдает один бит адресованного слова, а число матриц равно разрядности хранимых слов.

Структуры типа 3D имеют также довольно ограниченное применение, поскольку в структурах типа 2DM (2D модифицированная) сочетаются достоинства обеих рассмотренных структур – упрощается дешифрация адреса и не требуются запоминающие элементы с двухкоординатной выборкой.

Структура 2DM.

ЗУ типа ROM (рисунок 1.5, а) структуры 2DM для матрицы запоминающих элементов с адресацией от дешифратора DC_x имеет как бы характер структуры 2D: возбужденный выход дешифратора выбирает целую строку. Однако в отличие от структуры 2D, длина строки не равна разрядности хранимых слов, а многократно ее превышает. При этом число строк матрицы уменьшается и, соответственно, уменьшается число выходов дешифратора. Для выбора одной из строк служат не все разряды адресного кода, а их часть $A_{n-1} \dots A_k$. Остальные разряды адреса (от A_{k-1} до A_0) используются, чтобы выбрать необходимое слово из того множества слов, которое содержится в строке. Это выполняется с помощью мультиплексоров, на адресные входы кото-

рых подаются коды $A_{k-1} \dots A_0$. Длина строки равна $m2^k$, где m – разрядность хранимых слов. Из каждого «отрезка» строки длиной 2^k мультиплексор выбирает один бит. На выходах мультиплексоров формируется выходное слово. По разрешению сигнала CS , поступающего на входы OE управляемых буферов с тремя состояниями, выходное слово передается на внешнюю шину.

На рисунке 1.5, б в более общем виде структура 2DM показана для ЗУ типа RAM с операциями чтения и записи. Из матрицы M по-прежнему считывается «длинная» строка.

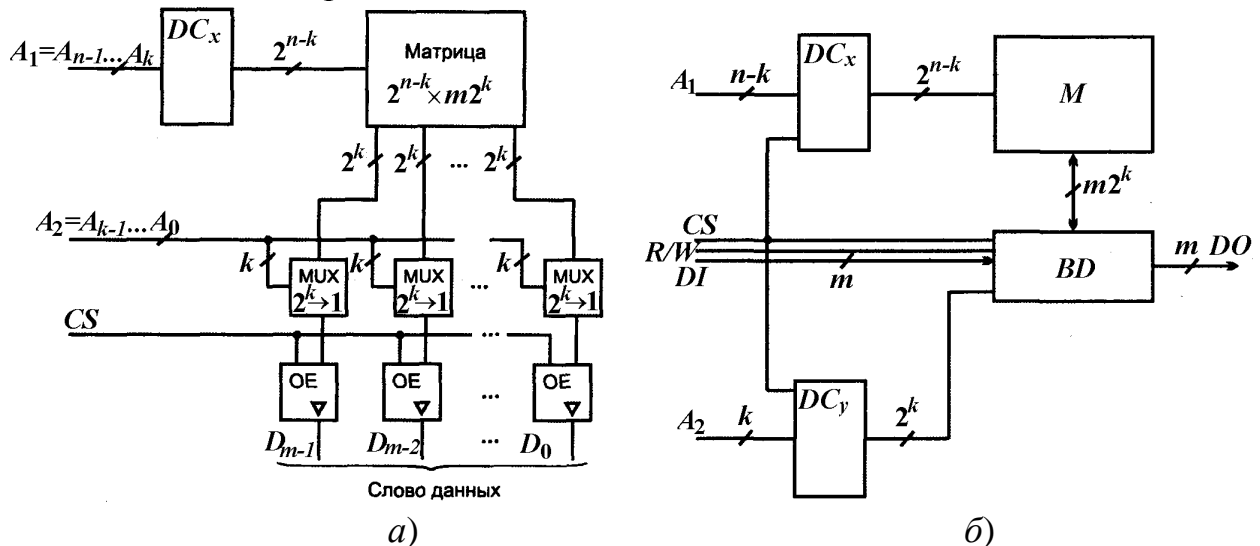


Рисунок 1.5 – Структура ЗУ типа 2DM для ROM (а) и для RAM (б)

Данные и нужный отрезок этой строки записываются (или считываются из нее) управляемыми буферами данных BD , воспринимающими выходные сигналы второго дешифратора DC_y , и выполняющими не только функции мультиплексирования, но и функции изменения направления передачи данных под воздействием сигнала R/W .

Память с последовательным доступом.

Память с последовательным доступом строится либо с использованием продвижения данных в цепочке элементов (по подобию с регистрами сдвига), либо с хранением данных в адресном ЗУ с необходимым управлением адресом доступа.

Основными представителями этого вида памяти являются видеопамять, буфер FIFO и стек.

Рассмотрим более подробно видеопамять.

Видеопамять работает циклично, на ее выходе последовательно в порядке сканирования экрана монитора лучом появляются коды, задающие параметры светимости (цвет, яркость) элементарных точек экрана – пикселей. Текущее изображение на мониторе – кадр – представлено последовательностью слов, длина которой равна числу пикселей экрана. Слово, соответствующее одному пикселу, может иметь разрядность от 8 (для черно-белых мониторов) до 32 (для полноцветного режима).

При реализации на основе адресной памяти циклический доступ к данным обеспечивается счетчиком адреса с модулем, равным числу запоминаемых слов. При считывании после каждого обращения адрес увеличивается на единицу, обеспечивая последовательное обращение ко всем ячейкам ЗУ. При переполнении счетчика формируется сигнал начала кадра для управления монитором (для запуска кадровой синхронизации). Запись возможна в пакетном режиме или режиме одиночных записей. В первом случае сигнал переполнения счетчика и его переход на начальный адрес являются сигналом начала передачи блока данных из основной памяти или видеобуфера. Во втором случае адрес изменяемой ячейки (номер пиксела) и данные сохраняются в буфере, а в момент совпадения этого адреса и содержимого счетчика выполняется один цикл записи нового слова. Все остальное время ЗУ работает обычным образом.

Построение циклических ЗУ с продвижением информации (рисунок 1.6) показано с представлением элементов хранения и перезаписи данных в виде статических регистров.

При считывании выбран нижний канал мультиплексора *MUX* и записанные данные постоянно переписываются с выхода на вход цепочки запоминающих элементов. В последовательность данных вводятся специальные коды синхросигналов (кадровых и строчных, но на рисунке 1.6 для пояснения принципа показан только кадровый). Появление кода синхросигнала на выходе обнаруживается компаратором и синхронизирует запуск развертки монитора.

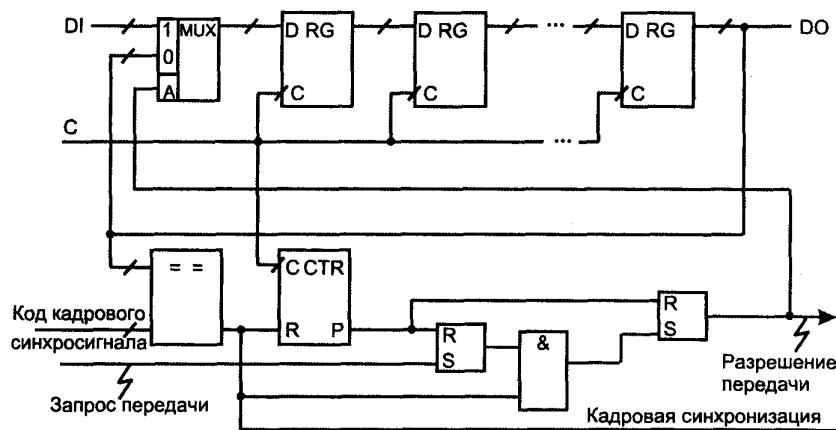


Рисунок 1.6 – Структура видеопамати

Пакетная запись может начинаться после появления запроса передачи в момент прохождения кода кадрового синхросигнала. При этом вырабатывается сигнал разрешения передачи кадра из памяти ЭВМ на вход *DI*, а мультиплексор переключается на верхний канал. После приема целого кадра счетчик *CTR*, емкость которого равна длине кадра, переполняется, и под воздействием сигнала переполнения ЗУ возвращается в режим циклической перезаписи.

При одиночных записях устройство должно иметь дополнительно схему сравнения кода счетчика и входного адресного кода (номера заменяемого

кода пиксела). При их совпадении мультиплексор переключается на верхний канал на один такт работы, чем обеспечивается замена всего одного слова.

1.3 Запоминающие устройства типа ROM

Запоминающие устройства типа ROM (память только для чтения) хранят информацию, которая либо вообще не изменяется (в ЗУ типов ROM(M) и PROM), либо изменяется редко и не в оперативном режиме (в ЗУ типов EPROM и EEPROM).

В масочные ЗУ типа ROM(M) (M от английского слова Mask) информация записывается при изготовлении микросхем на промышленных предприятиях с помощью шаблона (маски) на завершающем этапе технологического процесса.

ЗУ типа PROM (P от английского слова Programmable) программируются после изготовления их предприятием электронной промышленности в лабораториях потребителей без использования сложных технологических процессов. Для этого используются несложные устройства (программаторы).

Программирование постоянной памяти заключается в том или ином размещении элементов связи между горизонтальными и вертикальными линиями матрицы запоминающих элементов.

Запоминающие устройства типа ROM имеют многоразрядную организацию (чаще всего 8-разрядную или 4-разрядную, для некоторых ИС 16-разрядную) и обычно выполняются по структуре 2DM. Простейшие ЗУ могут иметь структуру 2D. Технологии изготовления постоянных ЗУ разнообразны – ТТЛ(Ш) (транзисторно-транзисторная логика (Шоттки)), КМОП (комментарная МОП), *n*-МОП и др.

Рассмотрим наиболее простые ЗУ типа ROM.

Масочные ЗУ.

Элементом связи в масочных ЗУ могут быть диоды, биполярные транзисторы, МОП-транзисторы и т.д.

В матрице диодного ROM(M) (рисунок 1,7, *a*) горизонтальные линии являются линиями выборки слов, а вертикальные – линиями считывания. Считываемое слово определяется расположением диодов в узлах координатной сетки. При наличии диода высокий потенциал выбранной горизонтальной линии передается на соответствующую вертикальную линию, и в данном разряде слова появляется сигнал логической единицы. При отсутствии диода потенциал близок к нулевому, т.к. вертикальная линия через резистор связана с землей. В изображенной матрице при возбуждении линии выборки Ш1 считывается слово 11010001 (в ячейке номер один хранится это слово). При возбуждении Ш2 считывается слово 10101011 (оно хранится в ячейке номер два). Шины выборки являются выходами дешифратора адреса, каждая адрес-

ная комбинация возбуждает свой выход дешифратора, что приводит к считыванию слова из адресуемой ячейки.

В матрице с диодными элементами в одних узлах матрицы диоды изготавливаются, в других – нет. При этом чтобы удешевить производство, при изготовлении ЗУ стремятся варьировать только один шаблон, так чтобы одни элементы связи были законченными и работоспособными, а другие не завершенными и как бы отсутствующими. Для матриц с МОП-транзисторами часто в МОП-транзисторах, соответствующих хранению нуля, увеличивают толщину подзатворного окисла, что ведет к увеличению порогового напряжения транзистора. В этом случае рабочие напряжения ЗУ не в состоянии открыть транзистор. Постоянно закрытое состояние транзистора аналогично его отсутствию. Матрица с МОП-транзисторами показана на рисунке 1.7, б.

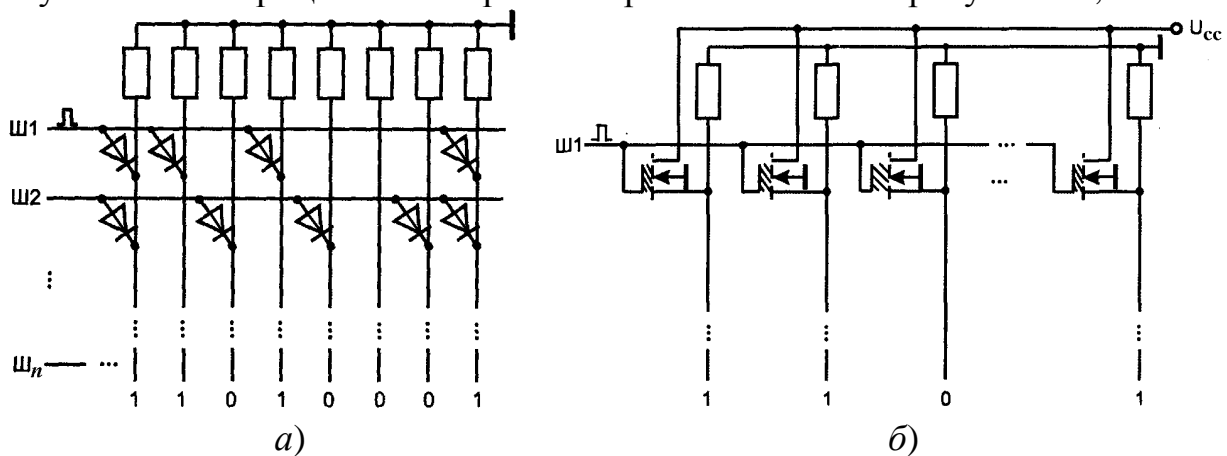


Рисунок 1.7 – Матрицы диодных запоминающих элементов масочного ЗУ (а) и МОП-транзисторных элементов (б)

ЗУ с масочным программированием отличаются компактностью запоминающих элементов и, следовательно, высоким уровнем интеграции. При больших объемах производства масочное программирование предпочтительно, однако при недостаточной тиражности ЗУ затраты на проектирование и изготовление шаблона для технологического программирования ЗУ окажутся чрезмерно высокими. Отсюда видна и область применения масочных ЗУ – хранение стандартной информации, имеющей широкий круг потребителей. В частности, масочные ЗУ имеют в качестве «прошивки» коды букв алфавитов (русского и латинского), таблицы типовых функций (синуса, квадратичной функции и др.), стандартное программное обеспечение и т.п.

ЗУ типа PROM.

В ЗУ типа PROM микросхемы программируются устранением или созданием специальных перемычек. В исходной заготовке имеются (или отсутствуют) все перемычки. После программирования остаются или возникают только необходимые.

Устранение части перемычек свойственно ЗУ с плавкими перемычками (типа fuse – предохранитель). При этом в исходном состоянии ЗУ имеет все

перемычки, а при программировании часть их ликвидируется путем расплавления импульсами тока достаточно большой амплитуды и длительности.

В ЗУ с плавкими перемычками эти перемычки включаются в электроды диодов или транзисторов. Перемычки могут быть металлическими (вначале изготовлялись из нихрома, позднее из титано-вольфрамовых и других сплавов) или поликристаллическими (кремниевыми). В исходном состоянии запоминающий элемент хранит логическую единицу, логический ноль нужно записать, расплавляя перемычку.

Создание части перемычек соответствует схемам, которые в исходном состоянии имеют непроводящие перемычки в виде пары встречно включенных диодов или тонких диэлектрических слоев, пробиваемых при программировании с образованием низкоомных сопротивлений. Схемы с тонкими пробиваемыми диэлектрическими перемычками (типа antifuse) наиболее компактны и совершенны.

Второй тип запоминающего элемента PROM – два встречно включенных диода. В исходном состоянии сопротивление такой цепочки настолько велико, что практически равноценно разомкнутой цепи, и запоминающий элемент хранит логический ноль. Для записи единицы к диодам прикладывают повышенное напряжение, пробивающее диод, смещенный в обратном направлении. Диод пробивается с образованием в нем короткого замыкания и играет роль появившейся проводящей перемычки.

Запоминающие элементы с плавкими перемычками и парами диодов показаны на рисунке 1.8, *а*, *б* в исходном состоянии и после программирования.

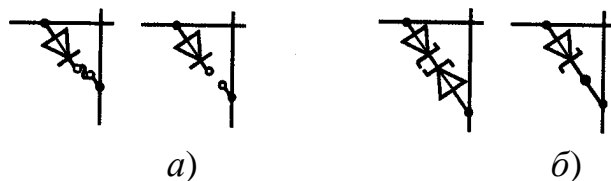


Рисунок 1.8 – Запоминающие элементы с плавкими перемычками (*а*) и диодными парами (*б*)

Матрица запоминающих элементов ЗУ с плавкими перемычками в технике ТТЛ (микросхема К155РЕ3) показана на рисунке 1.9. ЗУ имеет организацию 32×8. Матрица содержит 32 транзистора с 9 эмиттерами в каждом (8 рабочих и один технологический для уточнения режима прожигания, технологический эмиттер на рисунке не показан). Высокий потенциал на какой-либо шине выборки активизирует соответствующий транзистор, работающий в режиме эмиттерного повторителя. До программирования транзисторы передают высокий потенциал базы на все выходные (разрядные) линии, т.е. по всем адресам записаны слова, состоящие из одних единиц. Пережигание перемычки в цепи какого-либо эмиттера дает ноль в данном разряде слова, например, для ячейки с номером 1 показан вариант программирования для хранения по этому адресу слова 10100101. Выходы матрицы связаны с внеш-

ними цепями через буферные каскады, имеющие выходы типа открытый коллектор (ОК) или третье состояние (ТС). ЗУ имеет структуру 2D.

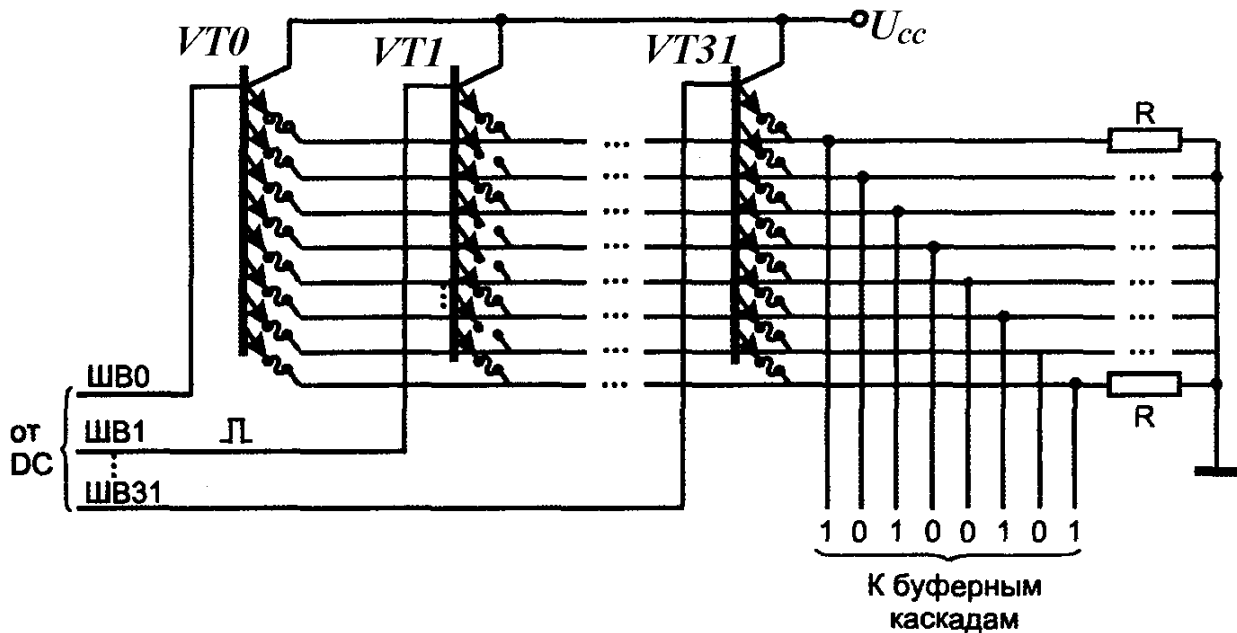


Рисунок 1.9 – Матрица запоминающих элементов с плавкими перемычками в технике ТТЛ

Программирование ЗУ с плавкими перемычками реализуется простыми аппаратными средствами и может быть доступно схемотехникам даже при отсутствии специального оборудования. На рисунке 1.10 показан многоэмиттерный транзистор (МЭТ) с плавкими перемычками и дополнительными элементами, обеспечивающими программирование ЗУ. Выходы этого запоминающего элемента передаются во внешние цепи через буферные каскады с тремя состояниями, работа которых разрешается сигналом OE . При этом сигнал разрешения работы формирователей импульсов программирования OE_F отсутствует, и они не влияют на работу схемы. При программировании буферы данных переводятся в третье состояние ($OE = 0$), а работа формирователей F разрешается. Слово, которое нужно записать в данной ячейке, подается на линии данных $D_7...D_0$. Те разряды слова, в которых имеются единицы, будут иметь на выходах формирователей низкий уровень напряжения. Соответствующие эмиттеры МЭТ окажутся под низким напряжением, и через них пройдет ток прожигания перемычки. При чтении отсутствие перемычки даст нулевой сигнал на вход буфера данных. Так как буфер инвертирующий, с его выхода снимется единичный сигнал, т.е. тот, который и записывался. Адресация программируемой ячейки как обычно обеспечивается дешифратором адреса, подающим высокий уровень потенциала на базу адресуемого МЭТ.

Для прожигания перемычек на них подают токи в десятки миллиампер в виде серии импульсов (для большей надежности прожигания). Не все перемычки удастся пережечь надлежащим образом, коэффициент программируемости для серии К556, например, составляет 0.5...0.7. В ЗУ с плавкими пере-

мычками возможно восстановление проводимости перемычек через некоторое время из-за миграции в электроматериалах.

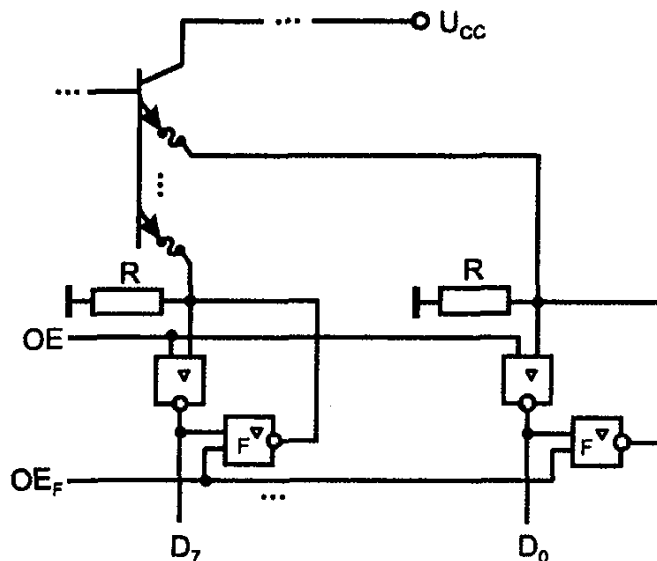


Рисунок 1.10 – Схема запоминающей ячейки с элементами программирования плавких перемычек

Плавкие перемычки занимают на кристалле относительно много места, поэтому уровень интеграции ЗУ с такими перемычками существенно ниже, чем у масочных ЗУ. В то же время простота программирования пользователем и невысокая стоимость в свое время обусловили широкое распространение ЗУ типа PROM. Невысокая стоимость программируемых пользователем ЗУ объясняется тем, что изготовитель выпускает микросхемы без учета конкретного содержимого ЗУ, т.е. освобожден от проектирования по специализированным заказам и, следовательно, связанных с этим затрат.

Среди отечественных PROM ведущее место занимают микросхемы серии К556, имеющие информационную емкость 1...64 Кбит и время доступа по адресу 70...90 нс.

Внешняя организация памяти типов ROM(M) и PROM проста: входными сигналами для них служат адресный код и сигнал выбора микросхемы CS. Во времени последовательность сигналов следующая: вначале подается адресный код (чтобы произошла дешифрация адреса, и было исключено обращение к непредусмотренной ячейке), затем поступает сигнал выбора микросхемы CS и после задержки, определяемой быстродействием схемы, на выходах данных устанавливаются правильные значения считываемых сигналов.

ЗУ типов EPROM и EEPROM.

В репрограммируемых ЗУ (ППЗУ) типов EPROM (Electrically Programmable ROM) и EEPROM (Electrically Erasable Programmable ROM) возможно стирание старой информации и замена ее новой в результате специального процесса, для проведения которого ЗУ выводится из рабочего режима. Рабочий режим (чтение данных) – процесс, выполняемый с относительно высокой

скоростью. Замена же содержимого памяти требует выполнения гораздо более длительных операций.

По способу стирания старой информации различают ЗУ со стиранием ультрафиолетовыми лучами (EPROM или в русской терминологии РПЗУ-УФ, т.е. репрограммируемые ПЗУ с ультрафиолетовым стиранием) и электрическим стиранием (EEPROM или РПЗУ-ЭС).

Запоминающими элементами современных РПЗУ являются транзисторы типов МНОП и ЛИЗМОП (добавление ЛИЗ к обозначению МОП происходит от слов Лавинная Инжекция Заряда).

Рассмотрим более подробно запоминающий элемент на основе МНОП-транзистора.

МНОП-транзистор отличается от обычного МОП-транзистора двухслойным подзатворным диэлектриком. На поверхности кристалла расположен тонкий слой двуокиси кремния SiO_2 , далее более толстый слой нитрида кремния Si_3N_4 и затем уже затвор (рисунок 1.11). На границе диэлектрических слоев возникают центры захвата заряда. Благодаря туннельному эффекту, носители заряда могут проходить через тонкую пленку окисла толщиной не более 5 нм и скапливаться на границе раздела слоев. Этот заряд и является носителем информации, хранимой МНОП-транзистором. Заряд записывают созданием под затвором напряженности электрического поля, достаточной для возникновения туннельного перехода носителей заряда через тонкий слой SiO_2 . На границе раздела диэлектрических слоев можно создавать заряд любого знака в зависимости от направленности электрического поля в подзатворной области. Наличие заряда влияет на пороговое напряжение транзистора.

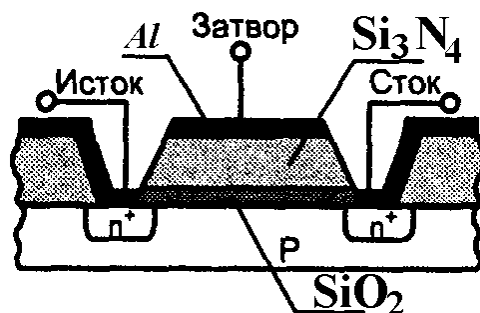


Рисунок 1.11 – Структура транзистора типа МНОП

Для МНОП-транзистора с *n*-каналом отрицательный заряд на границе раздела слоев повышает пороговое напряжение (экранирует воздействие положительного напряжения на затворе, отпирающего транзистор). При этом пороговое напряжение возрастает настолько, что рабочие напряжения на затворе транзистора не в состоянии его открыть (создать в нем проводящий канал). Транзистор, в котором заряд отсутствует или имеет другой знак, легко открывается рабочим значением напряжения. Так осуществляется хранение бита в МНОП-транзисторе: одно из состояний трактуется как отображение логической единицы, другое – нуля.

При программировании ЗУ используются относительно высокие напряжения, около 20 В. После снятия высоких напряжений туннельное прохождение носителей заряда через диэлектрик прекращается и заданное транзистору пороговое напряжение остается неизменным.

После $10^4 \dots 10^6$ перезаписей МНОП-транзистор перестает устойчиво хранить заряд. РПЗУ на МНОП-транзисторах энергонезависимы и могут хранить информацию месяцами, годами и десятками лет.

Перед новой записью старая информация стирается записью нулей во все запоминающие элементы.

1.4 Flash-память

Флэш-память (Flash-Memory) по типу запоминающих элементов и основным принципам работы подобна памяти типа EEPROM, однако ряд архитектурных и структурных особенностей позволяют выделить ее в отдельный класс. Разработка Флэш-памяти считается кульминацией десятилетнего развития схемотехники памяти с электрическим стиранием информации.

В схемах Флэш-памяти не предусмотрено стирание отдельных слов, стирание информации осуществляется либо для всей памяти одновременно, либо для достаточно больших блоков. Понятно, что это позволяет упростить схемы ЗУ, т.е. способствует достижению высокого уровня интеграции и быстродействия при снижении стоимости. Технологически схемы Флэш-памяти выполняются с высоким качеством и обладают очень хорошими параметрами.

Термин Flash по одной из версий связан с характерной особенностью этого вида памяти – возможностью одновременного стирания всего ее объема. Согласно этой версии еще до появления Флэш-памяти при хранении секретных данных использовались устройства, которые при попытках несанкционированного доступа к ним автоматически стирали хранимую информацию и назывались устройствами типа Flash (вспышка, мгновение). Это название перешло и к памяти, обладавшей свойством быстрого стирания всего массива данных одним сигналом.

Одновременное стирание всей информации ЗУ реализуется наиболее просто, но имеет тот недостаток, что даже замена одного слова в ЗУ требует стирания и новой записи для всего ЗУ в целом. Для многих применений это неудобно. Поэтому наряду со схемами с одновременным стиранием всего содержимого имеются схемы с блочной структурой, в которых весь массив памяти делится на блоки, стираемые независимо друг от друга. Объем таких блоков сильно различается: от 256 байт до 128 Кбайт.

Число циклов репрограммирования для Флэш-памяти хотя и велико, но ограничено, т.е. ячейки при перезаписи «изнашиваются». Чтобы увеличить долговечность памяти, в ее работе используются специальные алгоритмы,

способствующие «разравниванию» числа перезаписей по всем блокам микросхемы.

Соответственно областям применения Флэш-память имеет архитектурные и схемотехнические разновидности. *Двумя основными направлениями эффективного использования Флэш-памяти являются хранение не очень часто изменяемых данных (обновляемых программ, в частности) и замена памяти на магнитных дисках.*

Для первого направления в связи с редким обновлением содержимого параметры циклов стирания и записи не столь существенны как информационная емкость и скорость считывания информации. Стирание в этих схемах может быть как одновременным для всей памяти, так и блочным. Среди устройств с блочным стиранием выделяют схемы со специализированными блоками (несимметричные блочные структуры). По имени так называемых Boot-блоков, в которых информация надежно защищена аппаратными средствами от случайного стирания, эти ЗУ называют *Boot Block Flash Memory*. Boot-блоки хранят программы инициализации системы, позволяющие ввести ее в рабочее состояние после включения питания.

Микросхемы для замены жестких магнитных дисков (*Flash-File Memory*) содержат более развитые средства перезаписи информации и имеют идентичные блоки (симметричные блочные структуры).

Одним из элементов структуры Флэш-памяти является накопитель (матрица запоминающих элементов). В схемотехнике накопителей развиваются два направления: на основе ячеек типа ИЛИ-НЕ и на основе ячеек типа И-НЕ.

Накопители на основе ячеек ИЛИ-НЕ (с параллельным включением ЛИЗМОП-транзисторов с двойным затвором) обеспечивают быстрый доступ к словам при произвольной выборке. Они приемлемы для разных применений, но наиболее бесспорным считается их применение в памяти для хранения редко обновляемых данных. При этом возникает полезная преимущество с применявшимися ранее ROM и EPROM, сохраняются типичные сигналы управления, обеспечивающие чтение с произвольной выборкой. Структура матрицы накопителя показана на рисунке 1.12. Каждый столбец представляет собою совокупность параллельно соединенных транзисторов. Разрядные линии выборки находятся под высоким потенциалом. Все транзисторы невыбранных строк заперты. В выбранной строке открываются и передают высокий уровень напряжения на разрядные линии считывания те транзисторы, в плавающих затворах которых отсутствует заряд электронов, и, следовательно, пороговое напряжение транзистора имеет нормальное (не повышенное) значение.

Накопители на основе ячеек ИЛИ-НЕ широко используются фирмой Intel. Имеются мнения о конкурентоспособности этих накопителей и в применениях, связанных с заменой жестких магнитных дисков Флэш-памятью.

Структуры с ячейками И-НЕ более компактны, но не обеспечивают режима произвольного доступа и практически используются только в схемах

замены магнитных дисков. В схемах на этих ячейках сам накопитель компактнее, но увеличивается количество логических элементов обрaмления накопителя.

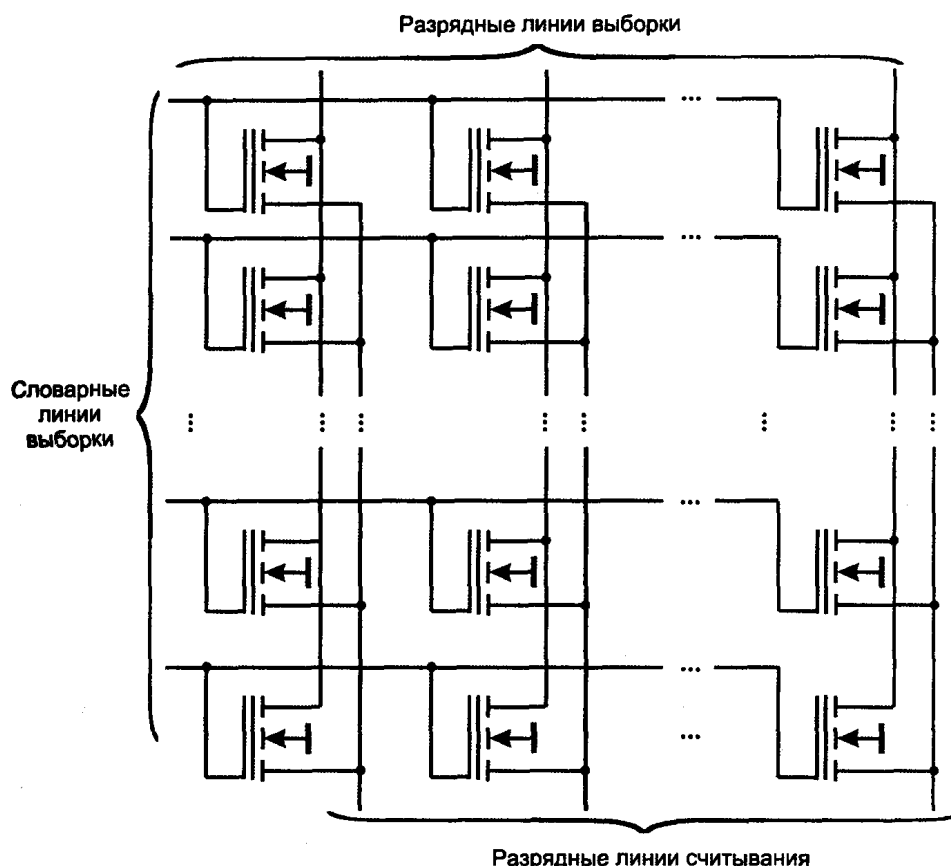


Рисунок 1.12 – Структура матрицы накопителя Флэш-памяти на основе ячеек ИЛИ-НЕ

Для улучшения технико-экономических характеристик в схемах Флэш-памяти применяются различные средства и приемы:

1. Прерывание процессов записи при обращениях процессора для чтения. Без этого возникали бы длительные простои процессора, т.к. запись занимает достаточно большое время. После прерывания процесс записи возобновляется под управлением внутренних средств Флэш-памяти.

2. Внутренняя очередь команд, управляющих работой Флэш-памяти, которая позволяет организовать конвейеризацию выполняемых операций и ускорить процессы чтения и записи.

3. Программирование длины хранимых в ЗУ слов для согласования с различными портами ввода/вывода.

4. Введение режимов пониженной мощности на время, когда к ЗУ нет обращений, в том числе режима глубокого покоя, в котором мощность снижается до крайне малых значений (например, ток потребления снижается до 2 мкА). Эти особенности очень важны для устройств с автономным (батарейным) питанием.

5. Приспособленность к работе при различных питающих напряжениях (5 В; 3.3 В и др.). Сама схема «чувствует» уровень питания и производит необходимые переключения для приспособления к нему.

6. Введение в структуры памяти страничных буферов для быстрого накопления новых данных, подлежащих записи. Два таких буфера могут работать в режиме, называемом «пинг-понг», когда один из них принимает слова, подлежащие записи, а другой в это время обеспечивает запись своего содержимого в память. Когда первый буфер заполнится, второй уже освободится, и они поменяются местами.

7. Различные меры защиты от случайного или несанкционированного доступа.

Флэш-память с адресным доступом, ориентированная на хранение не слишком часто изменяемой информации, может иметь одновременное стирание всей информации (архитектура Bulk Erase) или блочное стирание (архитектура Boot Block Flash-Memory).

Имея преимущество с 3У типов EEPROM и EPROM, разработанными ранее, схемы Флэш-памяти предпочтительнее EEPROM по информационной емкости и стоимости в применениях, где не требуется индивидуальное стирание слов, а в сравнении с EPROM обладают тем преимуществом, что не требуют специальных условий и аппаратуры для стирания данных, которое к тому же происходит гораздо быстрее.

Рассмотрим подробнее некоторые типы Флэш-памяти.

Память типа Bulk Erase.

Память типа Bulk Erase фирмы Intel, наиболее известной среди разработчиков Флэш-памяти, имеет время записи байта около 10 мкс, допускает до 10^5 циклов стирания, напряжение программирования для нее составляет $12 \text{ В} \pm 5\%$, ток активного режима около 10 мА, в режиме покоя около 50 мкА. Время доступа при чтении равно приблизительно 100 нс, время стирания и время программирования всего кристалла составляет 0.6...4 с для кристаллов емкостью 256 Кбит...2 Мбит.

В отличие от традиционного управления схемами памяти с помощью адресных и управляющих сигналов, Флэш-память имеет *дополнительное управление словами-командами*, записываемыми процессором в специальный регистр, функционирующий только при высоком уровне напряжения на выводе микросхемы, обозначаемом U_{PP} (напряжении программирования). При отсутствии такого уровня U_{PP} схема работает только как память для чтения под управлением традиционных сигналов, задающих операции чтения, снижения мощности, управления третьим состоянием и выдачи идентификатора.

Флэш-память с несимметричной блочной структурой.

Схемам типа Boot Block Flash Memory (Boot-блок Флэш-память, сокращенно ББФП) присуще блочное стирание данных и несимметричная блочная архитектура. Блоки специализированы и имеют разные размеры. Среди них имеется так называемый Boot-блок (ББ), содержимое которого аппаратно за-

щищено от случайного стирания. В ББ хранится программное обеспечение базовой системы ввода/вывода микропроцессорной системы BIOS (Basic Input/Output System), необходимое для правильной эксплуатации и инициализации системы.

В составе блоков имеются также БП (блоки параметров) и ГБ (главные блоки), не снабженные аппаратными средствами защиты от непредусмотренной записи. Блоки БП хранят относительно часто меняемые параметры системы (коды идентификаторов, диагностические программы и т.п.). Блоки ГП хранят основные управляющие программы и т.п.

Микросхемы ББФП предназначены для работы с разными микропроцессорами и для соответствия им имеют два варианта расположения ББ в адресном пространстве: вверху и внизу, что отображается в маркировке ИС буквами *T* (Top) или *B* (Bottom).

В настоящее время выпускаются ББФП с емкостями 1... 16 Мбит, в последующих поколениях ожидаются ИС с информационными емкостями до 256 Мбит.

По своему функционированию ББФП близки к памяти типа Bulk Erase, в обоих типах ИС операции стирания/программирования ведутся под управлением внутреннего автомата, входной информацией для которого служат команды, вводимые от процессора. В схемах ББФП эту роль играет так называемый командный интерфейс пользователя CUI (Command User Interface).

Файловая Флэш-память.

Важное место в иерархии ЗУ занимает файловая Флэш-память (ФФП). В течение многих лет хранение больших объемом данных возлагалось в микроЭВМ на хорошо отработанные и сравнительно недорогие внешние ЗУ на магнитных, а впоследствии и оптических дисках. Во многих компьютерах система памяти организована как сочетание жесткого магнитного диска (винчестера) с динамическим полупроводниковым ОЗУ.

Имея значительные достоинства, дисковые ЗУ как электромеханические устройства не свободны от ряда недостатков: чувствительности к ударам и вибрациям, загрязнению, ограниченного быстродействия и значительного потребления мощности. Эти недостатки особенно сказываются в портативных устройствах с автономным (батарейным) питанием. Достаточно отметить, что дисководы потребляют в лучшем случае мощность около 3 Вт, что в системах с напряжениями питания 3.3...5 В означает потребление токов 0.6...0.9 А, быстро истощающих батарейки.

Файловая Флэш-память ориентирована на замену твердых дисков, которая в сотни раз сокращает потребляемую мощность, в той же мере увеличивает механическую прочность и надежность ЗУ, уменьшает их размеры и вес, на несколько порядков повышает быстродействие при чтении данных, сохраняя при этом программную совместимость со средствами управления памятью. Вместе с тем, за дисковой памятью остаются преимущества по информационной емкости и стоимости.

1.5 Статические запоминающие устройства

Область применения относительно дорогостоящих статических ОЗУ в системах обработки информации определяется их высоким быстродействием. В частности, они широко используются в кэш-памяти, которая при сравнительно малой емкости должна иметь максимальное быстродействие.

Статические ОЗУ (SRAM), как правило, имеют структуру 2DM, часть их при небольшой информационной емкости строится по структуре 2D.

Запоминающими элементами статических ОЗУ служат триггеры с цепями установки и сброса. В связи с этим статические ОЗУ называют также триггерными. Триггеры можно реализовать по любой схмотехнологии (ТТЛ(Ш), И²Л, ЭСЛ, *n*-МОП, КМОП, AsGa и др.), соответственно которой существуют разнообразные схемы ЗУ. Различие в параметрах этих ЗУ отражает специфику той или иной схмотехнологии. В последнее время наиболее интенсивно развиваются статические ЗУ, выполненные по схмотехнологии КМОП, которая по мере уменьшения топологических норм технологического процесса приобретает высокое быстродействие при сохранении своих традиционных преимуществ.

Среди отечественных серий микросхем хорошо развитыми являются серии К537 технологии КМОП и К132 технологии *n*-МОП.

Запоминающий элемент ЗУ на *n*-МОП транзисторах (рисунок 1.13, а) представляет собой RS-триггер на транзисторах VT1 и VT2 с ключами выборки VT3 и VT4. При обращении к данному ЗЭ появляется высокий потенциал на шине выборки ШВ_{*i*} (через *i, j* соответственно обозначены номера строки и столбца, на пересечении которых расположен ЗЭ_{*ij*}). Этот потенциал открывает ключи выборки (транзисторы VT3, VT4) по всей строке, и выходы триггеров строки соединяются со столбцовыми шинами считывания-записи. Одна из столбцовых шин связана с прямым выходом триггера (обозначена через D_{*j*}), другая – с инверсным (\bar{D}_j). Через столбцовые шины можно считывать состояние триггера (штриховыми линиями показан дифференциальный усилитель считывания). Через них же можно записывать данные в триггер, подавая низкий потенциал логического нуля на ту или иную шину.

При подаче нуля на выход \bar{D}_j снижается стоковое напряжение транзистора VT1, что запирает транзистор VT2 и повышает напряжение на его стоке. Это открывает транзистор VT1 и фиксирует созданный на его стоке низкий уровень даже после снятия сигнала записи. Триггер установлен в состояние логической единицы. Аналогичным образом нулевым сигналом по шине D_{*j*} можно установить триггер в нулевое состояние. При выборке строки со своими столбцовыми шинами соединяются все триггеры строки, но только одна пара шин связывается с выходными цепями считывания или входной цепью записи в соответствии с адресом столбца.

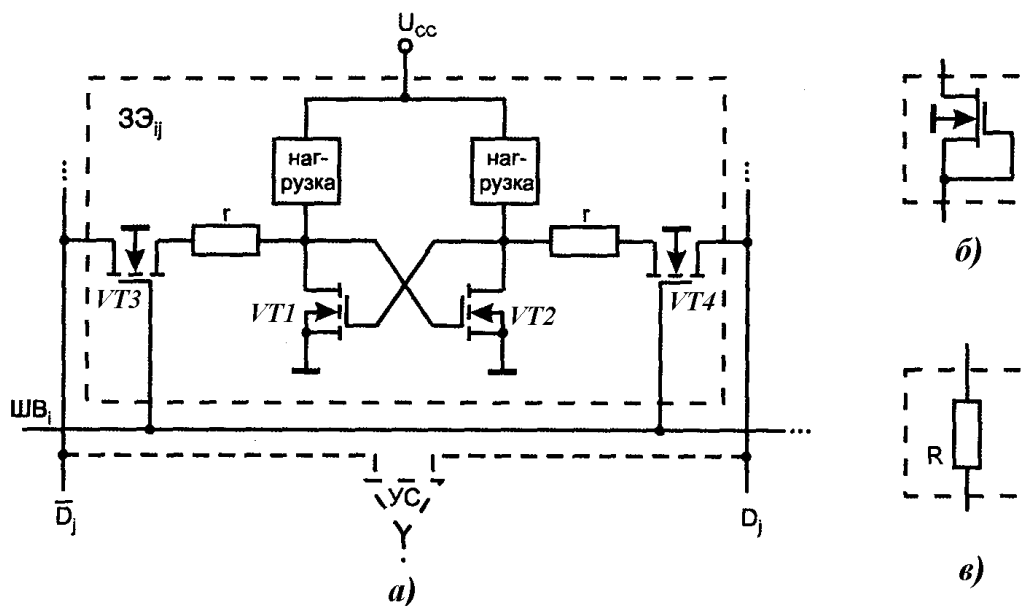


Рисунок 1.13 – Схема триггерного запоминающего элемента на n -МОП транзисторах (а) и варианты нагрузок для схемы триггера (б, в)

Резисторы r служат для уменьшения емкостных токов в моменты открывания ключевых транзисторов и реализуются как части диффузионных областей этих транзисторов.

В качестве нагрузки могут быть использованы двухполюсники, показанные на рисунке 1.13, б, в. В первом случае это n -МОП транзистор со встроенным каналом и нулевым напряжением затвора, т.е. обычный элемент нагрузки в схемах с n -каналом.

Стремление к режиму микротоков привело к схеме с нагрузочным поликремниевым резистором (второй случай, нагрузка на рисунке 1.13, в). Высокоомные нагрузочные резисторы изготавливаются из поликристаллического кремния и пространственно расположены над областью транзисторов, что придает схеме также и высокую компактность. Режим микротоков нужен для кристаллов высокого уровня интеграции, но создаст и ряд трудностей, в первую очередь низкую скорость переключения триггера (микротоки не в состоянии быстро перезарядать паразитные емкости схемы) и маломощность выходных сигналов. Первый недостаток преодолевается тем, что триггер переключается под воздействием мощных сигналов записи информации через ключевые транзисторы, а не за счет только внутренних токов цепей обратных связей. Вторая особенность требует применения высокочувствительных усилителей считывания. Это объясняет использование так называемых усилителей-регенераторов в статических ЗУ (ранее они были характерны только для динамических).

Запоминающие элементы статических ОЗУ, выполненных по КМОП технологии, показаны на рисунке 1.14, а. Эти элементы построены так же, как и элементы на n -МОП транзисторах, и не требуют дополнительных пояснений.

На рисунке 1.14, б показан выходной каскад с третьим состоянием, используемый в КМОП ЗУ. Низкий уровень сигнала \overline{CS} и высокий уровень сигнала R/W , означающие разрешение операции чтения, создают на выходе элемента ИЛИ-НЕ высокий уровень логической единицы, открывающий транзисторы $VT3$ и $VT4$ и, тем самым, позволяющий нормально работать инвертору на транзисторах $VT1$ и $VT2$, через который данные передаются на выход. При всех иных комбинациях сигналов \overline{CS} и R/W выход элемента ИЛИ-НЕ имеет низкий уровень логического нуля, при котором транзисторы $VT3$ и $VT4$ заперты и выход DO находится в состоянии «отключено».

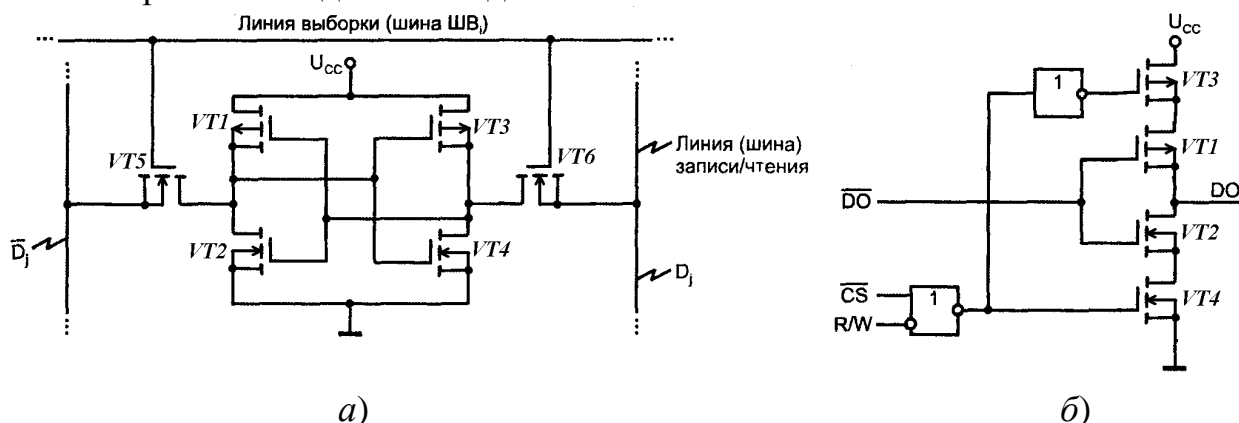


Рисунок 1.14 – Схемы триггерного запоминающего элемента (а) и выходного каскада (б) в схемотехнике КМОП

В номенклатуре статических ЗУ представлены ИС с одnorазрядной и словарной организацией. Внешняя организация статического ЗУ емкостью 64 КБита ($8K \times 8$) показана на рисунке 1.15. Состав и функциональное назначение сигналов адреса A_{12-0} , выборки кристалла \overline{CS} , чтения/записи R/W соответствуют рассмотренным выше сигналам аналогичного типа. Входы и выходы ИС совмещены и обладают свойством двунаправленных передач. Имеется также вход \overline{OE} разрешения по выходу, пассивное состояние которого ($\overline{OE} = H$) переводит выходы в третье состояние. Работа ЗУ отображается таблицей (таблица 1.1).

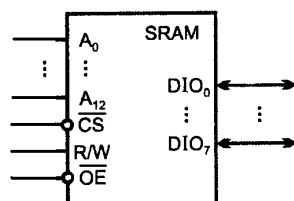


Рисунок 1.15 – Пример внешней организации статического ЗУ

Таблица 1.1 – Работа статического ЗУ

\overline{CS}	\overline{OE}	R/W	A	DIO	Режим
1	X	X	X	Z	Хранение
0	X	0	A	DI	Запись
0	0	1	A	DO	Чтение

Функционирование ЗУ во времени регламентируется временными диаграммами, устанавливаемыми изготовителем. В основу кладутся определенные требования. Например, чтобы исключить возможность обращения к другой ячейке, рекомендуется подавать адрес раньше, чем другие сигналы, с опережением на время его декодирования. Адрес должен держаться в течение всего цикла обращения к памяти.

Затем следует подать сигналы, определяющие направление передачи данных и, если предполагается запись, то записываемые данные, а также сигналы выборки кристалла и, при чтении, разрешения выхода. Среди этих сигналов будет и стробирующий, т.е. выделяющий временной интервал непосредственного выполнения действия. Таким сигналом для разных ЗУ может служить как сигнал R/W , так и сигнал \overline{CS} .

Статические ЗУ подразделяются на асинхронные и тактируемые. В тактируемых ЗУ к определенным сигналам (как правило, к сигналу \overline{CS}) предъявляется требование импульсного характера, согласно которому после активизации сигнала он обязательно должен вернуться к пассивному уровню, и только после этого возможна его активизация в следующем цикле обращения к памяти. В асинхронных ЗУ такие требования отсутствуют и, например, разрешение работы может производиться постоянным уровнем $\overline{CS} = L$ на протяжении множества циклов обращения к памяти.

Пример временных диаграмм для процессов чтения и записи в статическом ЗУ показан на рисунке 1.16, а, б. На них показаны времена выборки относительно адреса t_A и выбора t_{CS} , длительности импульсов t_W различных сигналов и цикла адреса $t_{CY(A)}$, задержка t_{DZ} перехода выхода из активного состояния в состояние отключено, времена предустановки t_{SU} и удержания t_H с указанием сигналов, для которых они отсчитываются. Приведено время восстановления $t_{REC(WR)}$, отсчитываемое как необходимая пауза между повторениями активных интервалов сигнала WR .

Для правильного проектирования модулей памяти и использования в них конкретных микросхем необходимо также знать емкости их входов C_I , выходов C_O , и предельно допустимую емкость нагрузки C_{LMAX} .

Статические ОЗУ энергозависимы – при снятии питания информация в триггерных запоминающих элементах теряется. Можно придать им искусственную энергонезависимость с помощью резервного источника питания. Это наиболее пригодно для ЗУ на элементах КМОП, т.к. они в режиме хранения потребляют чрезвычайно малую мощность.

Для подключения к накопителю ЗУ резервного источника питания разработчики памяти рекомендуют схему, приведенную на рисунке 1.17. В этой схеме напряжение резервного источника несколько ниже напряжения основного источника U_{CC} . В рабочем режиме накопитель питается от напряжения U_{CC} , при этом диод $VD1$ проводит, а диод $VD2$ заперт. При снижении рабочего напряжения к накопителю автоматически подключается источник резерв-

ного питания. При этом проводит диод $VD2$, а диод $VD1$ запирается, т.к. при малых значениях U_{CC} он попадает под обратное смещение.

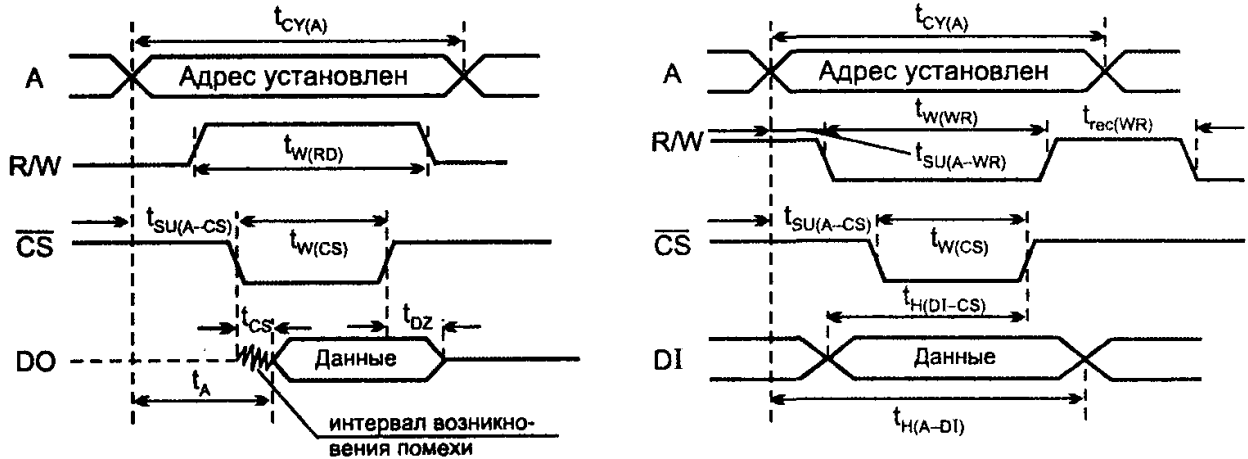


Рисунок 1.16 – Временные диаграммы процессов чтения (а) и записи (б) в статическом ЗУ

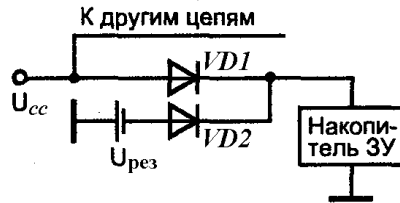


Рисунок 1.17 – Схема подключения резервного источника питания к накопителю ЗУ

1.6 Динамические запоминающие устройства

В динамических ЗУ (DRAM) данные хранятся в виде зарядов емкостей МОП-структур, и основой ЗЭ является просто конденсатор небольшой емкости. Такой ЗЭ значительно проще триггерного, содержащего 6 транзисторов, что позволяет разместить на кристалле намного больше ЗЭ (в 4...5 раз) и обеспечивает динамическим ЗУ максимальную емкость. В то же время конденсатор неизбежно теряет со временем свой заряд, и хранение данных требует их периодической регенерации (через несколько миллисекунд).

Известны конденсаторные ЗЭ разной сложности. В последнее время практически всегда применяют однотранзисторные ЗЭ – лидеры компактности, размеры которых настолько малы, что на их работу стали влиять даже α -частицы, излучаемые элементами корпуса ИС.

Электрическая схема и конструкция однотранзисторного ЗЭ показаны на рисунке 1.18. Ключевой транзистор отключает запоминающий конденсатор от линии записи-считывания (ЛЗС) или подключает его к ней. Сток транзистора не имеет внешнего вывода и образует одну из обкладок конденсатора. Другой обкладкой служит подложка. Между обкладками расположен тонкий слой диэлектрика – оксида кремния SiO_2 .

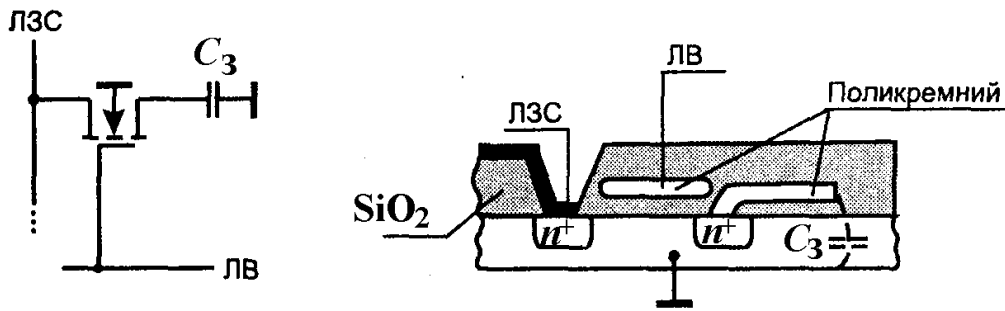


Рисунок 1.18 – Схема и конструкция запоминающего элемента динамического ЗУ

В режиме хранения ключевой транзистор заперт. При выборке данного ЗЭ на затвор подается напряжение, отпирающее транзистор. Запоминающая емкость через проводящий канал подключается к линии записи-считывания и в зависимости от заряженного или разряженного состояния емкости различно влияет на потенциал линии записи-считывания. При записи потенциал линии записи-считывания передается на конденсатор, определяя его состояние.

Рассмотрим подробнее процесс чтения состояния запоминающего элемента. Фрагмент ЗУ (рисунок 1.19, а) показывает ЗЭ, усилитель считывания УС, а также ключи К1 и К0 соответственно записи единицы и нуля. К ЛЗС подключено столько ЗЭ, сколько строк имеется в запоминающей матрице. Особое значение имеет емкость ЛЗС C_L , в силу большой протяженности линии и большого числа подключенных к ней транзисторов, многократно превышающая емкость ЗЭ.

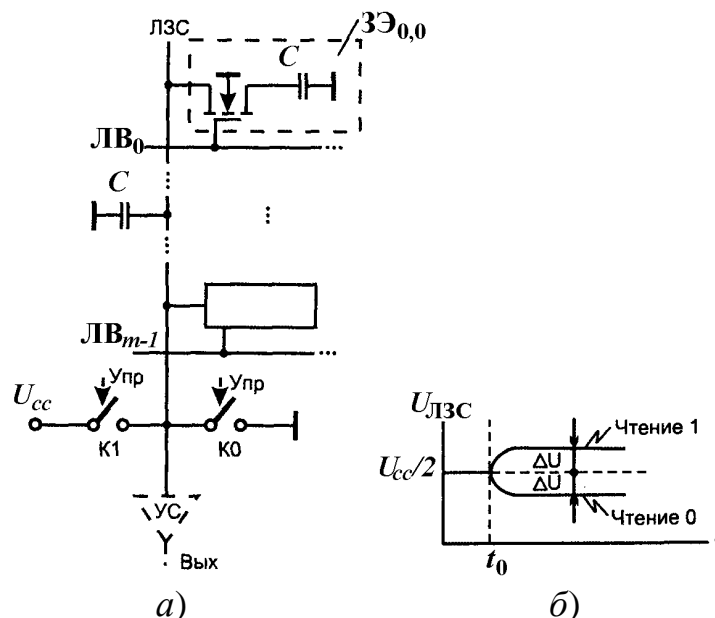


Рисунок 1.19 – Фрагмент схемы динамического ЗУ (а) и временные диаграммы сигналов при считывании данных в динамических ЗУ (б)

Перед считыванием производится предзаряд ЛЗС. Имеются варианты ЗУ с предзарядом ЛЗС до уровня напряжения питания и до уровня его половины.

Рассмотрим последний вариант в силу его большей схемной простоты. Итак, перед считыванием емкость C_L заряжается до уровня $U_{CC}/2$. Будем считать, что хранение единицы соответствует заряженной емкости C_3 , а хранение нуля – разряженной.

При считывании нуля к ЛЗС подключается емкость C_3 , имевшая нулевой заряд. Часть заряда емкости C_L перетекает в емкость C_3 , и напряжения на них уравниваются. Потенциал ЛЗС снижается на величину ΔU , которая и является сигналом, поступающим на усилитель считывания. При считывании единицы, напротив, напряжение на C_3 составляло вначале величину U_{CC} и превышало напряжение на ЛЗС. При подключении C_3 к ЛЗС часть заряда стекает с запоминающей емкости в C_L , и напряжение на ЛЗС увеличивается на ΔU . Графики сигналов при считывании нуля и единицы показаны на рисунке 1.19, б.

Значение ΔU нетрудно вычислить на основе анализа любого из процессов – считывания нуля или считывания единицы. Для считывания нуля справедливы следующие рассуждения. До выборки ЗЭ емкость ЛЗС имела заряд:

$$Q = \frac{C_L U_{CC}}{2}.$$

После выборки ЗЭ этот же заряд имеет суммарная емкость $C_L + C_3$ и можно записать следующее соотношение:

$$Q = (C_L + C_3) \left(\frac{U_{CC}}{2} - \Delta U \right).$$

Приравняв выражения для одного и того же значения заряда Q , получим соотношение:

$$\frac{C_L U_{CC}}{2} = (C_L + C_3) \left(\frac{U_{CC}}{2} - \Delta U \right),$$

из которого следует выражение:

$$\Delta U = \frac{U_{CC} C_3}{2(C_3 + C_L)} \approx \frac{U_{CC} C_3}{2C_L}.$$

В силу неравенства $C_3 \ll C_L$ сигнал ΔU оказывается слабым.

Кроме того, считывание является разрушающим – подключение запоминающей емкости к ЛЗС изменяет ее заряд.

Мерами преодоления отмеченных недостатков служат способы увеличения емкости C_3 (без увеличения площади ЗЭ), уменьшения емкости ЛЗС и применение усилителей-регенераторов для считывания данных.

В направлении увеличения C_3 можно указать разработку фирмой Siemens нового диэлектрика (диоксида титана TiO_2), имеющего диэлектрическую постоянную в 20 раз большую, чем SiO_2 . Это позволяет при той же емкости сократить площадь ЗЭ почти в 20 раз или увеличить C_3 даже при уменьшении ее площади. Имеются и варианты с введением в ЗЭ токоусиливающих структур, что также эквивалентно увеличению емкости ЗЭ.

Уменьшения емкости ЛЗС можно достичь «разрезанием» этой линии на две половины с включением дифференциального усилителя считывания в разрыв между половинами ЛЗС (рисунок 1.20, *а*). Очевидно, что такой прием вдвое уменьшает емкость линий, к которым подключаются запоминающие емкости, т.е. вдвое увеличивает сигнал ΔU .

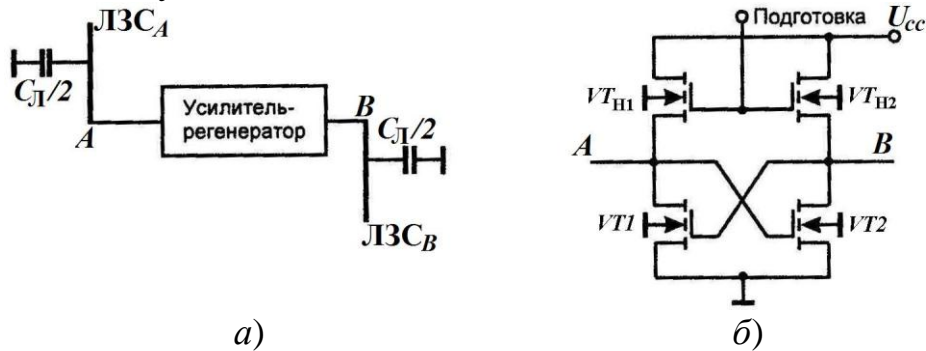


Рисунок 1.20 – Схема включения усилителя-регенератора в разрыв линии записи-считывания динамического ЗУ (*а*) и вариант схемной реализации усилителя-регенератора (*б*)

Усилители-регенераторы строятся на основе триггерных схем. Один из возможных вариантов (рисунок 1.20, *б*) основан на введении в схему дополнительного сигнала «Подготовка» для управления нагрузочными транзисторами $VT_{Н1}$ и $VT_{Н2}$. Вначале сигнал «Подготовка» имеет низкий уровень и нагрузочные транзисторы заперты. В этом состоянии усилитель-регенератор воспринимает слабые сигналы считывания с линий ЛЗС. Одна из половин ЛЗС, к которой не подключается C_3 , сохраняет напряжение предзаряда $U_{cc}/2$, напряжение на другой половине, к которой подключается выбранный ЗЭ, отклоняется от напряжения предзаряда на ΔU в ту или иную сторону в зависимости от того, считывается единица или ноль. Неравенство напряжений в точках *A* и *B* вносит несимметрию проводимостей транзисторов $VT1$ и $VT2$. Для считывания и регенерации данных сигнал «Подготовка» переводится на высокий уровень. Транзисторы $VT_{Н1}$ и $VT_{Н2}$ открываются, и возникает схема триггера, находящегося в неустойчивом состоянии, близком к симметричному. Такой триггер в силу своих свойств быстро перейдет в устойчивое состояние, предопределенное начальной несимметрией его режима. На выходах триггера сформируются полные напряжения высокого и низкого уровней. Так как одни и те же точки *A* и *B* являются одновременно и входами и выходами усилителя регенератора, после своего срабатывания он восстанавливает на емкости C_3 полное значение считанного сигнала. Тем самым автоматически осуществляется регенерация данных в ЗЭ. Состояние триггера определяет также сигналы, выводимые во внешние цепи в качестве считанной информации.

Особенностью динамических ЗУ является мультиплексирование шины адреса. Адрес делится на два полуадреса, один из которых представляет собою адрес строки, а другой – адрес столбца матрицы ЗЭ. Полуадреса подают-

ся на одни и те же выводы корпуса ИС поочередно. Подача адреса строки сопровождается соответствующим стробом RAS (Row Address Strobe), а адреса столбца – стробом CAS (Column Address Strobe). Причиной мультиплексирования адресов служит стремление уменьшить число выводов корпуса ИС и тем самым удешевить ее, а также то обстоятельство, что полуадреса и сигналы RAS и CAS в некоторых режимах и схемах используются различно (например, в режимах регенерации адрес столбца вообще не нужен). Сокращение числа внешних выводов корпуса для динамических ЗУ особенно актуально, т.к. они имеют максимальную емкость и, следовательно, большую разрядность адресов. Например, ЗУ с организацией $16M \times 1$ имеет 24-разрядный адрес, а мультиплексирование сократит число адресных линий на 12.

На рисунке 1.21 показаны внешняя организация и временные диаграммы динамического ОЗУ. Циклы обращения к ЗУ начинаются сигналом \overline{RAS} и запаздывающим относительно него сигналом \overline{CAS} . Отрицательным фронтам этих сигналов соответствуют области подачи на адресные линии ЗУ полуадресов, адресующих строки и столбцы матрицы соответственно. Согласно указанию выполняемой операции (сигналу R/W) либо вырабатываются выходные данные DO , либо принимаются входные данные DI . В циклах регенерации подаются только импульсные сигналы \overline{RAS} и адреса строк. Области безразличных значений сигналов на рисунке заштрихованы.

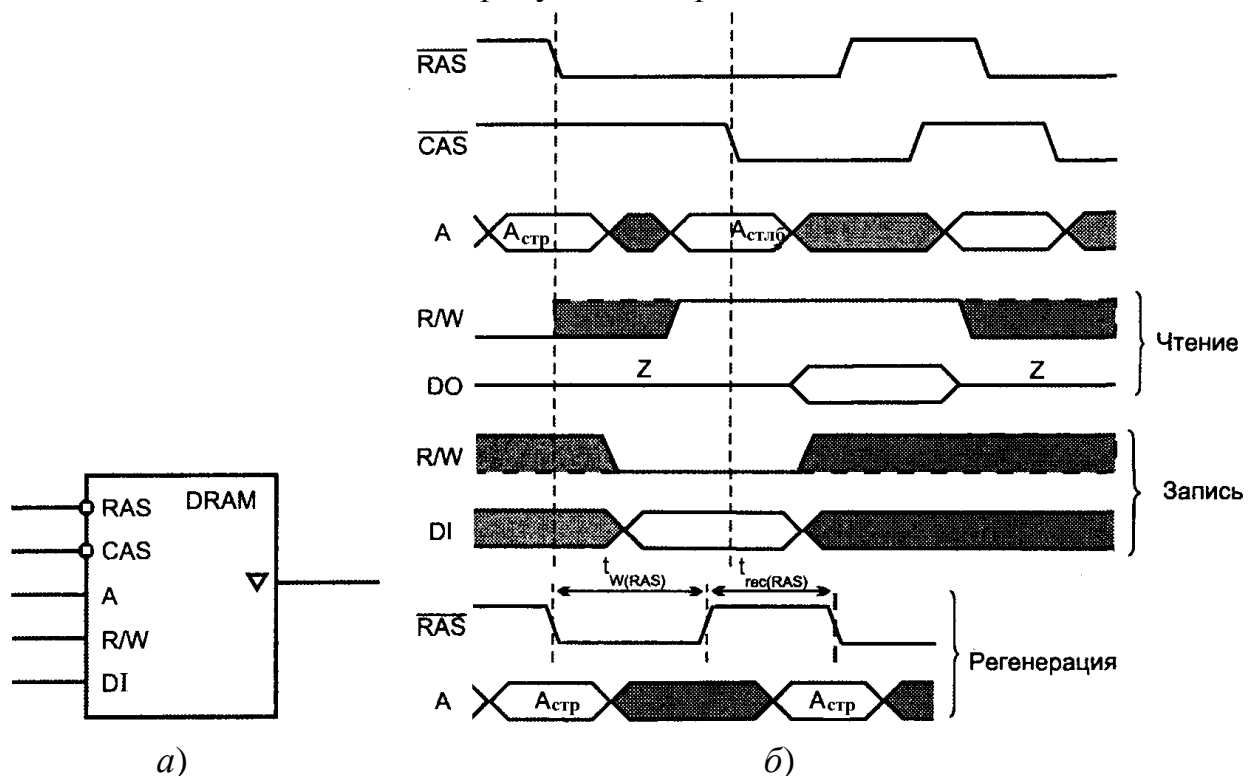


Рисунок 1.21 – Пример внешней организации (а) и временных диаграмм динамического ЗУ (б)

В схеме динамического ЗУ (рисунок 1.22) один из столбцов матрицы раскрыт полностью, другие столбцы аналогичны ему. Ключевые транзисторы

для простоты изображения представлены кружками, как пояснено в левом верхнем углу рисунка. Обозначения блоков стандартны за исключением обозначения ФТС – формирователь тактирующих сигналов.

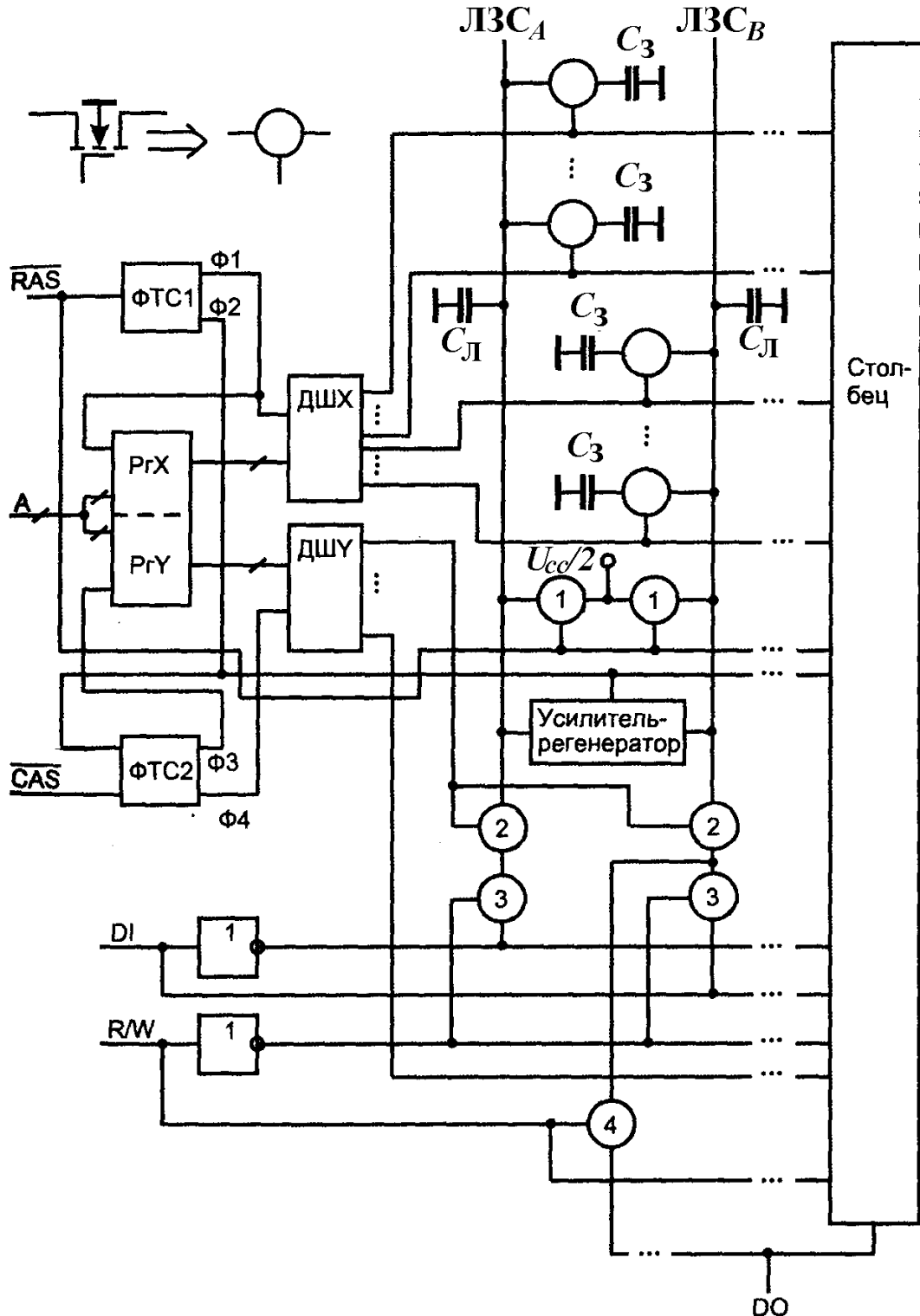


Рисунок 1.22 – Схема динамического ЗУ

В исходном состоянии (до обращения к ЗУ) сигнал \overline{RAS} пассивен, т.е. имеет высокий уровень, который замыкает ключи 1 и подает напряжение $U_{CC}/2$ на полушины записи-считывания ЛЗСА и ЛЗСВ для их предзаряда. При

обращении к ЗУ активизируется сигнал \overline{RAS} одновременно с подачей по шине адреса A первого полуадреса (адреса строки). При этом ключи 1 размыкаются и линии записи-считывания изолируются от источника напряжения $U_{CC}/2$, а формирователь ФТС1 вырабатывает пару последовательных сигналов Ф1 и Ф2. Тактирующий сигнал Ф1 разрешает загрузку регистра РгХ и работу дешифратора ДШХ, одна из выходных линий которого возбуждается и выбирает все строки ЗЭ, адрес которой содержится в регистре РгХ.

В разрыв между секциями ЛЗС_А и ЛЗС_В включен усилитель-регенератор, для которого подключение ЗЭ, хранящего единицу или ноль, создает дисбаланс входных сигналов

Второй тактирующий сигнал Ф2 снимает сигнал «Подготовка» с усилителей-регенераторов, и они срабатывают, формируя в своих точках входо-выходов полные уровни сигналов, что восстанавливает состояние ЗЭ выбранной строки.

Для последующих операций чтения или записи требуется наличие сигнала \overline{CAS} , разрешающего формирователю ФТС2 формирование второй пары тактирующих сигналов Ф3 и Ф4. Сигнал Ф3 загружает в регистр РгУ адрес столбца, а Ф4 активизирует дешифратор ДШУ, вследствие чего открываются ключи 2 выбранного столбца.

В зависимости от сигнала R/W , линии ЛЗС подключаются либо к выходной шине данных (через ключ 4 при $R/W = 1$), либо к линии входных данных (через ключи 3 при $R/W = 0$).

Для операции регенерации, целиком проходящей внутри ЗУ, связь с внешними выводами не требуется, поэтому для нее достаточно подачи только сигнала \overline{RAS} (совместно с адресами регенерируемых строк) и выработки только тактирующих сигналов Ф1 и Ф2.

2 АРИФМЕТИКО-ЛОГИЧЕСКИЕ УСТРОЙСТВА

2.1 Назначение и основные параметры

Арифметико-логическим устройством (АЛУ) называется функционально законченный узел ЭВМ, предназначенный для реализации логических и арифметических операций по обработке информации. Эти операции могут выполняться либо аппаратным способом – с использованием соответствующих электронных устройств, построенных на логических элементах, либо программным способом – с применением последовательного исполнения нескольких операций, выполняемых аппаратным способом. В соответствии со сказанным, АЛУ является одним из основных узлов ЭВМ.

Вне зависимости от того, насколько широк круг операций, реализуемых современными АЛУ, главными среди них остаются операции арифметического сложения и умножения. Важность этих операций подтверждается тем, что при описании характеристик новых машин продолжительность этих операций, как правило, указывается в качестве основных характеристик ЭВМ.

Для выполнения арифметических и логических операций над входными переменными они должны быть введены в АЛУ, поэтому его дополняют вспомогательными устройствами, предназначенными для промежуточного хранения, как исходных данных, так и результатов выполнения той или иной операции. Функции этих устройств возлагают на дополнительные регистры.

На рисунке 2.1 приведен вариант схемы соединения АЛУ с дополнительными регистрами. По существу эта схема является упрощенной схемой микропроцессора.

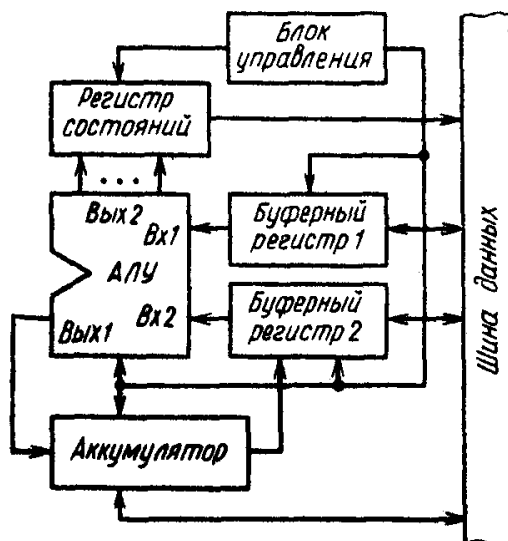


Рисунок 2.1 – Подключение АЛУ к внешним регистрам

Как правило, АЛУ снабжается двумя группами входных и одной группой выходных выводов данных, а также группой выходов, предназначенных

для получения вспомогательной информации. Обе группы входных выводов (входных портов) снабжаются буферными регистрами, предназначенными для временного хранения данных. Каждый буферный регистр способен хранить одно слово информации. Разрядность этого слова определяется конкретным типом устройства. Один входной порт АЛУ позволяет принимать данные непосредственно с шины данных, а второй – либо с шины данных, либо из специализированного регистра, называемого *аккумулятором*. Вход этого регистра соединен с выходным портом.

В ряде случаев аккумулятор снабжается вторым входом, подключаемым к шине данных. Поэтому в общем случае в аккумуляторе могут храниться как данные, полученные в результате выполнения предыдущей операции, так и данные, переданные по шине данных. Группа выводов, предназначенных для получения вспомогательной информации о работе АЛУ, подключается к специальному регистру, называемому регистром состояния, кода условий или индикатором. В его разрядах хранится служебная информация о результате исполнения последней операции, например, указание о том, что аккумулятор сброшен, в ходе последней операции получен отрицательный результат и т.д.

В зависимости от типа операции АЛУ может оперировать одним или двумя словами данных и, следовательно, пользоваться одним или двумя входными портами. Например, при выполнении операции арифметического сложения используются два порта, а операции получения обратного кода (инвертирование кода) нужен только один порт. Результат операции всегда оканчивается в аккумуляторе.

Конкретный перечень операций, реализуемых АЛУ, может быть достаточно обширным и различен для устройств разных классов. Однако среди этого разнообразия можно выделить ряд операций, выполняемых АЛУ всех типов. К таким операциям относятся: арифметическое сложение, арифметическое вычитание, логическое умножение, логическое сложение, сумма по модулю два (Исключающее ИЛИ), инверсия, сдвиг вправо, сдвиг влево, приращение положительное (инкремент), приращение отрицательное (декремент).

Перечисленные операции выполняются с использованием только аппаратных средств (схем на логических элементах (ЛЭ)), заложенных в АЛУ, и поэтому являются элементарными. Более сложные операции, например такие, как арифметические умножение и деление выполняются, как правило, программно путем комбинаций описанных элементарных операций (микропрограммным способом).

Следует отметить, что по своему построению АЛУ относится к разряду комбинационных устройств, так как не содержит собственных элементов памяти. Поэтому значения его выходных сигналов определяются исключительно комбинацией входных сигналов, а время выполнения конкретной элементарной операции зависит от времени задержки распространения сигнала, т.е.

определяется частотными свойствами используемой элементной базы и видом реализуемых функций алгебры логики (ФАЛ).

Анализ работы ЭВМ показал, что до 50% выполняемых ею операций являются операциями арифметического умножения, а до 45% – операциями арифметического сложения. Отсюда становится понятным, почему времена выполнения операций арифметического сложения и умножения относят к основным параметрам ЭВМ. Первое определяет совершенство применяемой элементной базы, второе – совершенство используемых алгоритмов. Ниже рассмотрим только вопросы, связанные с построением логических схем, используемых при выполнении логических и арифметических операций аппаратным способом.

2.2 Сумматоры

Сумматором называется комбинационное логическое устройство, предназначенное для выполнения операции арифметического сложения чисел, представленных в виде двоичных кодов.

Сумматоры являются одним из основных узлов арифметико-логического устройства. Термин «сумматор» охватывает широкий спектр устройств, начиная с простейших логических схем, до сложнейших цифровых узлов. Общим для всех этих устройств является арифметическое сложение чисел, представленных в двоичной форме. Рассмотрим более подробно некоторые конкретные схемотехнические решения, предназначенные для реализации поставленной задачи.

2.2.1 Алгоритм двоичного сложения

Для начала получим ФАЛ, описывающие операции арифметического сложения двух одноразрядных двоичных кодов x_1 и x_0 . Алгоритм выполнения поясняется таблицей истинности (таблица 2.1). В графе s приведено значение результата сложения (суммы), а в графе p – полученное при этом значение переноса в старший разряд. Следует обратить внимание на отличия результатов, получаемых при арифметическом и логическом сложениях. При логическом сложении в последней строке столбца s присутствовало бы значение 1. Это отличие результатов данных операций не позволяет применить для арифметического суммирования элемент ИЛИ, а требует разработки специализированного устройства.

Значение сигнала переноса, равного единице в последней строке таблицы 2.1 говорит о том, что результат, полученный при выполнении операции арифметического сложения, в этом случае не может быть представлен двоичным кодом, разрядность которого равна разрядности слов слагаемых. Для

представления результата необходимо слово, имеющее на один разряд больше, чем коды слагаемых.

Таблица 2.1 – Таблица истинности сложения двух одноразрядных двоичных кодов

x_1	x_0	s	p
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Используя приведенную таблицу, легко записать систему ФАЛ, описывающих алгоритм операции арифметического сложения:

$$s = \bar{x}_1 x_0 + x_1 \bar{x}_0, \quad (2.1)$$

$$p = x_1 x_0. \quad (2.2)$$

Функция, описываемая выражением (2.1), очень часто встречается при разработке цифровых устройств. Ее называют функцией *Исключающее ИЛИ*, или *суммой по модулю два*. Таким образом, для суммирования двух двоичных одноразрядных кодов необходимо выполнить логическую операцию *Исключающее ИЛИ*.

С целью упрощения выражение (2.1) обычно записывают следующим образом:

$$s = x_1 \oplus x_0. \quad (2.3)$$

Операция $\overline{x_1 \oplus x_0}$ называется операцией *Исключающее ИЛИ-НЕ*. Используя выражение (2.3), легко записать:

$$\begin{aligned} \bar{s} = \overline{x_1 \oplus x_0} &= \overline{\bar{x}_1 x_0 + x_1 \bar{x}_0} = \overline{\bar{x}_1 x_0} \cdot \overline{x_1 \bar{x}_0} = (x_1 + \bar{x}_0)(\bar{x}_1 + x_0) = \\ &= x_1 \bar{x}_1 + x_1 x_0 + \bar{x}_1 \bar{x}_0 + \bar{x}_0 x_0 = \bar{x}_1 \bar{x}_0 + x_1 x_0. \end{aligned} \quad (2.4)$$

Логические элементы, выполняющие операции *Исключающее ИЛИ* и *Исключающее ИЛИ-НЕ*, всегда имеют только два входа, т.е. операции всегда выполняются только над двумя переменными.

Таблица 2.1 применима только для сложения одноразрядных двоичных кодов или младших разрядов многоразрядных слов. Таблица сложения старших разрядов многоразрядных двоичных слов должна быть дополнена переменной возможного переноса из более младшего разряда (таблица 2.2). ФАЛ, описывающие результаты сложений, в этом случае будут иметь вид:

$$s = (x_1 \oplus x_0) \bar{p}_{-1} + (\overline{x_1 \oplus x_0}) p_{-1}, \quad (2.5)$$

$$p = x_1 x_0 + (x_1 \oplus x_0) p_{-1}. \quad (2.6)$$

Таблица 2.2 – Таблица истинности сложений разрядов многоразрядных двоичных кодов

x_1	x_0	p_{-1}	s	p
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

2.2.2 Классификация сумматоров

Классификация сумматоров может быть выполнена по различным признакам. Рассмотрим наиболее часто встречающиеся из них.

По числу выводов различают: полусумматоры, одноразрядные сумматоры, многоразрядные сумматоры.

Полусумматором называется устройство, предназначенное для сложения двух одноразрядных кодов, имеющее два входа и два выхода, и формирующее из сигналов входных слагаемых сигналы суммы и переноса в старший разряд.

Одноразрядным сумматором называется устройство, предназначенное для сложения двух одноразрядных кодов, имеющее три входа и два выхода, и формирующее из сигналов входных слагаемых и сигнала переноса из младших разрядов сигналы суммы и переноса в старший разряд.

Многоразрядным сумматором называется устройство, предназначенное для сложения двух многоразрядных кодов, формирующее на выходе код суммы и сигнал переноса в случае, если результат сложения не может быть представлен кодом, разрядность которого совпадает с разрядностью кодов слагаемых.

В свою очередь, многоразрядные сумматоры подразделяются на *последовательные* и *параллельные*. В последовательных сумматорах операция сложения выполняется последовательно разряд за разрядом, начиная с младшего. В параллельных сумматорах все разряды входных кодов суммируются одновременно.

Различают *комбинационные сумматоры* – устройства, не имеющие собственной памяти, и *накапливающие сумматоры*, снабженные собственной внутренней памятью, в которой аккумулируются результаты выполненной операции. При этом каждое очередное слагаемое прибавляется к уже имевшемуся в устройстве значению.

По способу тактирования различают синхронные и асинхронные сумматоры. В *синхронных сумматорах* время выполнения операции арифметического суммирования двух кодов не зависит от вида самих кодов и всегда остается постоянным. В *асинхронных сумматорах* время выполнения операции зависит от вида слагаемых. Поэтому по завершении выполнения суммирования необходимо вырабатывать специальный сигнал завершения операции.

В зависимости от используемой системы счисления различают двоичные, двоично-десятичные и другие типы сумматоров.

2.2.3 Двоичный полусумматор

Согласно определению, выходные сигналы двоичного полусумматора должны соответствовать системе ФАЛ (2.1) и (2.2). Для ее технической реализации необходимы логические элементы *И* и *Исключающее ИЛИ*. Рассмотрим возможность построения элемента *Исключающее ИЛИ* на известных элементах. Для этого преобразуем выражение (2.1) к базису И-НЕ:

$$s = x_1 \oplus x_0 = \bar{x}_1 x_0 + x_1 \bar{x}_0 = \overline{\bar{x}_1 x_0} \cdot \overline{x_1 \bar{x}_0}.$$

Техническая реализация полученного выражения приведена на рисунке 2.2, *а*. На рисунке 2.2, *б* показано условное обозначение элемента *Исключающее ИЛИ*.

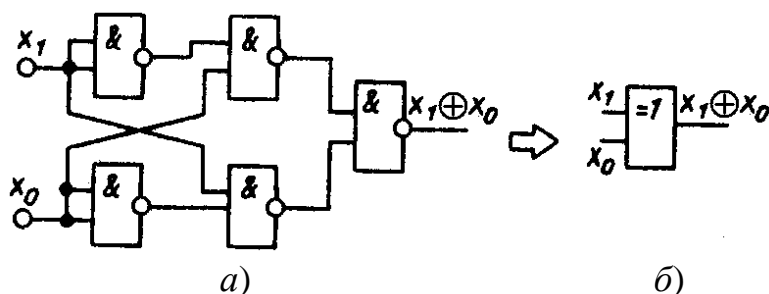


Рисунок 2.2 – Структурная схема реализации операции *Исключающее ИЛИ* (*а*) и ее условное обозначение (*б*)

Исходя из этого, можно легко синтезировать логическую схему двоичного полусумматора (рисунок 2.3, *а*). Время суммирования для схемы на рисунке 2.3 определяется временем выполнения операции *Исключающее ИЛИ*:

$$t_{\Pi \Sigma} = 3t_{3P}, \quad (2.7)$$

где t_{3P} – время задержки распространения для элемента И-НЕ.

Если регистры, хранящие коды слагаемых, снабжены как прямыми, так и инверсными выходами, входные инверторы из схемы на рисунке 2.2 можно исключить. Тогда общее время сложения уменьшится до $t_{\Pi \Sigma} = 2t_{3P}$. Условное графическое изображение двоичного полусумматора показано на рисунке 2.3, *б*.

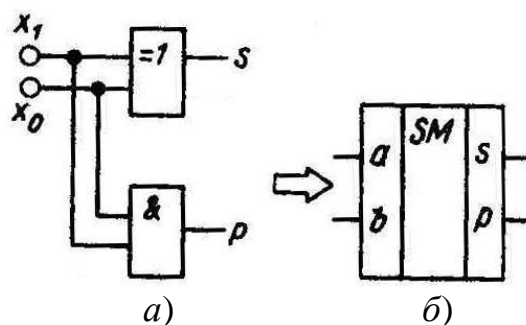


Рисунок 2.3 – Полусумматор (а) и его условное обозначение (б)

2.2.4 Одноразрядный сумматор

Функционирование одноразрядного сумматора определяется системой ФАЛ (2.5), (2.6). Техническая реализация данной ФАЛ может быть выполнена на ЛЭ любого типа. Рассмотрим, например, построение одноразрядного сумматора с использованием схем двоичных полусумматоров (рисунок 2.4, а). Очевидно, что для этой цели необходимо два полусумматора и элемент ИЛИ.

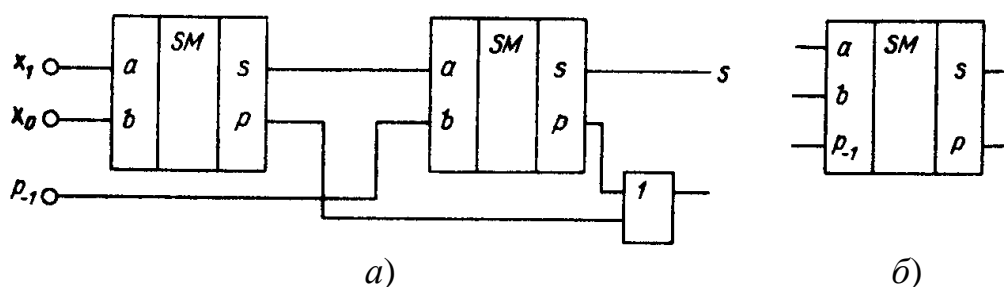


Рисунок 2.4 – Одноразрядный сумматор (а) и его условное обозначение (б)

Следует отметить, что если синтезировать схему одноразрядного сумматора непосредственно по таблице 2.2, относительно элементарных ЛЭ, можно получить более простое техническое решение.

Время суммирования в приведенной схеме также определяется временем выполнения операции *Исключающее ИЛИ*:

$$t_{0\Sigma} = 2t_{\Pi\Sigma} = 6t_{3P}. \quad (2.8)$$

Формирование сигнала переноса в старший разряд выполняется быстрее. Для этого необходимо время:

$$t_{\text{СП}} = 5t_{3P}. \quad (2.9)$$

Условное графическое обозначение одноразрядного сумматора приведено на рисунке 2.4, б.

2.2.5 Многоразрядный сумматор параллельного действия

В многоразрядном сумматоре, согласно данному ранее определению, операции суммирования должны выполняться одновременно по всем разрядам исходных двоичных чисел. Из этого следует, что такой сумматор должен иметь отдельные аппаратные средства для выполнения суммирования в каждом разряде.

Рассмотрим приведенную на рисунке 2.5 типовую структуру четырехразрядного сумматора, выполненного с использованием трех одnorазрядных сумматоров и одного полусумматора. Разряды кодов слагаемых подаются на соответствующие входы сумматоров, выходы суммы которых подсоединяются к первым входам ЛЭ И, используемых в качестве выходных ключей, на вторые входы которых подается сигнал Z , определяющий момент считывания результата. Выход сигнала переноса сумматора нулевого разряда подается на вход переноса сумматора первого разряда и т.д.

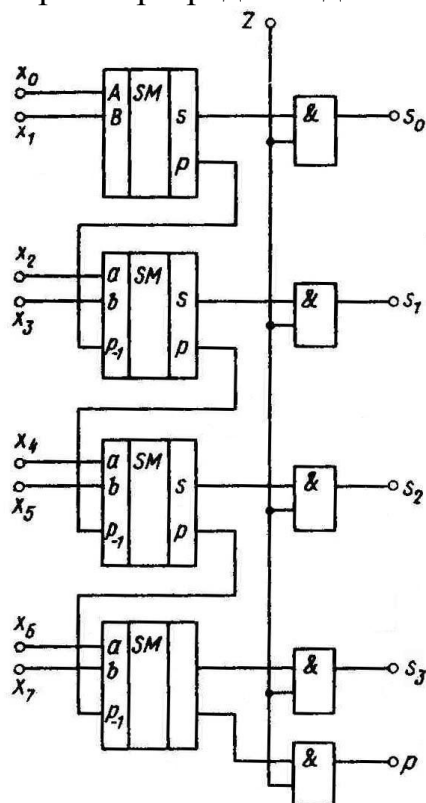


Рисунок 2.5 – Структурная схема параллельного многоразрядного сумматора с последовательным переносом

Из сказанного следует, что для получения на выходе сигнала, равного реальной сумме входных кодов, необходимо, чтобы сигнал переноса последовательно сформировался на выходах сумматоров всех разрядов. Следовательно, независимо оттого, что для суммирования в каждом разряде используется отдельный сумматор, реальное время выполнения операции в данной схеме определяется последовательным переносом сигнала P из разряда в раз-

ряд. Поэтому результат, который может быть снят с выхода схемы через время, равное времени суммирования в одном разряде, не будет являться реальным значением искомой суммы.

Для исключения получения ложного результата на выходе схемы установлены элементы И. Сигнал Z на входах этих элементов должен появляться не ранее, чем после последовательной передачи сигнала переноса по всем разрядам сумматоров.

Следует отметить, что реально схемы многоразрядных сумматоров строятся только с применением одnorазрядных сумматоров, что позволяет, используя их последовательное включение, увеличить разрядность кодов слагаемых.

В этом случае, с учетом выражений (2.7) – (2.9) общее время формирования сигнала результата в рассматриваемой схеме будет:

$$t_{M\Sigma} = t_{3P}[6 + 2(n - 1)], \quad (2.10)$$

где n – разрядность кодов слагаемых.

Реальное время суммирования для четырехразрядного сумматора рассматриваемого типа равно $12t_{3P}$, что в два раза больше времени суммирования одnorазрядного сумматора. Выходной сигнал переноса, именуемый также сигналом переполнения, формируется за время $t_{МП} = 11t_{3P}$, т.е. несколько быстрее.

2.2.6 Многоразрядный сумматор последовательного действия

Операцию сложения двух многоразрядных слов можно реализовать с использованием только одного одnorазрядного сумматора. Этот сумматор последовательно разряд за разрядом, начиная с младшего, выполняет операцию сложения в соответствующих разрядах. Однако получаемое таким образом упрощение аппаратных средств приводит к существенному снижению быстродействия устройства.

Рассмотрим приведенную на рисунке 2.6 типовую схему многоразрядного сумматора последовательного действия.

Для реализации такого устройства, необходимы три сдвиговых регистра, один D -триггер и один одnorазрядный сумматор. При этом входы синхронизации одного из регистров и D -триггера должны быть инверсны соответствующим входам двух оставшихся сдвиговых регистров.

В общем случае регистры могут не являться собственно принадлежностью устройства. Два из них необходимы для хранения кодов слагаемых и последовательной поразрядной подачи их на входы одnorазрядного сумматора. Третий используется для приема результата в последовательной форме.

Рассмотрим работу данной схемы. Для суммирования двух кодов они предварительно должны быть записаны в сдвиговые регистры $DD1$ и $DD2$. При этом неважно, каким образом (параллельным или последовательным) это

выполняется. Главным требованием является такое размещение кода в разрядных схемах регистров, при котором в его старшие разряды Q_n записываются сигналы логического 0, в разряды Q_{n-1} – младшие разряды кодов слагаемых и т.д. (таблица 2.3).

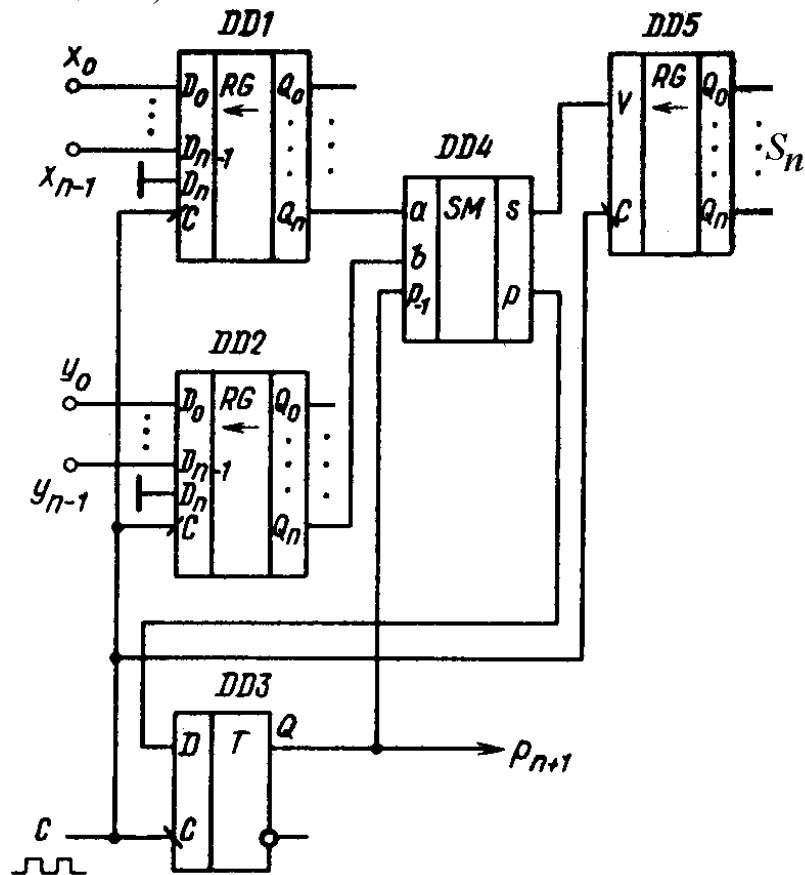


Рисунок 2.6 – Структурная схема многоразрядного сумматора последовательного действия

Таблица 2.3 – Размещение кодов слагаемых во входных регистрах последовательного сумматора

Разряд регистра	Q_0	Q_1	...	Q_{n-2}	Q_{n-1}	Q_n
Записанное значение веса коэффициента	x_{n-1}	x_{n-2}	...	x_1	x_0	0

Следовательно, для сложения двух n -разрядных кодов необходимы $(n + 1)$ -разрядные регистры. Указанные условия размещения должны выполняться при использовании регистров, сдвигающих влево.

Перед выполнением операции D -триггер должен быть сброшен. Состояние разрядных схем регистра $DD5$ приема результата – безразличное.

Суммирование требует подачи на тактовый вход устройства n импульсов синхронизации. Причем начальный перепад первого импульса синхронизации должен быть активным для входов C регистров $DD1$ и $DD2$ хранения кодов слагаемых.

По фронту импульса синхронизации на выходах Q_n сдвиговых регистров $DD1$ и $DD2$ появляются значения младших разрядов кодов слагаемых (x_0 и y_0). Так как на выходе Q D -триггера $DD3$ присутствует нулевой сигнал, на выходе одноразрядного сумматора $DD4$ через время $t_{0\Sigma}$ будут сформированы сигналы суммы и переноса для младших разрядов. По срезу импульса синхронизации полученные значения переписутся соответственно в младший разряд сдвигового регистра $DD5$ и D -триггер $DD3$. Таким образом, к приходу следующего импульса синхронизации в D -триггере будет храниться сигнал переноса, полученный при суммировании младших разрядов исходных кодов, а в разряде Q_0 сдвигового регистра $DD5$ – младший разряд суммы.

Фронт второго импульса синхронизации переписет из Q_{n-1} разрядов сдвигающих регистров $DD1$ и $DD2$ на входы одноразрядного сумматора значения сигналов вторых разрядов кодов слагаемых (x_1 и y_1). Совместно с сигналом переноса, снимаемым с выхода D -триггера, это приведет к формированию на его выходах новых значений сигналов суммы и переноса, которые по срезу импульса синхронизации переписутся соответственно в сдвиговый регистр $DD5$ и D -триггер $DD3$.

Таким образом, по фронту каждого импульса синхронизации на входе одноразрядного сумматора будут последовательно появляться значения разрядов кодов слагаемых, начиная с младшего, и сигналы переноса от результата сложения предыдущих разрядов. По каждому срезу импульса синхронизации значение новой суммы переписывается в выходной сдвиговый регистр, а значение сигнала переноса, которое необходимо учесть в следующем разряде, запоминается в D -триггере. После окончания n -го импульса синхронизации результат сложения будет храниться в регистре $DD5$. Причем в его старшем разряде будет находиться младший разряд результата.

Согласно описанному алгоритму, минимальное время суммирования в данной схеме для двух n -разрядных кодов определяется выражением:

$$t_{\text{рез}} = bnt_{3P}. \quad (2.11)$$

При суммировании четырехразрядных кодов, это время в два раза больше, чем полученное при использовании описанного в предыдущем разделе параллельного сумматора. Из описанного алгоритма работы следует, что сложность технической реализации последовательного сумматора не зависит от разрядности кодов слагаемых.

При увеличении разрядности кодов слагаемых проигрыш в быстродействии и выигрыш в простоте технической реализации будут увеличиваться. Поэтому применение многоразрядных сумматоров последовательного действия оправдано лишь в тех случаях, когда определяющим фактором является требование максимального упрощения технической реализации устройства при предъявлении низких требований к его быстродействию. Примером такого устройства является калькулятор.

2.3 Повышение быстродействия сумматоров

Как следует из сравнения характеристик рассмотренных многоразрядных сумматоров, для повышения быстродействия необходимо применять параллельные сумматоры, скорость суммирования которых ограничивается только использованием последовательного принципа передачи сигнала переноса. В этом смысле схема параллельного сумматора подобна схеме счетчика с последовательным переносом. В худшем случае сигнал переноса, сформированный при сложении младших разрядов кодов слагаемых, должен быть последовательно перенесен в старший разряд. Следствием этого является зависимость реального времени суммирования от конкретных значений кодов слагаемых. В этом смысле выражение (2.10) определяет максимально возможное время суммирования. Увеличение разрядности кодов слагаемых только ухудшает положение. По этой причине задача минимизации времени суммирования при разработке быстродействующих цифровых устройств всегда стоит очень остро.

Подобие способов передачи сигнала переноса многоразрядных сумматоров и счетчиков позволяет при разработке быстродействующих сумматоров заимствовать использованные в счетчиках технические решения. К таким решениям относятся:

- уменьшение числа элементов и разветвленности цепей, используемых для формирования сигнала переноса;
- применение в цепях формирования сигнала переноса элементов с повышенным быстродействием;
- использование цепей переноса не в последовательной, а в параллельной формах;
- выделение групп сумматоров с организацией дополнительных цепей передачи сигнала переноса.

Рассмотрим некоторые примеры практической реализации перечисленных методов.

2.3.1 Сумматоры с параллельным переносом

Суть построения сумматоров с параллельным переносом состоит в отказе от использования при суммировании i -ых разрядов кодов слагаемых сигнала переноса, сформированного при суммировании предыдущих $(i - 1)$ -ых разрядов. В каждом разряде как сигнал суммы, так и сигнал переноса непосредственно формируются из входных переменных.

Устройство, формирующее сигналы переноса непосредственно из значений входных кодов, обычно называют *блоком ускоренного переноса* (БУП).

Для пояснения возможности реализации такого решения вернемся к исходному выражению для формирования сигнала переноса в i -ом разряде (2.6):

$$p_i = x_i y_i + (x_i \oplus y_i) p_{i-1}.$$

Используя теорему булевой алгебры $a + \bar{a} \cdot F = a + F$, преобразуем выражение к виду, содержащему логические суммы и произведения переменных i -ого разряда кода в слагаемых:

$$\begin{aligned} p_i &= x_i y_i + (\bar{x}_i y_i + x_i \bar{y}_i) p_{i-1} = x_i y_i + p_{i-1} \bar{x}_i y_i + p_{i-1} x_i \bar{y}_i = x_i (y_i + p_{i-1} \bar{y}_i) + p_{i-1} \bar{x}_i y_i = \\ &= x_i (p_{i-1} + y_i) + p_{i-1} \bar{x}_i y_i = x_i y_i + p_{i-1} (x_i + \bar{x}_i y_i) = x_i y_i + p_{i-1} (x_i + y_i). \end{aligned}$$

Для упрощения математической записи введем следующие понятия:

$g_i = x_i y_i$ – функция генерации;

$h_i = x_i + y_i$ – функция прозрачности (транзита).

Согласно таблице 2.2 $g_i = 1$ только в том случае, если сигнал переноса формируется в i -ом разряде независимо от наличия переноса из более младшего разряда. Из тех же соображений сигнал h_i равен единице в том случае, если хотя бы одно из слагаемых равно 1. Если $h_i = 1$, то сигнал переноса будет сформирован только при наличии переноса из более младшего разряда. Если $x_i = y_i = 1$, то $g_i = h_i = 1$.

Используя введенные понятия, перепишем выражение для p_i в виде:

$$p_i = g_i + p_{i-1} h_i. \quad (2.12)$$

Вполне очевидно, что и сигнал переноса p_{i-1} подчиняется выражению (2.12) $p_{i-1} = g_{i-1} + p_{i-2} h_{i-1}$. Подставляя полученное выражение в (2.12), получаем:

$$p_i = g_i + h_i (g_{i-1} + p_{i-2} h_{i-1}) = g_i + h_i g_{i-1} + h_i h_{i-1} p_{i-2}.$$

Выполняя аналогичные действия вплоть до нулевого разряда, найдем обобщенную ФАЛ, описывающую закон формирования сигнала переноса в произвольном разряде:

$$p_i = g_i + h_i g_{i-1} + h_i h_{i-1} g_{i-2} + \dots + h_i h_{i-1} h_{i-2} \dots h_0 p, \quad (2.13)$$

где p – сигнал переноса, переданный на вход схемы при последовательном соединении нескольких однотипных устройств.

Используя (2.13), запишем выражения для формирования сигналов переноса в четырехразрядном сумматоре. Полученные ФАЛ приведем к базису элементов И-НЕ:

$$\begin{aligned} p_0 &= g_0 + h_0 p = \overline{\overline{x_0 y_0} \cdot \overline{(x_0 + y_0) p}} = \overline{\overline{x_0 y_0} \cdot \overline{\overline{\overline{x_0} \overline{y_0}} p}}, \\ p_1 &= g_1 + h_1 g_0 + h_1 h_0 p = x_1 y_1 + (x_1 + y_1) x_0 y_0 + (x_1 + y_1) (x_0 + y_0) p = \\ &= x_1 y_1 + \overline{\overline{x_1} \overline{y_1}} \cdot \overline{\overline{x_0} \overline{y_0}} \cdot x_0 y_0 + \overline{\overline{x_1} \overline{y_1}} \cdot \overline{\overline{x_0} \overline{y_0}} \cdot p = \overline{\overline{x_1 y_1} \cdot \overline{\overline{\overline{\overline{x_1} \overline{y_1}}} \cdot \overline{\overline{\overline{\overline{x_0} \overline{y_0}}}} p}}, \\ p_2 &= g_2 + h_2 g_1 + h_2 h_1 g_0 + h_2 h_1 h_0 p = x_2 y_2 + (x_2 + y_2) x_1 y_1 + (x_2 + y_2) (x_1 + y_1) x_0 y_0 + \\ &\quad + (x_2 + y_2) (x_1 + y_1) (x_0 + y_0) p = \\ &= \overline{\overline{x_2 y_2} \cdot \overline{\overline{\overline{\overline{\overline{x_2} \overline{y_2}}} \cdot \overline{\overline{\overline{\overline{\overline{x_1} \overline{y_1}}} \cdot \overline{\overline{\overline{\overline{\overline{x_0} \overline{y_0}}}}}}}} p}}}}. \end{aligned}$$

Техническая реализация четырехразрядного сумматора с параллельным переносом показана на рисунке 2.7. Нетрудно посчитать, что с учетом получения инверсных значений разрядов кодов слагаемых, время формирования сигнала переноса для любого разряда постоянно и равно $t_{\Pi\Pi} = 4t_3$ р. Поэтому общее время суммирования для схемы с параллельным переносом:

$$t_{\Pi\Pi\Sigma} = t_{\Pi\Pi} + t_{\Pi\Sigma} = 7t_3 \text{ р.} \quad (2.14)$$

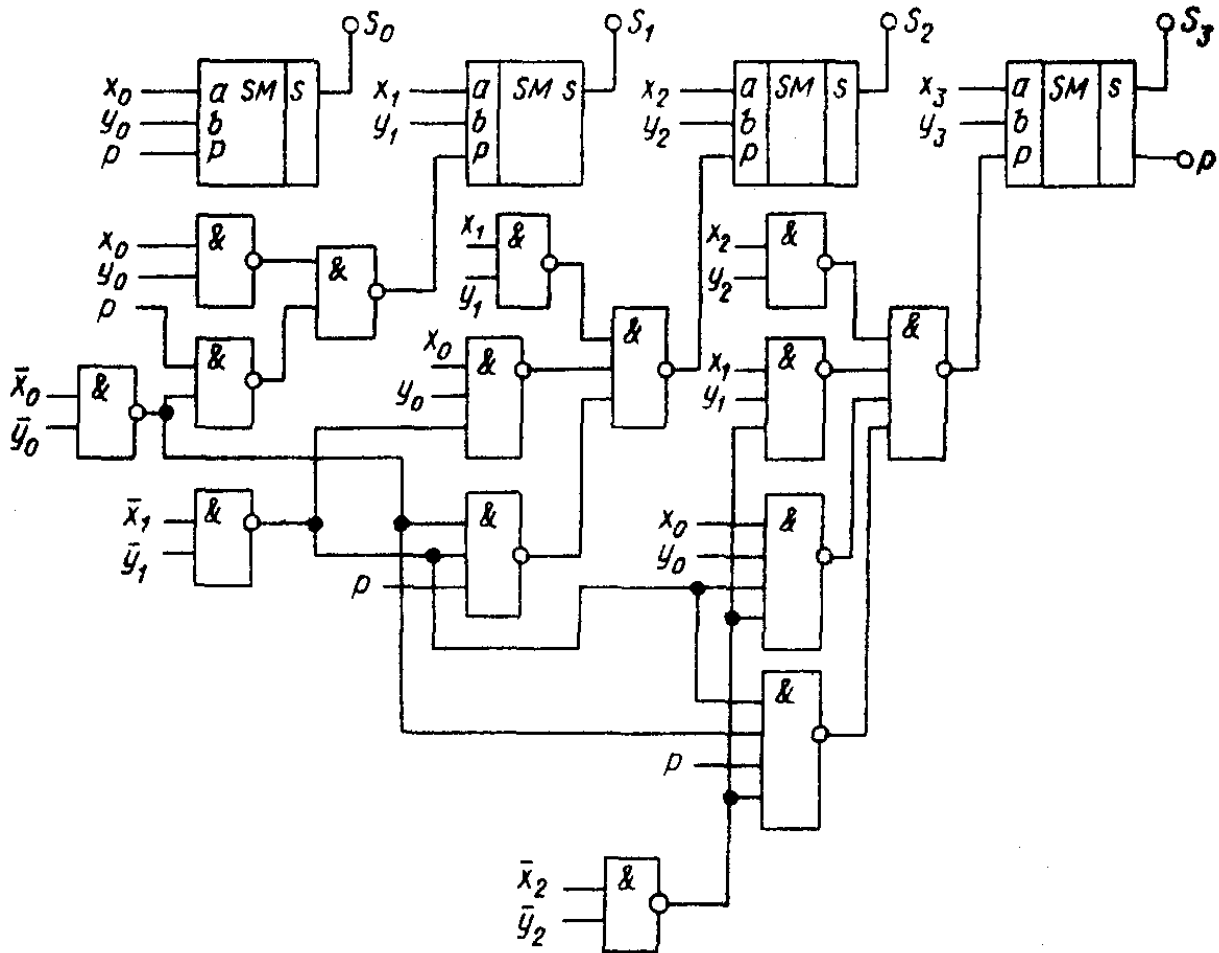


Рисунок 2.7 – Структурная схема четырехразрядного сумматора с параллельным переносом

Очевидно, что при увеличении разрядности кодов слагаемых применение описанного технического решения позволяет значительно увеличить скорость суммирования.

Недостатком метода, так же как и в счетчиках с параллельным переносом, является значительное усложнение схемы устройства при повышении разрядности кодов слагаемых. Поэтому схемы сумматоров с параллельным переносом обычно реализуют для малого числа разрядов (обычно не более четырех). При необходимости разработки сумматоров с большей разрядностью обычно применяют устройства с групповой структурой.

2.3.2 Сумматоры с групповой структурой

Идея построения сумматоров с групповой структурой повторяет принцип, использованный в счетчиках с комбинированным переносом. Одноразрядные сумматоры многоразрядного устройства разбиваются на группы так, чтобы выполнялось условие $n = ml$, где n – общее число разрядов сумматора; l – число выделенных групп; m – число одноразрядных сумматоров в одной группе.

При этом как в каждой группе, так и между группами возможны различные виды переноса. Среди подобных структур наибольшее распространение получили схемы с цепным и параллельно-параллельным переносом.

Сумматоры с цепным переносом реализуют внутри выделенных групп параллельный перенос, в то время как между группами использован принцип последовательного переноса. Такой подход, повышая быстродействие многоразрядного сумматора, позволяет значительно упростить его схему. Это достигается за счет ограничения числа входных сигналов БУП только сигналами данной группы сумматоров.

На рисунке 2.8 приведен пример реализации данного принципа. Каждая из l групп, кроме последней, состоит из m -разрядного сумматора с параллельным переносом и БУП, формирующего входной сигнал переноса для последующей группы сумматоров. Особенностью используемого БУП является формирование только одного сигнала переноса, что упрощает его структуру. На рисунке 2.9 в качестве примера приведена спроектированная с использованием ФАЛ (2.13) логическая схема такого БУП для $m = 4$:

$$p_m = g_3 + h_3 g_2 + h_3 h_2 g_1 + h_3 h_2 h_1 g_0 + h_3 h_2 h_1 h_0 p =$$

$$= \overline{x_3 y_3} \cdot \overline{x_3 y_3} \cdot x_2 y_2 \cdot \overline{x_3 y_3} \cdot \overline{x_2 y_2} \cdot x_1 y_1 \cdot \overline{x_3 y_3} \cdot \overline{x_2 y_2} \cdot \overline{x_1 y_1} \cdot x_0 y_0 \cdot \overline{x_3 y_3} \cdot \overline{x_2 y_2} \cdot \overline{x_1 y_1} \cdot \overline{x_0 y_0} \cdot p.$$

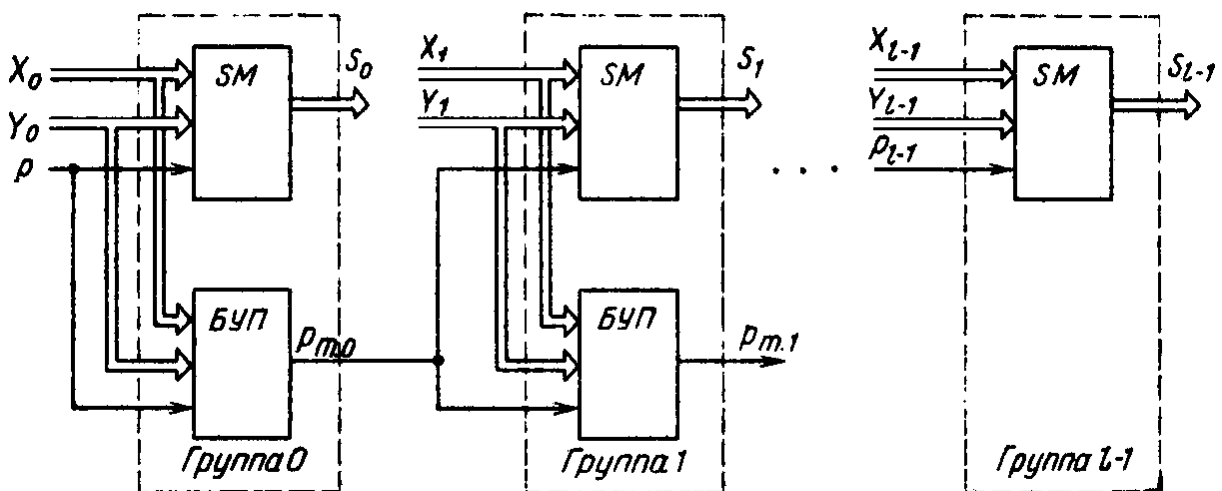


Рисунок 2.8 – Структурная схема многоразрядного сумматора с цепным переносом

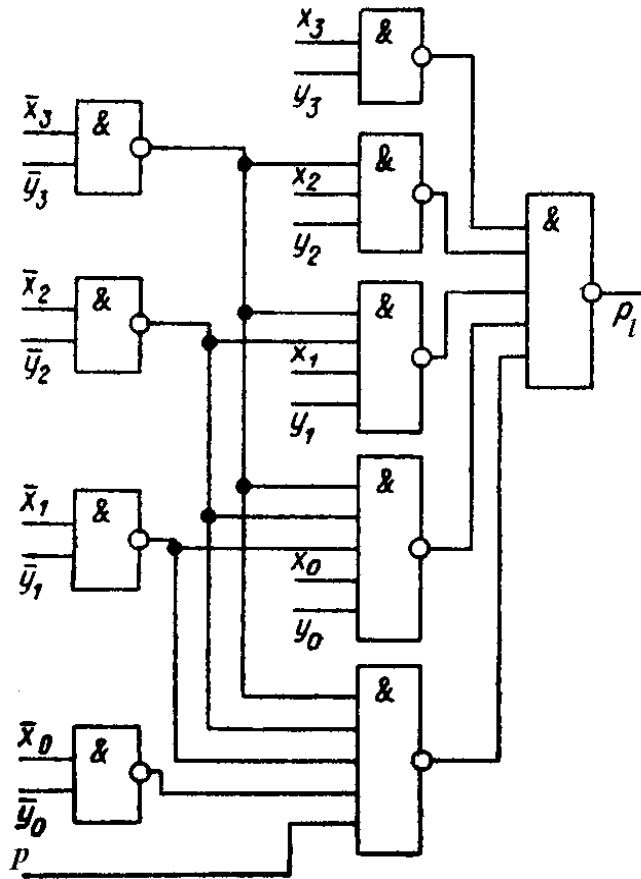


Рисунок 2.9 – Структурная схема блока ускоренного переноса четырехразрядного сумматора с цепным переносом

Результирующее время суммирования в схемах рассматриваемого типа определяется соотношением:

$$t_{ц\sum} = [7 + 4(l - 1)]t_{3P}. \quad (2.15)$$

Так, при построении по схеме на рисунке 2.8 16-разрядного сумматора имеем:

$$m = l = 4; \quad t_{ц\sum} = 19t_{3P}.$$

Для сравнения аналогичная схема с использованием принципа последовательной передачи сигнала переноса обеспечит задержку получения результата $t_{M\sum} = [6 + 2(16 - 1)]t_{3P} = 36t_{3P}$, т.е. в 1.94 раза больше.

Сумматор с параллельно-параллельным переносом реализует как внутри групп, так и между группами принцип параллельного переноса. Это позволяет без излишнего усложнения схемы устройства получить максимально высокое быстродействие. По сути, в данной схеме один и тот же принцип формирования сигналов переноса применен дважды: один раз – внутри каждой группы, второй – между группами. Поэтому для формирования сигнала переноса между группами используются функция генерации g_i и прозрачности h_i , аналогичные рассмотренным в пункте 2.3.1.

Структурная схема, реализующая данный принцип, приведена на рисунке 2.10. Суммарное время выполнения операции суммирования в рассматриваемой структуре $t_{ППП\sum} = 11t_{3P}$.

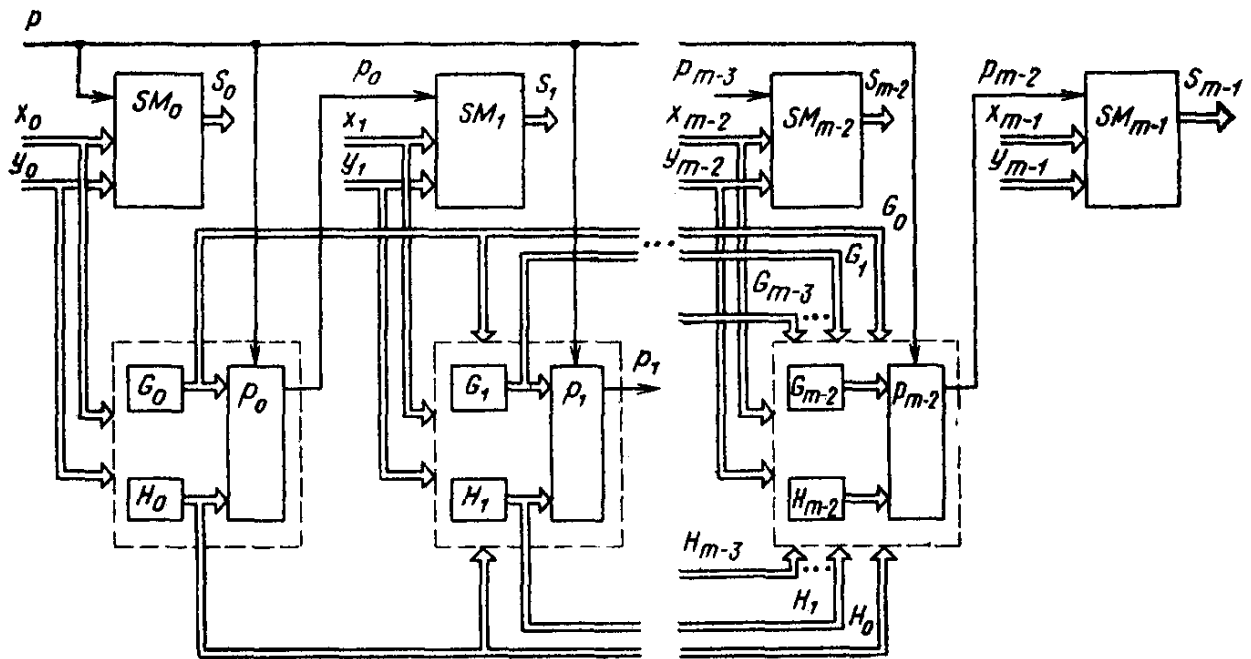


Рисунок 2.10 – Структурная схема многоразрядного сумматора с параллельно-параллельным переносом

Увеличение разрядности кодов слагаемых приводит к необходимости увеличения либо числа групп сумматоров, либо числа сумматоров в каждой группе, что чрезмерно усложняет техническую реализацию схемы блока ускоренного переноса. Упрощения этой схемы можно добиться объединением групп сумматоров в подгруппы при организации между этими подгруппами параллельного переноса, т.е. принцип параллельного переноса в таких схемах применяется трижды.

Строго говоря, при увеличении разрядности кодов слагаемых этот принцип можно применять и большее число раз, что позволяет получить высокое быстродействие сумматора при относительно простых технических решениях блока ускоренного переноса.

Частным случаем сумматора с параллельно-параллельным переносом является *сумматор с условным переносом*. Суть его построения заключается в следующем: N -разрядный сумматор разбивают на две подгруппы. В подгруппе младших разрядов суммирование ведется как в обычной схеме. Суммирование в подгруппе старших разрядов выполняется для $p = 1$ и $p = 0$. К моменту окончания суммирования в подгруппе младших разрядов результат суммирования в подгруппе старших разрядов для обоих значений сигнала переноса уже готов. В зависимости от полученного значения сигнала переноса в подгруппе младших разрядов остается выбрать нужный результат от суммирования в подгруппе старших разрядов.

2.4 Алгоритм вычитания двоичных чисел

Из математики известно, что операцию вычитания двух чисел можно заменить операцией сложения, если в качестве вычитаемого взять число, знак которого противоположен исходному. Использование такого подхода позволяет значительно упростить техническую реализацию АЛУ, так как для выполнения операции вычитания можно использовать схемы сумматоров. При этом весьма актуальным является вопрос представления отрицательных чисел в виде двоичных кодов.

На практике для представления отрицательных чисел наибольшее распространение получил метод, в котором для обозначения знака используется старший разряд его двоичного кода. Так, если используется 8-разрядный двоичный код, то семь его разрядов содержат информацию о величине (модуле) числа, а восьмой (старший) – о его знаке. Обычно присутствие в этом разряде нуля означает, что число положительное, присутствие единицы – что число отрицательное. Следовательно, используя 8-разрядный код, можно записать числа с десятичными эквивалентами от -127 до $+127$.

Однако присутствие знакового разряда непосредственно не позволяет использовать рассмотренные ранее схемы сумматоров для выполнения операции вычитания чисел, представленных в прямом двоичном коде. Наиболее часто для записи отрицательного числа используется дополнительный код.

Алгоритм получения дополнительного кода двоичного числа сводится к следующему:

- записывают обратный код исходного числа, для чего все его разряды инвертируют (заменяют дополнениями);
- к полученному после инвертирования коду добавляют единицу.

В дальнейшем, при сложении полученного таким образом кода вычитаемого с кодом уменьшаемого будет реализована операция вычитания. При этом знак результата определяется старшим разрядом полученного кода. Если старший разряд равен нулю, получено положительное число, представленное в прямом коде. Если старший разряд равен единице, получено отрицательное число, представленное в дополнительном коде. Проиллюстрируем сказанное на примере.

Пример 1. Используя дополнительный код, найти разность $31 - 12$.

Решение.

1. Прямые двоичные коды заданных чисел:

$$(31)_{10} = (00011111)_2; (12)_{10} = (00001100)_2.$$

2. Обратный код вычитаемого $(11110011)_2$.

3. Дополнительный код вычитаемого:

$$(11110011)_2 + (00000001)_2 = (11110100)_2.$$

4. Сложение:

$$\begin{array}{r} 00011111 \\ + 11110100 \\ \hline 100010011 \end{array}$$

Полученный результат представлен 9-разрядным двоичным кодом. В этом случае самый старший девятый разряд отбрасывают. Полученное двоичное число содержит нуль в старшем разряде. Поэтому результат положителен и представлен в прямом коде. Нетрудно видеть, что его десятичный эквивалент равен 19.

Пример 2. Используя дополнительный код, найти разность $12 - 31$.

Решение.

1. Обратный код вычитаемого $(11100000)_2$.
2. Дополнительный код вычитаемого:
 $(11100000)_2 + (00000001)_2 = (11100001)_2$.
3. Сложение:

$$\begin{array}{r} 00001100 \\ + 11100001 \\ \hline 11101101 \end{array}$$

Старший разряд полученного результата равен единице. Следовательно, получено отрицательное число, записанное в дополнительном коде. Для получения прямого кода можно воспользоваться приведенным выше алгоритмом преобразования прямого кода в дополнительный. Однако существует более простое правило такого преобразования: дополнительный код просматривают справа налево, оставляя без изменения все встретившиеся при этом значения логического 0. Первую встретившуюся логическую 1 также пропускают, а далее все цифры инвертируют. Результатом такого преобразования будет прямой код числа.

Проделав описание действия с полученным кодом, получим код $(00010011)_2$, что с учетом знака эквивалентно числу $-(19)_{10}$.

Следует отметить, что аналогично можно выполнить и преобразование прямого кода в дополнительный. Таким образом, использование при представлении отрицательных чисел дополнительного кода позволяет применить для выполнения операции сложения и вычитания единую логическую схему.

2.5 Реализация операций арифметического сложения и вычитания

Рассмотрим часть структурной схемы логического устройства (рисунок 2.11), предназначенного для выполнения операций арифметического сложения и вычитания. Для упрощения приведено только два разряда устройства. Схема состоит из общего управляющего узла на элементе 2ИЛИ ($DD1$) и блоков сложения-вычитания (БСВ), число которых равно разрядности кодов слагаемых (в данном случае двум). Схема имеет два входа управления: вход

сложения «+» и вход вычитания «-», а также входы для ввода слов данных. С выхода устройства снимаются сигналы суммы и переноса в более старшие разряды. Между сумматорами БСВ реализован принцип последовательного переноса.

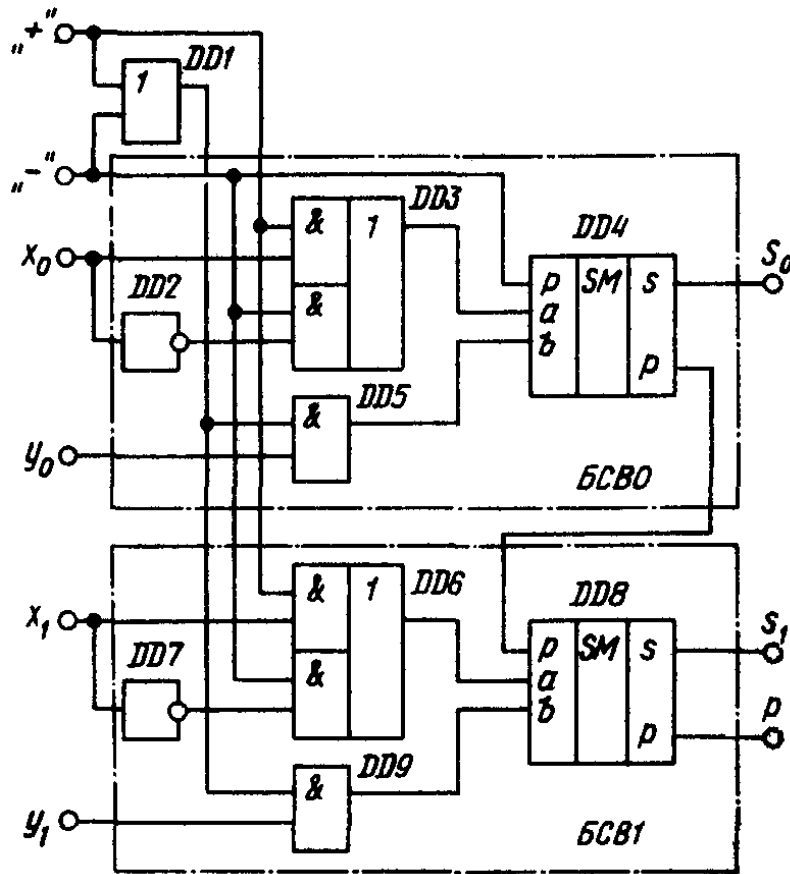


Рисунок 2.11 – Структурная схема сложения-вычитания двухразрядных кодов

В исходном состоянии на входы управления режимом работы устройства поданы сигналы логического 0. При этом на первые входы элементов 2И $DD5$, $DD9$ и элементов 2И сложной логики $DD3$ и $DD6$ также поданы нулевые сигналы. Вследствие этого на всех входах одноразрядных сумматоров, независимо от значения входных кодов слагаемых, присутствуют нулевые сигналы. Соответственно равны нулю и выходные сигналы схемы.

Предположим, что на вход сложения «+» подан сигнал логической 1. В этом случае на первые входы элементов 2И $DD5$ и $DD9$, а также первые входы верхних элементов 2И элементов сложной логики $DD3$ и $DD6$ будут поданы сигналы логической 1. На первые входы нижних элементов 2И в $DD3$ и $DD6$ по-прежнему будут поданы нулевые сигналы. Поэтому на входах сумматоров $DD4$ и $DD8$ будут присутствовать сигналы, значения которых определены кодами слагаемых. С выхода устройства будут сняты сигналы, равные результату сложения, и сигнал переноса.

Если сигнал логической 1 будет подан на вход вычитания, то на первые входы элементов 2И $DD5$ и $DD9$ по-прежнему будет подан единичный сигнал

и на входы «*b*» сумматоров поступит прямой код уменьшаемого. На первые входы верхних элементов 2И в *DD3* и *DD6* придут нулевые, а на аналогичные входы нижних элементов 2И – единичные логические сигналы. В результате этого код вычитаемого попадает на входы «*a*» сумматоров через инверторы, т.е. инвертированным. Одновременно на входе переноса сумматора *DD4* нулевого разряда появится единичный сигнал. Учитывая сказанное в предыдущем разделе, можно сказать, что на входы «*a*» сумматоров будет подан дополнительный код вычитаемого. Поэтому на выходах сумматоров будет сформирован сигнал разности двух кодов $Y - X$.

Очевидно, что подача на оба управляющих входа схемы сигналов логической 1 является недопустимой, так как это нарушает ее работу.

Таким образом, рассмотренная схема позволяет получить на выходе сигнал либо суммы, либо разности двух двоичных кодов. Вид выполняемой операции определяется значением управляющего сигнала.

2.6 Двоично-десятичные сумматоры

Кроме двоичных, в вычислительной технике часто используются так называемые двоично-десятичные коды. Они отображают выраженные в виде последовательности двоичных разрядов десятичные числа. Очевидно, что для представления десятичных цифр необходим, как минимум, четырехразрядный двоичный код. При этом из 16 возможных его комбинаций используется только 10. Это предполагает разработку большого числа различных двоично-десятичных кодов.

На практике большое распространение получил класс так называемых *взвешенных кодов*. В этих кодах каждому разряду двоичного числа приписывается вполне определенный весовой коэффициент. В качестве примера в таблице 2.4 приведено соответствие десятичных чисел и их двоичных и двоично-десятичных эквивалентов. Весовые коэффициенты его двоичных разрядов соответственно равны 8, 4, 2, 1.

Из приведенной таблицы следует, что 4-разрядные двоичные коды с 1010 по 1111 не имеют 4-разрядного двоично-десятичного эквивалента. Так, число 12 в двоично-десятичном коде представляется 8-разрядным кодом 00010010, а число 16 – кодом 00010110.

Описанная особенность двоично-десятичного кода предполагает использование для суммирования специальных логических схем. Смысл их построения состоит в том, что сначала двоично-десятичные коды суммируются как двоичные. Если результатом суммирования является несуществующий двоично-десятичный код, его необходимо уменьшить на 10, и дополнительно сформировать сигнал переноса. Уменьшение кода на 10 может выполняться его суммированием с дополнительным кодом числа:

$$(10)_{10} = (1010)_2 \Rightarrow (0101)_2 + (0001)_2 = (0110)_2.$$

Таблица 2.4 – Двоично-десятичный код

Двоичный код $x_3x_2x_1x_0$	Двоично-десятичный код		Десятичное число
0000		0000	0
0001		0001	1
0010		0010	2
0011		0011	3
0100		0100	4
0101		0101	5
0110		0110	6
0111		0111	7
1000		1000	8
1001		1001	9
1010	0001	0000	10
1011	0001	0001	11
1100	0001	0010	12
1101	0001	0011	13
1110	0001	0100	14
1111	0001	0101	15

Необходимость выполнения такого суммирования согласно таблице 2.4 выражается ФАЛ:

$$\begin{aligned}
 F &= x_3\bar{x}_2x_1\bar{x}_0 + x_3\bar{x}_2x_1x_0 + x_3x_2\bar{x}_1\bar{x}_0 + x_3x_2\bar{x}_1x_0 + x_3x_2x_1\bar{x}_0 + x_3x_2x_1x_0 = \\
 &= x_3\bar{x}_2x_1 + x_3x_2\bar{x}_1 + x_3x_2x_1 = x_3\bar{x}_2x_1 + x_3x_2 = x_3(\bar{x}_2x_1 + x_2) = x_3(x_1 + x_2).
 \end{aligned}$$

Очевидно, что такое же суммирование необходимо выполнять и в случае, если в результате первого суммирования получен сигнал переноса в старший разряд. С учетом сказанного, ФАЛ необходимости выполнения дополнительного суммирования имеет вид:

$$F = x_3(x_1 + x_2) + P. \quad (2.16)$$

Таким образом, для реализации операции сложения двух двоично-десятичных кодов необходимы два многоразрядных сумматора и логическая схема, обеспечивающая формирование выходного сигнала в соответствие с ФАЛ (2.16).

Пример реализации такого устройства показан на рисунке 2.12. Четырехразрядный сумматор *DD1* выполняет арифметическое сложение исходных двоично-десятичных кодов. Логическая схема на элементах *DD2*, *DD3* и *DD4*, реализующая ФАЛ (2.16), определяет необходимость дополнительного суммирования, выполняемого сумматором *DD5*.

Работу схемы рассмотрим на примере суммирования кодов 0111 и 0100. При подаче этих кодов на вход сумматора *DD1* на его выходе формируется сигнал 1011, не имеющий двоично-десятичного эквивалента. Одновременно в соответствие с ФАЛ (2.16) на выходе элемент *DD4* появится сигнал логиче-

ской 1 и на входах b_2, b_1, b_0 сумматора $DD5$ сформируется код 011 . Этот код просуммируется с кодом 101 , снимаемым с выводов s_3, s_2, s_1 элемента $DD1$. В результате на выходах сумматора $DD5$ будет сформирован код 000 , а общим результатом суммирования исходных двоично-десятичных кодов будет код 0001 и сигнал переноса, снимаемый с выхода элемента $DD4$.

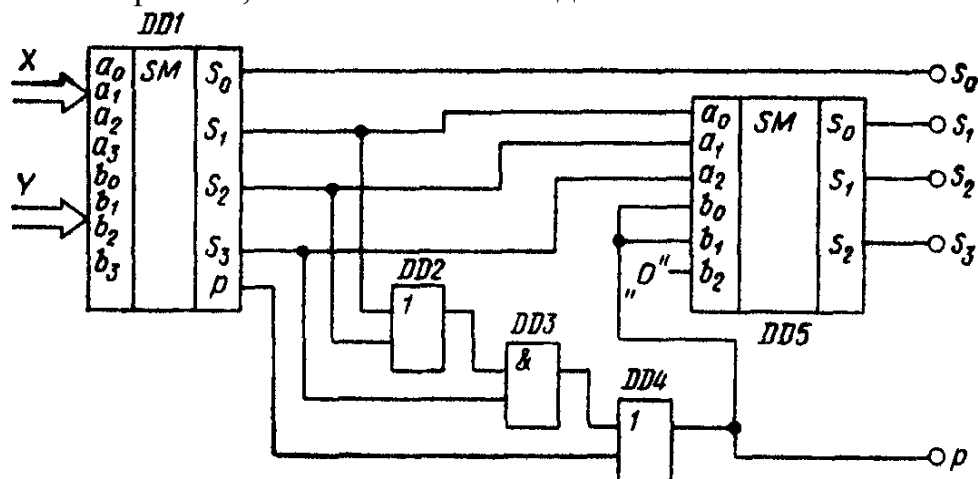


Рисунок 2.12 – Двоично-десятичный сумматор

Если в результате суммирования на выходе элемента $DD1$ будет сформирован допустимый (существующий) двоично-десятичный код, на выходе элемента $DD4$ будет присутствовать нулевой логический сигнал, и сумматор $DD5$ выполнит суммирование выходного кода $DD1$ с кодом нуля, что не изменит его значения.

Из описанного алгоритма следует, что при любых комбинациях входных кодов к значению младшего разряда S_0 сумматора $DD1$ добавляется код нуля. Это не изменяет его значения и поэтому в качестве $DD5$ можно использовать трехразрядный сумматор. Однако на практике для выполнения данной операции отдается предпочтение программным методам.

2.7 Выполнение логических операций

Как уже отмечалось, кроме операций арифметического сложения и вычитания АЛУ должно выполнять ряд логических операций. В качестве примера рассмотрим схему, обеспечивающую реализацию операций логического сложения и умножения, суммы по модулю два и инверсии. Общим для всех перечисленных операций является то, что они исполняются над каждым разрядом входных кодов отдельно без связи с другими разрядами. То есть это операции между разрядами регистров, хранящих исходную информацию. Полученный результат хранится в одном из этих же регистров.

На рисунке 2.13 приведена схема, иллюстрирующая выполнение перечисленных операций для одного разряда входных кодов. Триггер TT_A ($DD4$) принадлежит регистру-аккумулятору (A), а триггер TT_1 ($DD5$) – буферному

регистру 1 (см. рисунок 2.1). Выбор исполняемой операции осуществляется подачей сигнала логической 1 на соответствующий управляющий вывод устройства.

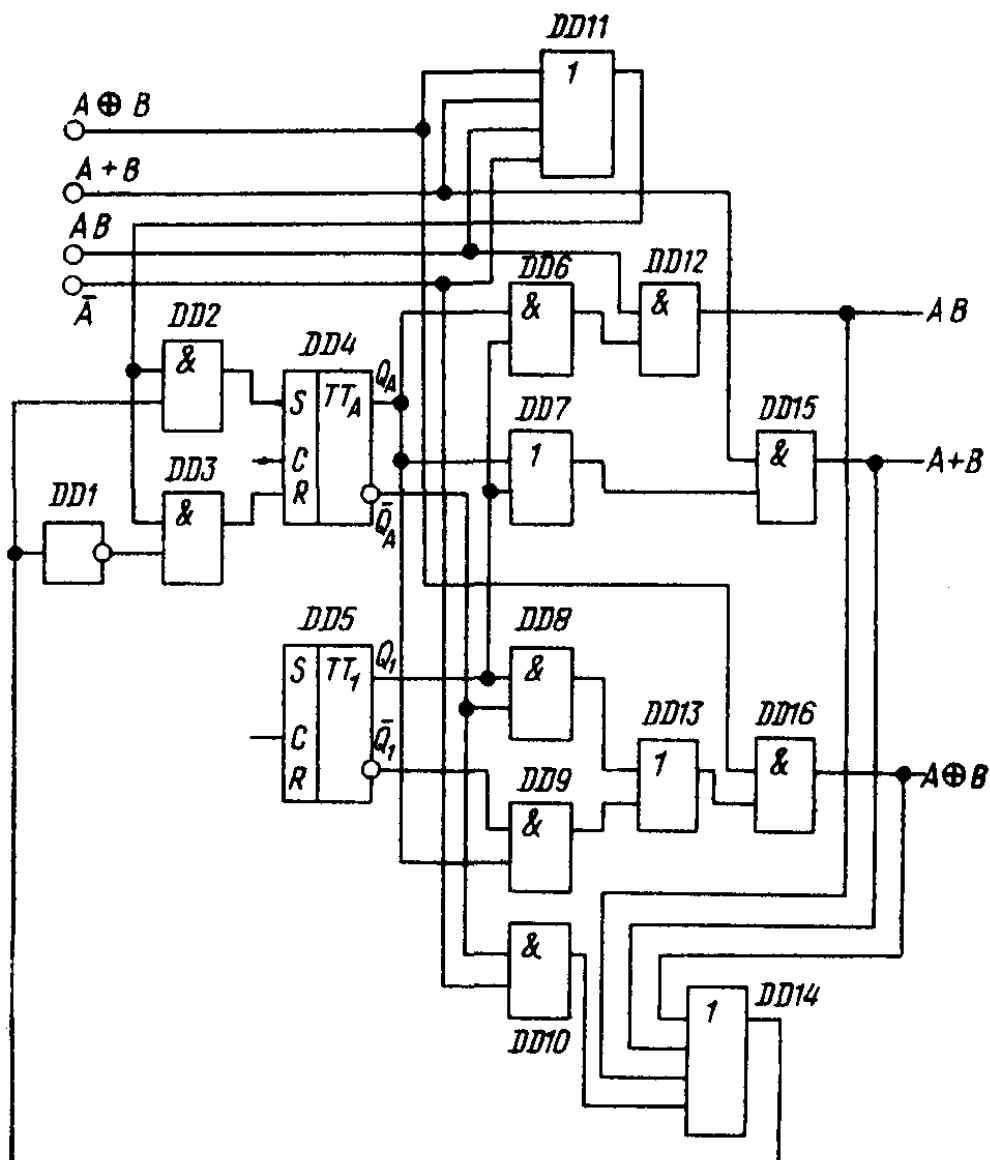


Рисунок 2.13 – Структурная схема реализации операций логического сложения, вычитания, суммы по модулю два и инверсии

Суть построения схемы заключается в том, что она содержит цепи, одновременно выполняющие все четыре указанные логические операции. Элемент $DD6$ формирует на выходе сигнал $Q_A Q_1$, элемент $DD7$ – сигнал $Q_A + Q_1$, элементы $DD8$, $DD9$ и $DD13$ – сигнал $\bar{Q}_A Q_1 + Q_A \bar{Q}_1$. Значение \bar{Q}_A берется непосредственно с инверсного выхода триггера $DD4$. При подаче соответствующего управляющего сигнала при помощи элементов 2И $DD12$, $DD15$, $DD16$ и $DD10$, выполняющих роль логических ключей, происходит выбор нужного результата и с помощью элементов 4ИЛИ ($DD14$), 2И ($DD2$ и $DD3$), инвертора ($DD1$) его последующая запись по тактовому импульсу в триггер $DD4$.

В исходном состоянии на все управляющие входы схемы поданы сигналы логического 0. При этом на выходе элемента 4ИЛИ $DD11$ также формируется нулевой сигнал. В результате на верхние входы элементов 2И $DD2$, $DD3$, $DD12$, $DD15$, $DD16$ и нижний вход $DD10$ поданы нулевые сигналы. Поэтому их выходные сигналы имеют низкий уровень, что предполагает хранение в триггере $DD4$ исходной информации.

Допустим, на управляющий вход AB подан сигнал логической 1. При этом на верхний вход элемента 2И $DD12$ подается единичный сигнал и его выходной уровень повторяет значение выходного сигнала элемента $DD6$, реализующего операцию логического умножения. Этот сигнал через элемент 4ИЛИ $DD14$ и инвертор $DD1$ поступает на нижние входы элементов 2И $DD2$ и $DD3$. Сигнал элемента 4ИЛИ $DD11$, поступающий на верхние входы элементов 2И $DD2$ и $DD3$, равен логической 1 и на входах R и S триггера $DD4$ формируются сигналы, определяемые результатом выполнения операции логического умножения. С приходом на вход C триггера $DD4$ очередного импульса синхронизации произойдет запись в него новой информации.

Принцип действия схемы при подаче сигнала логической 1 на другие управляющие входы подобен вышеописанному. Дополнив устройство узлами, выполняющими другие логические операции, можно легко расширить функциональные возможности схемы. Следует отметить, что, как и в схеме на рисунке 2.11, одновременная подача нескольких управляющих сигналов в рассматриваемом устройстве является недопустимой.

2.8 Интегральные схемы АЛУ

В настоящее время практически все АЛУ выполняются в интегральном исполнении и промышленностью выпускаются различные серии соответствующих ИС. Проиллюстрируем функциональные возможности таких схем на примере ИС К555ИПЗ. Условное графическое обозначение ИС К555ИПЗ приведено на рисунке 2.14.

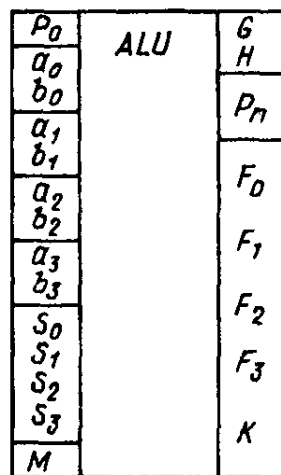


Рисунок 2.14 – Условное графическое обозначение АЛУ

Данная схема оперирует с двумя 4-разрядными входными кодами и способна выполнять 16 логических и 16 арифметических операций. Тип выполняемой операции (логическая или арифметическая) определяется уровнем управляющего сигнала на входе M (mode control). Если $M = 1$, то в схеме блокируются все внутренние переносы, и она поразрядно выполняет логические операции. При $M = 0$ разблокируются внутренние переносы, и ИС выполняет арифметические операции над 4-разрядными входными кодами. Конкретный вид выполняемой операции определяется управляющим кодом, присутствующим на выводах S_3, S_2, S_1, S_0 . Результаты выполненной операции снимаются с выходных выводов F_3, F_2, F_1, F_0 . Схема снабжена входом P_0 и выходом P_n переноса, а также выходами G и H , используемыми при построении много-разрядных АЛУ соответственно с последовательным и параллельным переносами. В последнем случае к выходам G и H подключается специализированная ИС блока ускоренного переноса (например, ИС К555ИП4). Вывод K является выходом встроенного компаратора, формирующего сигнал $K = 1$ при $A = B$.

В таблице 2.5 приведен перечень, выполняемых рассматриваемой ИС операций и необходимые для этого значения управляющих сигналов S и M .

Таблица 2.5 – Функции, выполняемые ИС К555ИП3

Управляющие сигналы $S_3S_2S_1S_0$	Логические операции $M = 1$	Арифметические операции $M = 0$
0000	\bar{A}	A
0001	$\overline{A \vee B}$	$A \vee B$
0010	$\bar{A} \wedge B$	$A \vee \bar{B}$
0011	0	-1
0100	$A \wedge B$	$A + A \wedge \bar{B}$
0101	\bar{B}	$(A \vee B) + A \wedge \bar{B}$
0110	$A + B$	$A - B - 1$
0111	$A \wedge \bar{B}$	$A \wedge \bar{B} - 1$
1000	$\bar{A} \vee B$	$A + A \wedge B$
1001	$\overline{A + B}$	$A + B$
1010	B	$(A \vee \bar{B}) + A \wedge B$
1011	$A \wedge B$	$A \wedge B - 1$
1100	1	$A + A$
1101	$A \vee \bar{B}$	$(A \vee B) + A$
1110	$A \vee B$	$(A \vee \bar{B}) + A$
1111	A	$A - 1$

Примечание. 1. При условии $M = 0$ ИС может одновременно выполнять как логические, так и арифметические операции. Для исключения путаницы в

таблице 2.5 для обозначения операции логического сложения и умножения соответственно использованы знаки « \vee » и « \wedge ».

2. Знаками «+» и «-» обозначены операции арифметического сложения и вычитания. Поэтому выражение $(A \vee B) + A \wedge \bar{B}$ следует понимать как арифметическую сумму двух кодов, первый из которых получен в результате логического сложения, а второй – логического умножения исходных кодов A и \bar{B} .

2.9 Выполнение операций арифметического умножения

Традиционно операции арифметического умножения и деления в ЭВМ выполнялись с использованием последовательностей описанных ранее элементарных функций. Однако в последнее время в связи с успехами технологии были разработаны специализированные ИС, выполняющие эти операции аппаратным способом. Применение таких устройств позволило значительно увеличить быстродействие вычислительных систем.

Логика построения аппаратных умножителей неразрывно связана с традиционным алгоритмом выполнения операции умножения, базирующемся на суммировании частных произведений разрядов сомножителей. Проиллюстрируем сказанное на примере умножения 2-разрядных двоичных кодов:

$$\begin{array}{r}
 \begin{array}{cc}
 a_1 & a_0 \\
 \times & b_1 & b_0 \\
 \hline
 b_1 a_1 & b_1 a_0 \\
 + & b_0 a_1 & b_0 a_0 \\
 \hline
 M_3 & M_2 & M_1 & M_0
 \end{array}
 \end{array}$$

Структурная схема устройства показана на рисунке 2.15. Частные произведения разрядов сомножителей формируются ЛЭ 2И $DD1 \dots DD4$. Суммируя эти произведения сумматорами $DD5$ и $DD6$, находят значение кода результата. Приведенная структура носит название *матричного множительного блока*.

Используя аналогичный подход, можно синтезировать матричный множительный блок, работающий с входными кодами произвольной разрядности.

При разработке ИС желательно использовать структуру, позволяющую увеличивать разрядность входных кодов путем использования нескольких однотипных схем. Устройство, приведенное на рисунке 2.15, этому требованию не удовлетворяет. Для нахождения структурной схемы умножителя, удовлетворяющей указанному требованию, рассмотрим алгоритм умножения двух 4-разрядных кодов (рисунок 2.16).

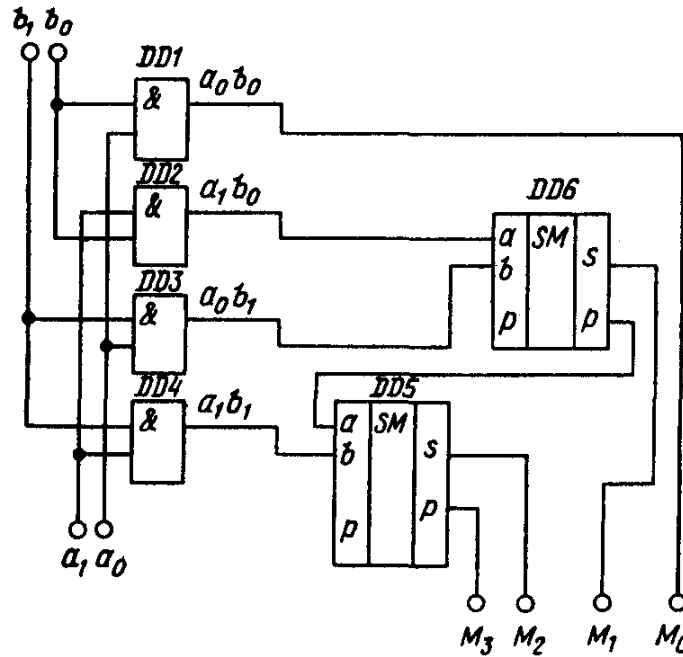


Рисунок 2.15 – Структурная схема матричного умножителя двухразрядных кодов

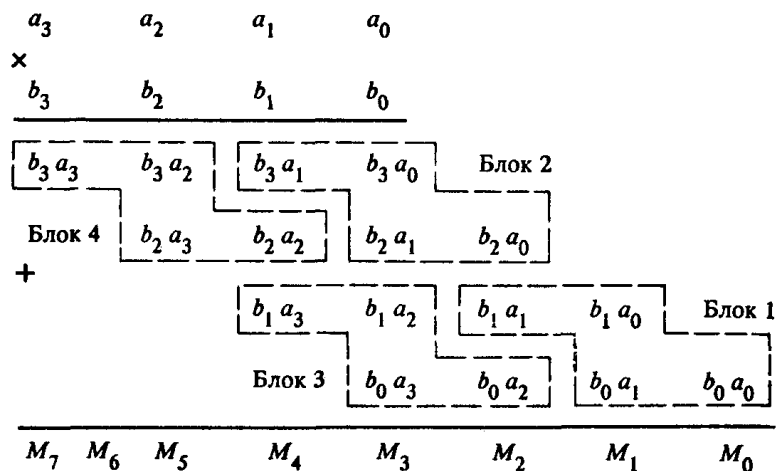


Рисунок 2.16 – Алгоритм умножения двух 4-разрядных кодов

Очевидно, что приведенный алгоритм можно представить в виде комбинации четырех однотипных блоков (выделены штриховой линией), соответствующих рассмотренному выше умножению двухразрядных кодов. Однако для такого представления, кроме получения частного произведения, каждый из выделенных блоков должен выполнять дополнительную операцию сложения. Так, для получения значения разряда M_2 результата умножения 4-разрядных кодов к частному произведению $b_1 a_1$, кроме сигнала переноса, полученного при суммировании частных произведений $b_1 a_0$ и $b_0 a_1$ в самом блоке, необходимо добавить частные произведения $b_2 a_0$ и $b_0 a_2$, полученные в соседних блоках. Аналогичные действия необходимо выполнить и для нахождения значений других разрядов произведения. Поэтому, в общем случае, для получения результата в каждом блоке должна быть реализована ФАЛ вида:

$$M_i = AB + C + D,$$

где C и D – дополнительные слагаемые, которые получены в соседних блоках.

Реализация приведенной ФАЛ требует введения в схему умножителя на рисунке 2.15 двух дополнительных сумматоров. На рисунке 2.17 приведена полученная таким образом схема блока матричного умножителя 2-разрядных кодов, допускающая увеличение разрядности кодов сомножителей, а на рисунке 2.18 – выполненная на основе таких блоков схема матричного умножителя 4-разрядных кодов.

Длительность получения результата в такой схеме определяется самым длинным путем прохождения сигнала.

На практике используются и другие схемы умножителей.

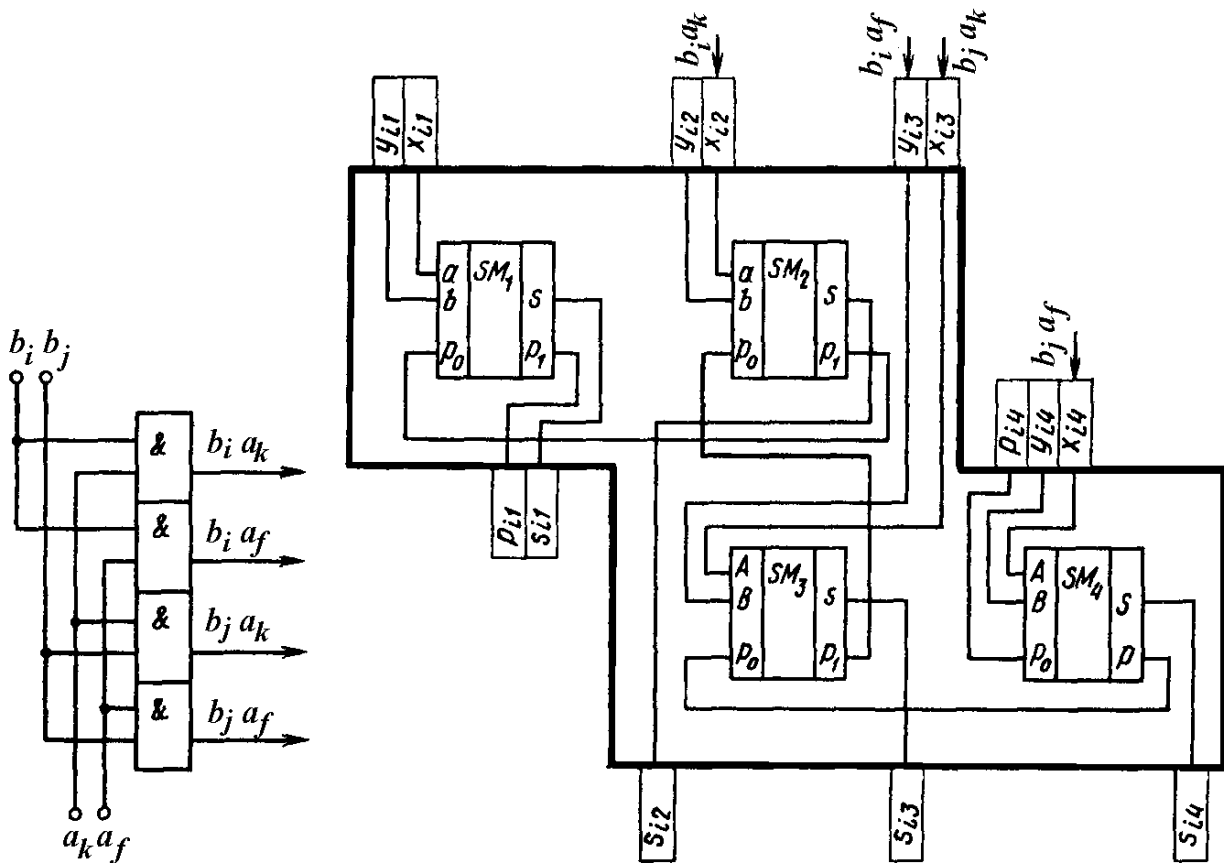


Рисунок 2.17 – Структурная схема матричного умножителя двоичных кодов, допускающая увеличение разрядности сомножителей

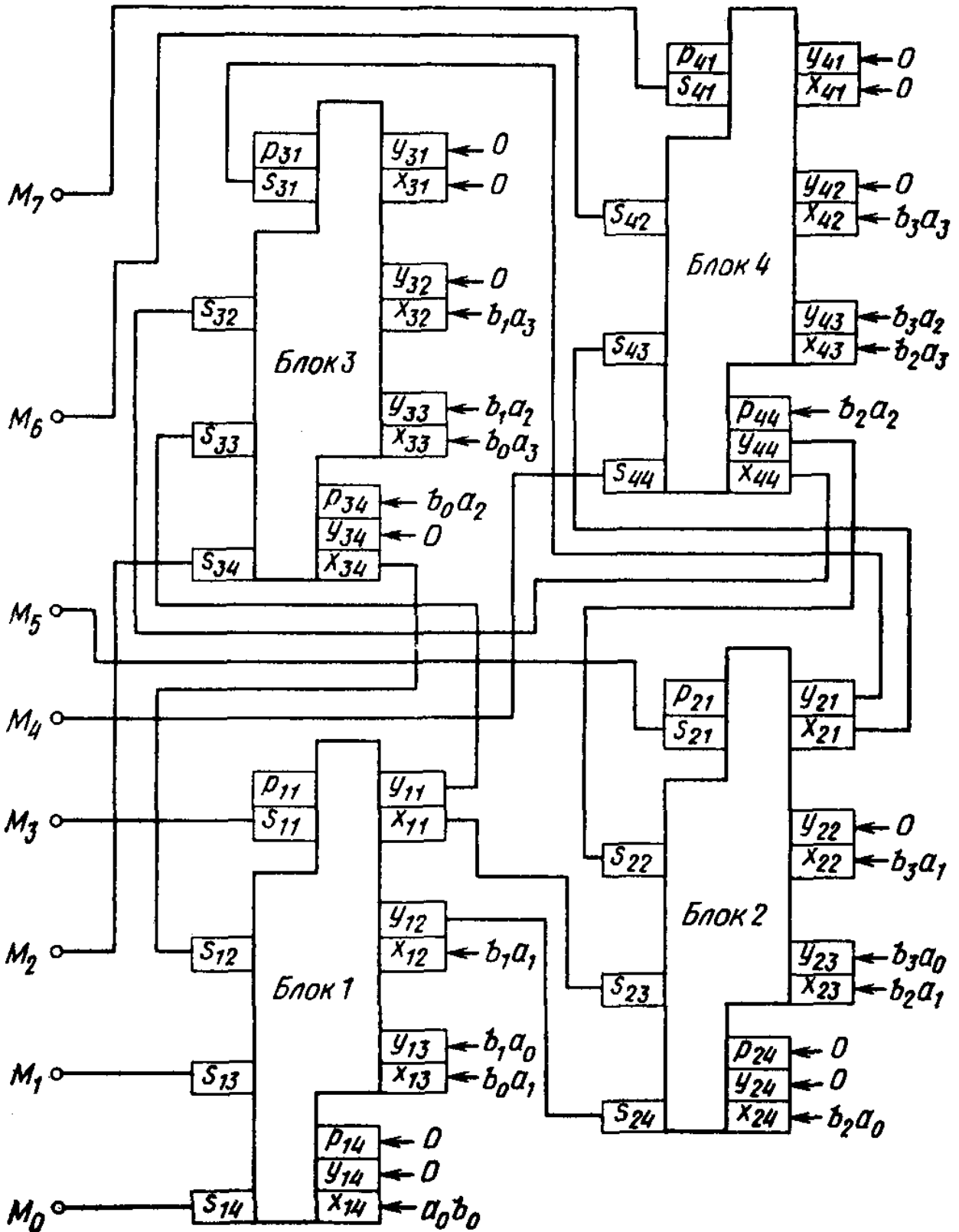


Рисунок 2.18 – Структурная схема матричного умножителя 4-разрядных кодов

3 УСТРОЙСТВА СИНХРОНИЗАЦИИ

3.1 Основные виды синхронизации

Основным методом построения работоспособных цифровых устройств в настоящее время является *синхронизация*, устраняющая критические временные состязания сигналов.

Известно [2], что синхронными ЦУ называют устройства, изменяющие свое состояние лишь в строго определенные (тактовые) моменты времени, соответствующие действию активного сигнала на его синхронизирующем входе S , и не реагирует на любые изменения информационных сигналов при пассивном значении сигнала на входе S .

Синхронизация осуществляется тактовым генератором, сигналы которого распределяются по всем частям устройства и разрешают прием данных элементам памяти – синхронным триггерам. Синхронизация упорядочивает во времени последовательность операций при обработке информации в ЦУ. Темп обработки задается частотой тактовых сигналов. Непосредственное использование одного тактового генератора для управления приемом информации во всех элементах памяти – прием, характерный для несложных систем. В сложных системах, содержащих большое число элементов памяти и/или разделенных на подсистемы, могут применяться и местные схемы тактирования для различных частей, генерирующие синхроимпульсы заданной фазности и скважности. Но и в этом случае синхросигналы общего генератора определяют ситуацию, поскольку местные синхросигналы вырабатываются из общего (опорного).

Обобщенный *тракт обработки информации* при синхронной организации процессов можно представить чередованием комбинационных цепей (КЦ) и элементов памяти (ЭП), что отражает работу ЦУ как при пространственном чередовании КЦ и ЭП (рисунок 3.1, *а*), так и при последовательном выполнении различных операций в разных временных тактах на одном и том же оборудовании (рисунок 3.1, *б*).

При работе устройства КЦ преобразуют данные по тем или иным логическим зависимостям, а ЭП принимают их после окончания переходных процессов, т.е. установления на выходах КЦ истинных значений сигналов.

В КЦ пути от входов к различным выходам неидентичны. Для расчета системы синхронизации нужно оценить минимальную и максимальную задержки сигналов в КЦ. Для оценки минимальной задержки следует учесть минимальные задержки элементов (т.е. учесть разброс задержек для элементов данного типа) и найти самый короткий путь от входов к одному из выходов КЦ (короткий в смысле времени его прохождения сигналом, естественно). С учетом максимальных задержек элементов оценивается самый длин-

ный путь сигнала к выходу КЦ. Таким образом, должны быть определены задержки $t_{\text{КЦ min}}$ и $t_{\text{КЦ max}}$.

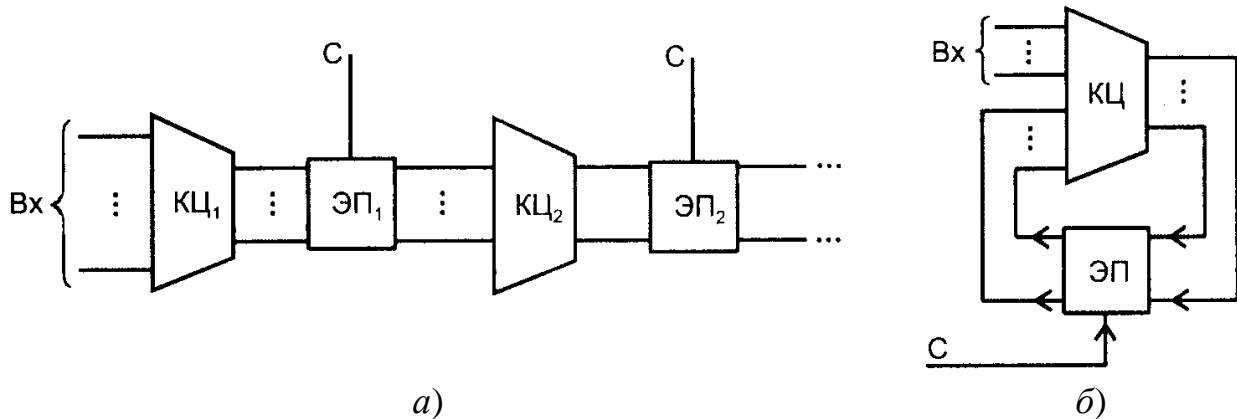


Рисунок 3.1 – Обобщенные структуры тракта обработки информации в цифровых устройствах

Временная неидентичность путей к разным выходам КЦ затрудняет устранение критических временных состояний сигналов. С этой точки зрения одинаковость задержек для всех выходов КЦ была бы желательна.

Период тактовых импульсов (синхроимпульсов) складывается из длительностей импульса $t_{\text{И}}$ и паузы $t_{\text{П}}$. Длительность импульса должна быть достаточной для надежной записи информации в триггер, этот параметр задается в паспортных данных триггера. Обозначив его через t_{WC} (WC от английского словосочетания Write Cycle – цикл записи), можем записать условие $t_{\text{И}} \geq t_{\text{WC}}$.

Новое состояние триггеры примут по истечении максимальной из задержек t_3^{01} и t_3^{10} их переключения, где t_3^{01} и t_3^{10} – времена задержек распространения при переходе выходного напряжения ЛЭ от логического 0 к 1 и от логической 1 к 0, соответственно. Параметры t_{WC} и $\max\{t_3^{01}, t_3^{10}\}$ зачастую близки, но могут и отличаться в два и более раз. Разность $\max\{t_3^{01}, t_3^{10}\} - t_{\text{WC}}$ обозначим через $\Delta t_{\text{ТГ}}$ (рисунок 3.2).

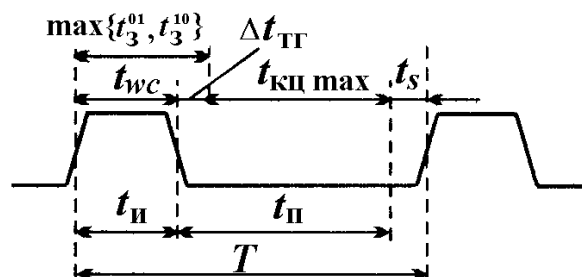


Рисунок 3.2 – Параметры синхроимпульсов

Приняв новое состояние, триггеры тем самым формируют на входах КЦ новые значения сигналов. После этого до нового приема данных должно пройти время, достаточное для прохождения сигнала по самому длинному

пути в КЦ плюс время предустановки t_{SU} . *Время предустановки* – это интервал до поступления синхросигнала, в течение которого информационный сигнал должен оставаться неизменным. Поэтому для длительности паузы имеем соотношение:

$$t_{\Pi} \geq \Delta t_{\Gamma} + t_{\text{КЦ max}} + t_{SU}.$$

Минимальный период тактовых импульсов $T_{\min} = t_{\text{И min}} + t_{\Pi \min}$, а их частота $f_{\max} = \frac{1}{T_{\min}}$.

На интервале от $t_{\text{КЦ min}}$ до $t_{\text{КЦ max}}$ после переключения триггеров выходные сигналы КЦ не соответствуют ни старому, ни новому значению (данные нестабильны).

Для многих схем, особенно для больших и сверхбольших интегральных схем (БИС/СБИС), большую роль играют задержки сигналов в линиях связи, которые следует оценивать с учетом топологии межсоединений. Поэтому на ранних стадиях проектирования расчет параметров синхросистемы может быть только ориентировочным.

В системах с постоянной тактовой частотой часто используют генераторы с кварцевой стабилизацией, позволяющие без затруднений обеспечить относительную нестабильность частоты порядка $10^{-5} \dots 10^{-4}$. В более простых генераторах нестабильность частоты существенно выше. Она, в конечном счете, приводит к потере быстродействия устройства. Действительно, частоту синхроимпульсов можно выразить соотношением:

$$f = f_0(1 \pm \delta f),$$

где f_0 – номинальное значение частоты; $\delta f = \frac{\Delta f}{f}$ – ее относительный уход.

Ширина поля допуска на частоту равна $2\delta f$. Даже максимальная частота не должна превышать допустимого значения. Если же частота будет равна нижнему пределу, то она окажется на $2\delta f$ ниже допустимой. То есть возможная потеря быстродействия устройства из-за нестабильности частоты синхроимпульсов составляет $2\delta f$.

Определенные требования предъявляются и к крутизне фронтов синхроимпульсов. Она не должна снижаться ниже допустимого предела. Причины этого ограничения заключаются в том, что при слишком пологих фронтах выходные цепи элементов могут слишком долго оставаться под действием сквозных токов и, во-вторых, то, что при малой крутизне фронтов синхроимпульсов разброс порогов срабатывания ЛЭ приводит к разбросу моментов их переключения. Особенно важно это обстоятельство для схем на элементах типа КМОП, для которых характерен повышенный разброс порогов срабатывания. Разброс моментов срабатывания (т.е. как бы разброс моментов поступления синхросигналов на разные элементы, питаемые одним и тем же синхросигналом), определяется выражением:

$$t_2 - t_1 = \frac{U_{\text{ПОР}2} - U_{\text{ПОР}1}}{K},$$

где K – крутизна фронта синхроимпульса; $U_{\text{ПОР}2}$ и $U_{\text{ПОР}1}$ – пороговые напряжения элементов, для которых вычисляется эквивалентный сдвиг синхросигналов.

Для показа опасности сбоев из-за малой крутизны фронтов синхроимпульсов рассмотрим передачу данных в цепочке триггеров (сдвиг слова). В этой цепочке (рисунок 3.3) поступление очередного синхроимпульса должно передавать состояние триггера соседу справа. Предположим, что пороговое напряжение триггера T_i минимально, а триггера T_{i+1} максимально. Тогда триггер T_i переключится раньше, чем придет сигнал приема данных для триггера T_{i+1} , и этот триггер не сможет принять старое состояние от соседа слева – информация будет утеряна.

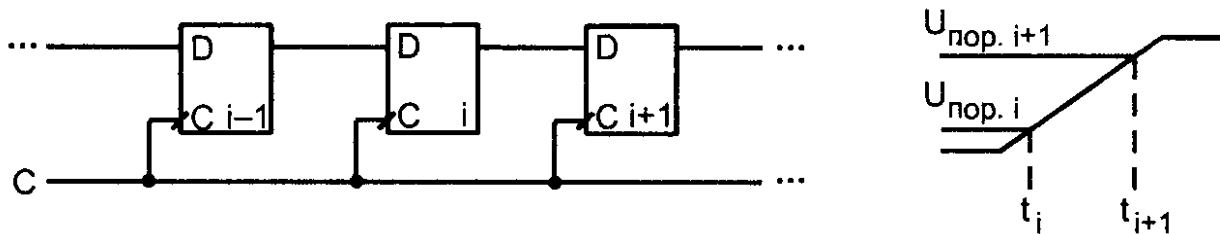


Рисунок 3.3 – Схема передачи данных в цепочке синхронных триггеров

Обобщенная структура устройства синхронизации (рисунок 3.4) содержит следующие блоки: *задающий генератор* (ЗГ), *формирователь опорных сигналов* (ФОС) и *размножитель сигналов* (РС). Блок ФОС служит для выработки необходимого числа импульсных последовательностей заданной формы в зависимости от фазности системы синхронизации и временных параметров синхросигналов этих последовательностей. *Фазность* – важный признак системы синхронизации, определяемый числом синхроимпульсов в одном периоде синхронизации (иначе говоря, числом импульсных последовательностей, используемых для синхронизации устройства). Фазность зависит от типа триггеров, применяемых в устройстве, способа обмена между функциональными узлами, требований к быстродействию и аппаратурной сложности устройства.

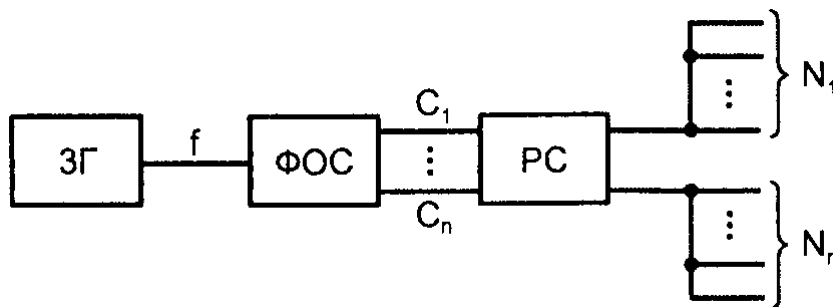


Рисунок 3.4 – Обобщенная структура блока синхронизации

Различают следующие системы синхронизации:

- однофазную;
- двухфазную;
- многофазную.

Однофазная синхронизация использует минимальное число синхропоследовательностей и обеспечивает высокое быстродействие. В то же время ее применение сопровождается специфическими проблемами.

При однофазной синхронизации на все элементы памяти подаются одни те же синхроимпульсы. Если бы устройство строилось на безынерционных элементах, то однофазная синхронизация была бы невозможна, т.к. в момент подачи синхроимпульса, т.е. команды на прием данных, эти данные исчезли бы. Это произошло бы потому, что при подаче синхроимпульсов один и тот же элемент памяти должен одновременно принимать данные предыдущего и снабжать данными последующий, что невозможно в безынерционной цепи, если только элементы памяти не обеспечивают за счет своей структуры присутствия в них одновременно «старой» и «новой» информации (это возможно в двухступенчатых триггерах).

Реальные элементы всегда инерционны, поэтому принципиальная возможность однофазной синхронизации появляется даже для систем с одноступенчатыми триггерами, но условия работоспособности могут оказаться трудновыполнимыми.

Рассмотрим однофазную синхронизацию для систем с простейшими триггерами – одноступенчатыми, управляемыми уровнем. Поступающие на входы триггеров синхроимпульсы должны иметь длительность, достаточную для их надежного переключения ($t_{И} \geq t_{WC}$). После переключения триггеров на входах КЦ появляются новые значения аргументов, а по истечении $t_{КЦ \min}$ изменятся сигналы на входах триггеров, но эти изменения не должны восприниматься триггерами. Если к указанному моменту синхроимпульсы еще не закончились, то состояния триггеров могут повторно измениться в одном и том же такте, что недопустимо. Поэтому должно соблюдаться следующее условие работоспособности:

$$t_{WC} \leq t_{И} \leq (t_{ТГ \min} + t_{КЦ \min}),$$

где $t_{ТГ \min}$ – минимальное время переключения триггера.

Как видно, в данном случае необходимо строгое ограничение длительности импульсов снизу и сверху, т.к. за время существования импульса обязан переключиться даже самый инерционный триггер и, в то же время, информация не должна успеть пройти через самый быстродействующий каскад обработки данных (триггер плюс КЦ). Это условие должно соблюдаться во всем диапазоне изменений условий эксплуатации устройства. Расчету условий работоспособности данного варианта системы синхронизации препятствует также то, что сведения о минимальных задержках элементов могут отсутствовать.

Полученная формула определяет возможность применения однофазной синхронизации в схеме с одноступенчатыми триггерами, управляемыми

уровнем, и показывает, что с ростом минимальной логической глубины КЦ реализация такой системы облегчается. Это обстоятельство подтверждает отмеченную ранее желательность выравнивания задержек сигналов в различных путях прохождения их на выход КЦ.

На практике однофазная синхронизация чаще всего применяется в схемах с триггерами, имеющими динамическое управление, или с двухступенчатыми триггерами.

При использовании триггеров с динамическим управлением (рисунок 3.5) информация принимается по фронту синхроимпульса, а чувствительность триггера к информационным сигналам сохраняется лишь в малом интервале времени в окрестности фронта (в течение времени выдержки t_H). *Время выдержки* – это время после поступления синхросигнала, в течение которого информационный сигнал должен оставаться неизменным. Триггеры должны потерять чувствительность к изменениям информационных сигналов, прежде чем до их входов по кратчайшему пути может дойти такое изменение. Если это не обеспечивается, возможен сбой. Таким образом, и в этом варианте однофазной системы синхронизации требуется соблюдение определенного условия работоспособности:

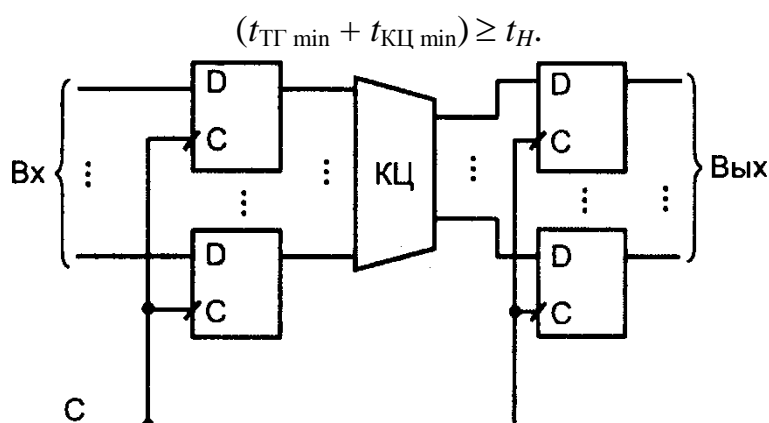


Рисунок 3.5 – Схема однофазной синхронизации триггеров с динамическим управлением

Легко заметить, что обеспечить это условие работоспособности гораздо проще, чем предыдущее, т.к. величина t_H мала. Более того, для ряда триггеров, в частности, для *JK*-триггеров, реализованных по схеме с внутренними задержками, $t_H = 0$. А это значит, что при их применении работоспособность систем с однофазной синхронизацией гарантирована.

В системах однофазной синхронизации с двухступенчатыми триггерами высокий уровень синхросигнала открывает входные ступени триггеров, оставляя неизменными их выходные сигналы. При этом данные с предыдущих каскадов записываются во входные ступени следующих. Такую запись можно вести в течение необходимого времени без каких-либо опасностей временных состязаний сигналов. Переход синхросигнала на низкий уровень переносит состояния входных ступеней в выходные, изменяет тем самым пе-

ременные на входе КЦ, которые вырабатывают новые сигналы для триггеров следующего каскада. Этот процесс также можно вести достаточно длительное время без каких-либо опасений, поскольку входные ступени триггеров закрыты. Очередной переход синхросигнала на высокий уровень вновь запишет информацию во входные ступени триггеров и т.д. При правильном выборе параметров синхросигналов временные состязания сигналов в системе с двухступенчатыми триггерами вообще отсутствуют, работоспособность ее обеспечивается при сколь угодно малых минимальных задержках.

В то же время усложняются триггеры, и увеличивается длительность паузы (необходимо дополнительное время на переключение выходных ступеней триггеров).

Получим расчетные соотношения для проектирования однофазной синхронизации в системе с триггерами, имеющими динамическое управление (для определенности – прямое). Пусть частота синхроимпульсов постоянна. Обоснованность этого условия связана с возможностью стабилизировать частоту генератора с точностью, намного превышающей точность задания других параметров импульсов. Положение фронтов синхроимпульсов во времени задается с допусками Δ , т.е. при номинальном времени появления фронта t_0 фронт может появиться в интервале от $(t_0 - \Delta)$ до $(t_0 + \Delta)$. В этих допусках отражены все причины неточностей задания синхросигналов: сдвиги фронтов в схеме размножения синхросигналов, задержки в связях, разброс моментов срабатывания триггеров из-за разброса их пороговых напряжений и др.

Цель расчета – *минимизировать период синхросигналов при соблюдении условий надежной работы устройства и заданных разбросах параметров.*

Объект расчета – система однофазной синхронизации с триггерами, имеющими динамическое управление, представляет собой важное практическое значение.

На временной диаграмме синхросигнала (рисунок 3.6) отмечены следующие временные интервалы. Номинальный момент начала первого импульса $t = 0$ и номинальный момент начала второго импульса $t = T$, разбросы возможных моментов поступления импульсов относительно номинальных моментов Δ , времена предустановки и выдержки для используемого типа триггера t_{SU} и t_H , суммарные длительности переключения триггера по цепи «синхровход – выход» и прохождения сигнала через комбинационную цепь $t_{ТГ} + t_{КЦ}$ для их максимального и минимального значений.

Чтобы соблюдалось требование неизменности информационного сигнала на интервале предустановки, входной сигнал триггера должен устанавливаться не позднее, чем в момент времени $-(\Delta + t_{SU})$ для первого импульса и в момент $(T - \Delta - t_{SU})$ для второго импульса. Изменение информационного сигнала становится допустимым не раньше момента времени $(\Delta + t_H)$ для первого импульса и $(T + \Delta + t_H)$ для второго. Наиболее позднее появление входного информационного сигнала в интервале между импульсами происходит в момент $(\Delta + t_{ТГ \max} + t_{КЦ \max})$, а наиболее раннее в момент $(-\Delta + t_{ТГ \min} + t_{КЦ \min})$.

Чтобы наиболее позднее поступление информационного сигнала оказалось в допустимой области, необходимо соблюдение условия:

$$(T - \Delta - t_{SU}) \geq (\Delta + t_{ТГ \max} + t_{КЦ \max}).$$

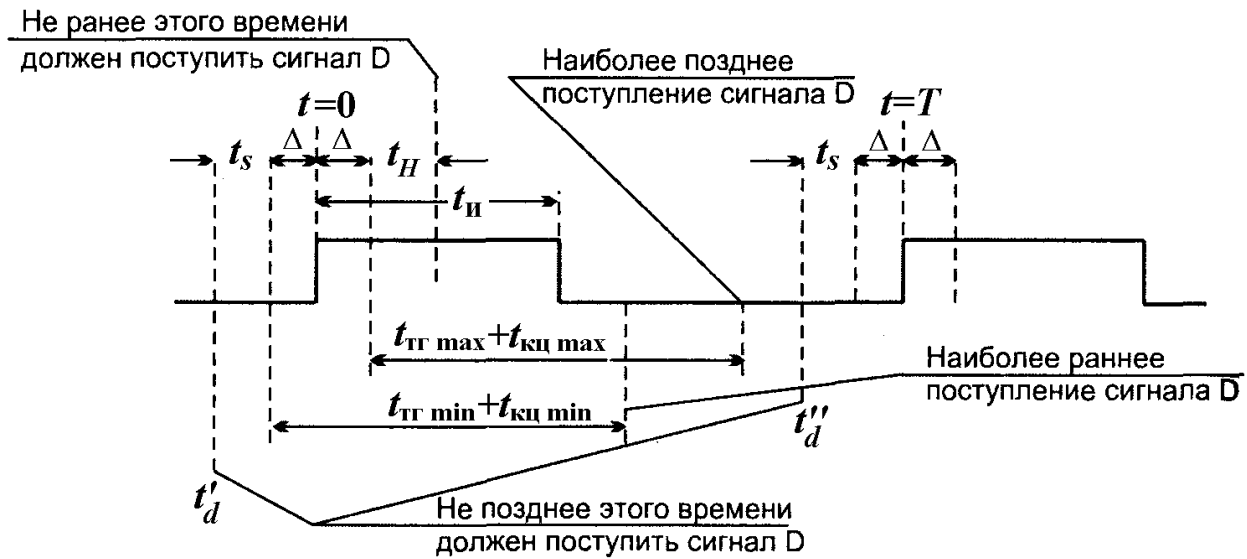


Рисунок 3.6 – Временная диаграмма синхросигнала однофазной системы синхронизации

Из этого неравенства следует:

$$T \geq (2\Delta + t_{SU} + t_{ТГ \max} + t_{КЦ \max}). \quad (3.1)$$

Условие (3.1) обеспечивает неизменность информационного сигнала на входе триггера в течение интервала t_{SU} при наихудшем случае разброса параметров.

Следует также обеспечить соблюдение неизменности информационного сигнала на интервале t_H . Чтобы это изменение оказалось в допустимом интервале, необходимо выполнить требование:

$$(-\Delta + t_{ТГ \min} + t_{КЦ \min}) \geq (\Delta + t_H),$$

из которого следует условие:

$$t_{КЦ \min} \geq (2\Delta + t_H - t_{ТГ \min}). \quad (3.2)$$

Еще одним необходимым условием является требование длительности импульса, достаточной для надежного переключения триггера:

$$t_H \geq (2\Delta + t_{H \min}). \quad (3.3)$$

Порядок определения параметров синхроимпульсов таков: выбор t_H по условию (3.3), выбор T по условию (3.1), проверка выполнения условия (3.2).

Слагаемое 2Δ в выражении (3.3) отражает возможность запаздывания переднего и опережения заднего фронта синхроимпульсов. Нарушение условия (3.2) может потребовать введения задержек в соответствующие цепи, в частности, на выходах триггера. Задержки в связях в расчетных зависимостях отдельно не фигурируют – подразумевается их учет суммированием с задержками элементов.

Двухфазная синхронизация характеризуется использованием двух последовательностей синхроимпульсов (рисунок 3.7, а), сдвинутых во времени

друг относительно друга. Интервал между импульсами обеих последовательностей отводится для работы комбинационных цепей. Соседние каскады получают разноименные серии синхроимпульсов (рисунок 3.7, б).

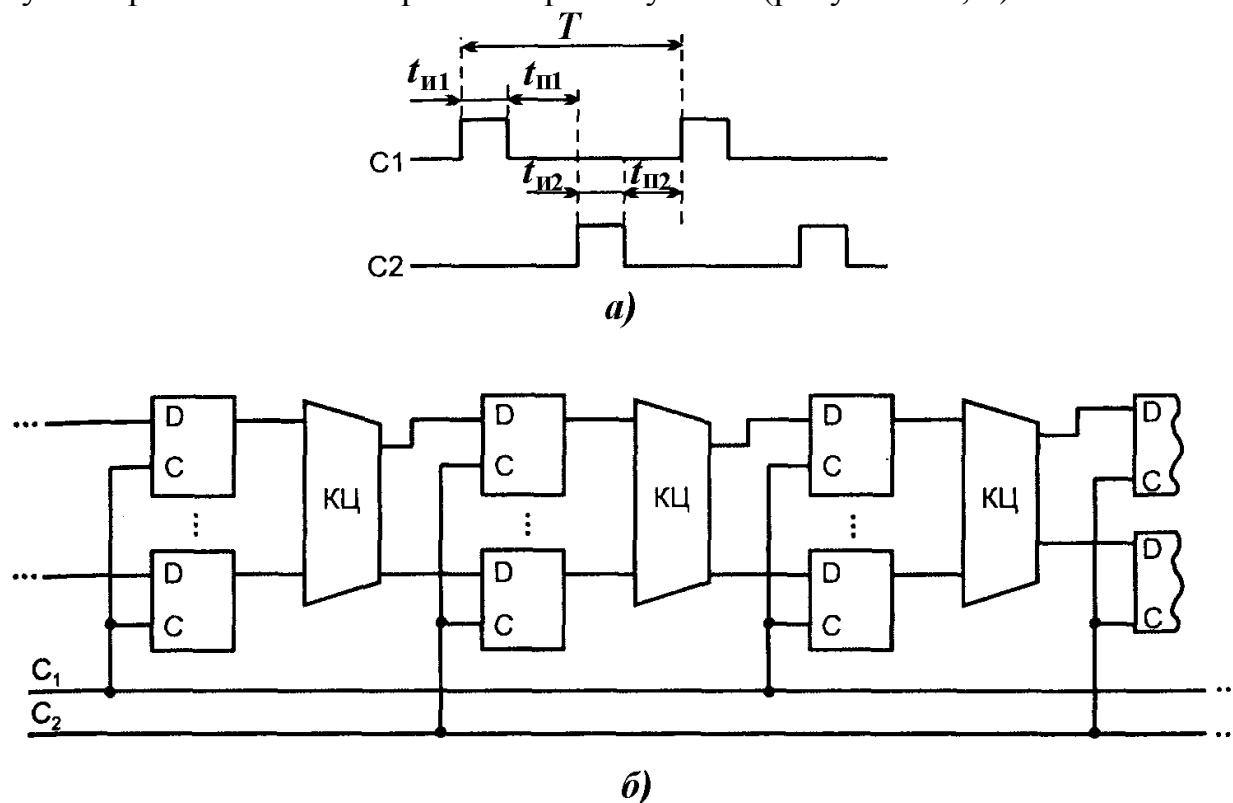


Рисунок 3.7 – Временная диаграмма синхросигналов (а) и схема тактирования элементов памяти для двухфазной системы синхронизации (б)

При возбуждении фазы C_2 данные с триггеров фазы C_1 через соответствующие КЦ передаются на триггеры фазы C_2 . При возбуждении фазы C_1 триггеры этой фазы через КЦ принимают данные от триггеров фазы C_2 . Поочередное возбуждение фаз обеспечивает передачу данных по тракту их обработки без каких-либо временных состязаний, т.к. выдача данных производится триггерами, не изменяющими своих состояний в данной фазе, а прием данных осуществляется после завершения переходных процессов в КЦ.

Достоинством двухфазной системы является возможность применения простых одноступенчатых триггеров с управлением уровнем. В то же время наличие двух фаз синхроимпульсов усложняет схему устройства.

Расчет параметров синхроимпульсов для двухфазной системы основан на той же стратегии, что и расчет для однофазной, т.е. на обеспечении неизменности информационных сигналов на входах триггеров в интервалах $t_{SU} \dots t_H$ даже при наихудшем сочетании допусков на положения фронтов синхросигналов и задержек в КЦ.

При разработках ЦУ встречаются разные системы синхронизации; выбор определяется конкретными условиями. В последнее время широко рас-

пространена однофазная система с триггерами, имеющими динамическое управление.

Многофазная синхронизация характеризуется использованием более чем двух серий синхроимпульсов и применяется для увеличения быстродействия систем путем организации работы их частей с разной скоростью. Это осуществляется разбиением периода основной частоты на части и использованием в отдельных блоках системы более высокочастотных синхросигналов. Для узлов и устройств применение многофазной системы синхронизации не характерно.

3.2 Применение триггеров в устройствах синхронизации

3.2.1 Синхронизаторы одиночных импульсов

Синхронизаторы одиночных импульсов вырабатывают под воздействием асинхронного входного сигнала импульс, принадлежащий последовательности тактовых импульсов (ТИ). Такой импульс может понадобиться для запуска устройства, реализации пошагового режима его работы и т.д.

Привязка одиночного импульса к тактовой системе обязательна для правильного его восприятия синхронными цифровыми устройствами.

При реализации синхронизаторов следует организовать следующие процессы: разрешить прохождение очередного целого ТИ на вход схемы и затем снять это разрешение после прохождения всего одного импульса. Этим требованиям соответствует структура: синхронизатор момента воздействия входного сигнала на триггер плюс сам триггер, устанавливаемый и сбрасываемый соседними фронтами ТИ (разнополярными). Простой вариант указанной структуры показан на рисунке 3.8. Рассмотрение временных диаграмм его работы свидетельствует о сужении входного импульса относительно тактового на время $t_{\text{ТГ.1}}$. Входной сигнал по длительности должен превышать период тактовых импульсов T , иначе он может не дожидаться фронта, который разрешает его прием в первый триггер, и, таким образом, остаться незамеченным.

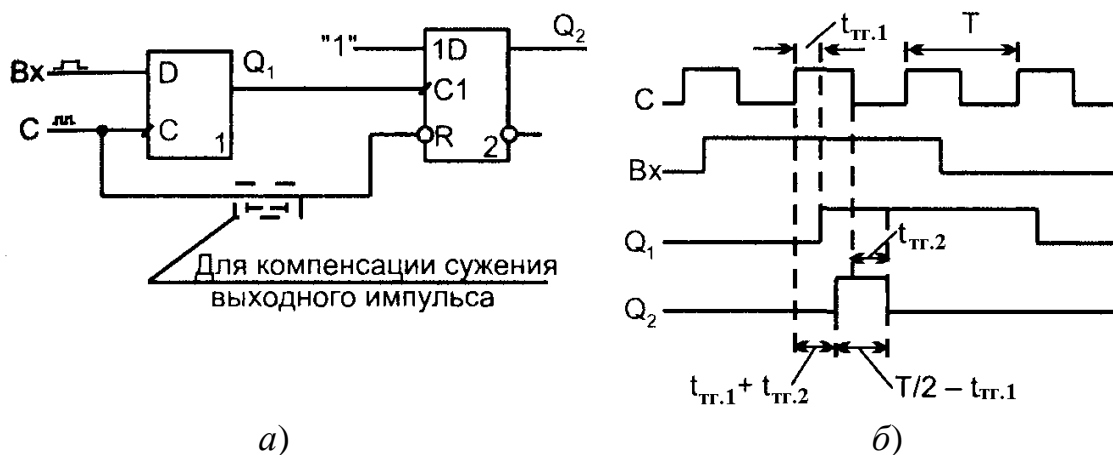


Рисунок 3.8 – Схема синхронизатора одиночных импульсов (а) и временные диаграммы ее работы (б)

3.2.2 Ввод асинхронных данных

При вводе асинхронных данных в систему они должны быть «привязаны» к системным тактовым сигналам, для чего данные пропускаются через синхронные D -триггеры (рисунок 3.9). Известно, что запрещается изменение информационных сигналов на входе триггера в окне $t_{SU}...t_H$, где t_{SU} – время предустановки, t_H – время выдержки.

Однако обеспечить на практике запрещение изменения информационных сигналов в интервале $t_{SU}...t_H$ нет возможности, поэтому вероятности попадания триггеров в аномальные состояния не избежать. Временные диаграммы показывают ситуации с поступлением асинхронных входных данных до, после или во время тактового воздействия. В последнем случае возможно попадание в метастабильное состояние, что отмечено штриховкой. Длительность метастабильных состояний имеет вероятностный характер. Можно лишь сформулировать следующее положение: для X процентов появившихся метастабильных состояний триггер с вероятностью Y выйдет из метастабильного состояния за время, равное Z нс.

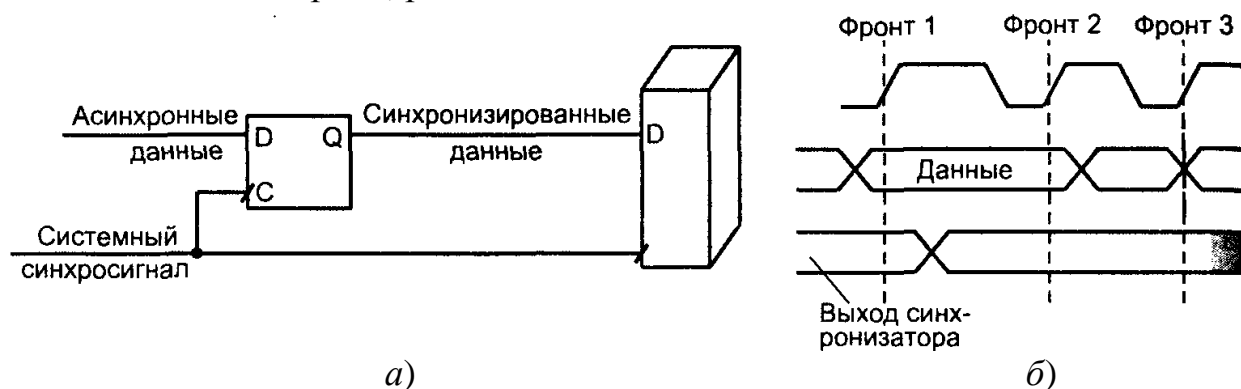


Рисунок 3.9 – Схема ввода асинхронных данных в цифровую систему (а) и временные диаграммы ее работы (б)

3.2.3 Генераторы вторичных синхросигналов

Для управления работой синхронных цифровых устройств необходимы тактирующие импульсы.

Выработка таких импульсов – задача, решаемая синхрогенераторами того или иного типа. Для получения высокой стабильности частоты применяют генераторы с кварцевыми резонаторами. На выходе генератора, задающего частоту синхросигналов, как правило, формируется одна синхропоследовательность с симметричными по длительности импульсом и паузой. В то же время для управления устройством могут понадобиться как несколько

сдвинутых во времени синхропоследовательностей, так и несимметричные импульсы (обычно с длительностью паузы, в несколько раз превышающей длительность импульсов). Для получения таких синхросигналов (вторичных) из исходной (опорной) последовательности удобно применять схемы, содержащие триггеры.

На рисунке 3.10 показана схема, вырабатывающая две синхропоследовательности с относительной длительностью импульсов $\frac{1}{4}$ (т.е. со скважностью 4), сдвинутые относительно друг друга на $\frac{1}{2}$ периода. Частота синхросигналов задается генератором опорной частоты (сигналом C).

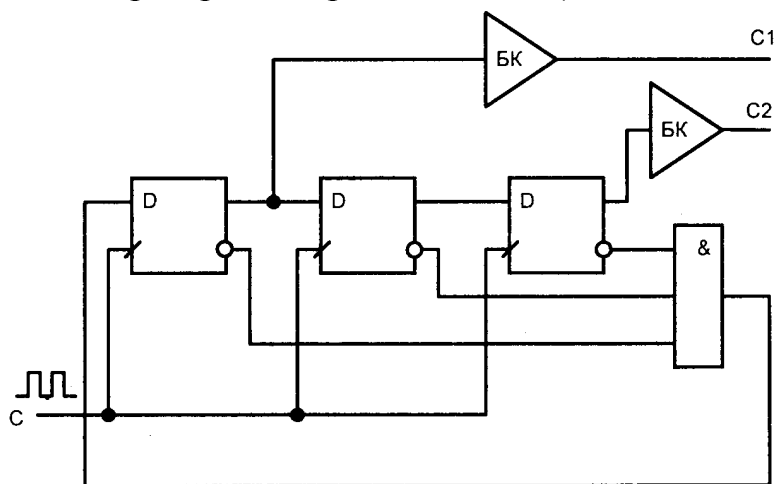


Рисунок 3.10 – Схема генератора вторичных синхросигналов

3.3 Устройства коррекции временного положения синхросигналов

Проблема расфазирования тактовых импульсов в различных точках схемы для быстродействующих устройств настолько остра, что современные БИС/СБИС зачастую снабжаются специальными схемами коррекции временного положения синхросигналов, причем на одном кристалле могут быть установлены несколько таких схем, называемых в английской терминологии *Phase Locked Loops* (PLLs) или *Delay Locked Loops* (DLLs). Между PLL и DLL есть разница в технической реализации, но на них возлагаются идентичные задачи – *коррекция расфазирования синхросигналов и, при необходимости, умножение их частоты.*

Фазовый сдвиг синхросигналов в английской терминологии называется *Clock Skew*, операция коррекции фазового сдвига называется функцией *Clock Lock*, получение умноженной частоты синхросигналов – функцией *Clock Boost*. Умножение тактовой частоты во внутренней области ЦУ относительно внешней частоты синхронизации часто используется в микропроцессорах и СБИС программируемой логики высокой сложности. Этот прием позволяет снизить частоту синхросигналов, передаваемых на те или иные модули, что

важно, т.к. эта частота ограничена техническими возможностями линии передачи. Усложнение функций, улучшающих параметры систем синхронизации, привело к появлению блоков, называемых *Clock Managers*.

Благодаря введению схем PLL или DLL удастся снижать расфазированные тактовых сигналов системы до очень малых значений.

Для более полного понимания роли и значения блоков PLL (DLL) рассмотрим вначале типичную схему синхронизации, использующую общий опорный синхросигнал и локальные схемы формирования синхросигналов для отдельных частей системы (рисунок 3.11).

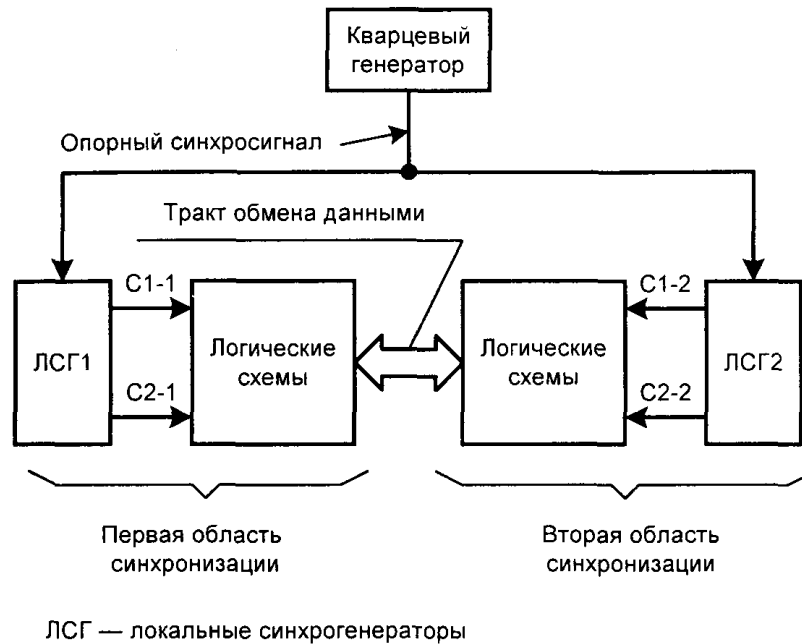


Рисунок 3.11 – Схема обмена данными между двумя областями синхронизации

В показанной схеме опорный синхросигнал от стабильного кварцевого генератора подается на различные области синхронизации (чаще всего различные кристаллы) по специальной ненагруженной линии *без ощутимых фазовых сдвигов*. Для синхронизации работы каждой области вырабатываются пары синхросигналов *C1* и *C2* с требуемой скважностью. Синхросигналы *C1-1* и *C1-2*, а также *C2-1* и *C2-2* в силу ряда причин имеют заметные фазовые сдвиги относительно опорного сигнала и относительно друг друга. Эти фазовые сдвиги вносятся неидентичностью схем локальных синхрогенераторов ЛСГ1 и ЛСГ2 (в первую очередь их выходными буферами), разными задержками на входных контактах и межсоединениях. Задержки синхросигналов из-за указанных причин будут значительны. *Линии синхронизации сильнее нагружены*, поскольку имеют значительную длину, и синхросигналы подаются на большое число элементов памяти. Результирующая емкостная нагрузка в сложных устройствах оценивается сотнями или даже тысячами пикофард, а это обуславливает большие времена переключения линий, т.е. существенные фазовые сдвиги синхросигналов, когда нагрузочные условия в

разных областях синхронизации неодинаковы. При расфазировании синхросигналов в устройствах, обменивающихся данными, моменты приема данных отличаются от предусмотренных при проектировании системы, что может создать критические временные состязания. Для их предотвращения нужно будет снизить частоту синхросигналов и, соответственно, производительность системы. Применяв блоки PLL или DLL, можно устранить фазовые сдвиги между контролируемыми синхросигналами, избежать снижения их частоты и получить выигрыш в производительности системы (например, в 30...35%).

Блоки PLL или DLL «привязывают» фронты синхросигналов в разных областях синхронизации к фронтам опорного сигнала, выравнивая тем самым их фазы (устраняя Clock Skew). Структура PLL приведена на рисунке 3.12, а, где под блоком Л/А подразумевается преобразователь логического сигнала в аналоговый, а под блоком ГУН – генератор, управляемый напряжением.

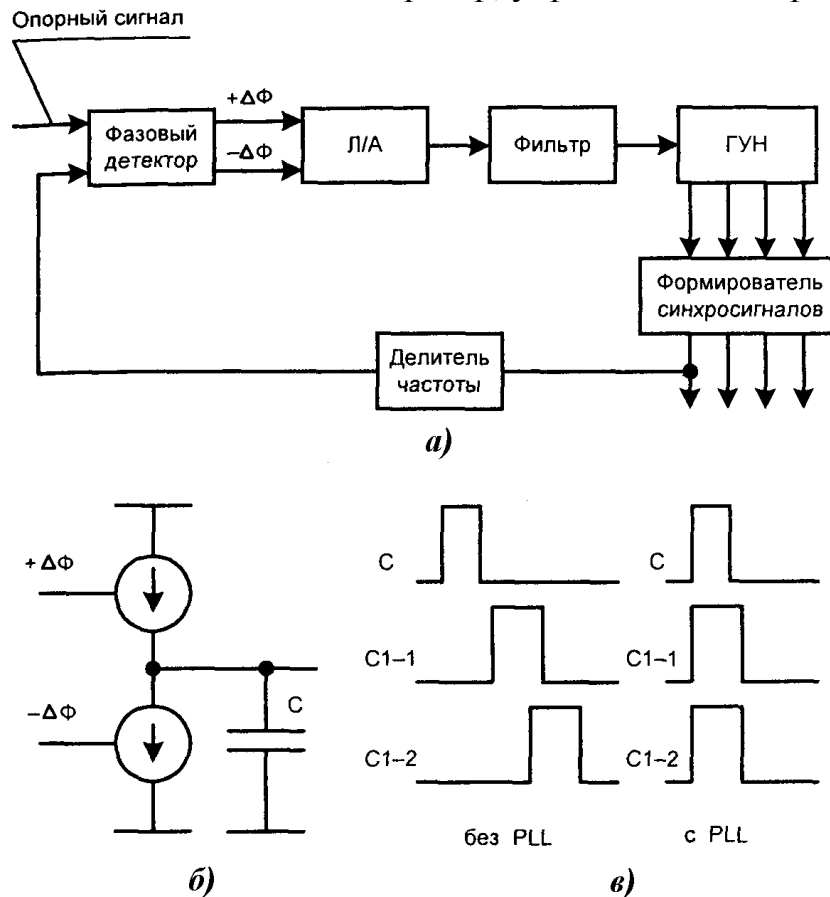


Рисунок 3.12 – Структура PLL (а), схема Charge Pump (б) и временные диаграммы синхросигналов при отсутствии и наличии PLL (в)

Опорный и корректируемый синхросигналы подаются на фазовый детектор, определяющий фазовые соотношения между ними. Простейшим фазовым детектором может служить логический элемент «неравнозначность» (сложение по модулю 2). Если сигналы синфазны, то выходное напряжение элемента постоянно равно нулю. При фазовом сдвиге между синхросигнала-

ми появляются интервалы, на которых выход элемента становится единичным, причем длительности таких интервалов пропорциональны величине фазового сдвига. Среднее значение выходного напряжения пропорционально абсолютному значению фазового сдвига, а знак сдвига не определяется. Такой простой фазовый детектор пригоден для коррекции фазового сдвига синхросигнала, знак которого заранее известен. Подобные ситуации типичны, поскольку при сравнении фаз опорного синхросигнала и выработанного из него вторичного опорный сигнал всегда опережает вторичный. Однако подобные ситуации имеют место не всегда. Если, например, требуется устранить фазовый сдвиг между синхросигналами двух устройств, то знак фазового сдвига может быть любым. В этом случае фазовый детектор реализуется по схеме, близкой к схеме синхронизатора импульсов, рассмотренной в пункте 3.2.1. Действительно, если один из синхросигналов использовать как тактирующий для триггера, принимающего информацию, а второй – как информационный сигнал, то при поступлении второго синхросигнала до первого он будет принят триггером, а при поступлении после первого – не будет. Таким образом, фазовый детектор типа синхронизатора импульсов будет вырабатывать логические сигналы, отображающие знак рассогласования фаз входных синхропоследовательностей. Именно такой фазовый детектор предполагается в схеме на рисунке 3.12, а.

Для последующих блоков PLL нужны аналоговые сигналы, поэтому логические сигналы фазового детектора подаются на блок Л/А преобразования «логический – аналоговый», который в англоязычной литературе называют Charge Pump. В состав этого блока (рисунок 3.12, б) входят генераторы токов и конденсатор. Логический сигнал от фазового детектора подключает к конденсатору тот или иной генератор тока в зависимости от знака рассогласования фаз синхросигналов (сигналы Up и Down), заставляя, тем самым, напряжение на емкости расти или уменьшаться.

Аналоговое напряжение используется в дальнейшем генератором, управляемым напряжением (ГУН), называемым также VCO (Voltage-Controlled Oscillator). ГУН вырабатывает импульсную последовательность переменной фазы, подбираемой так, чтобы минимизировать фазовый сдвиг входных сигналов фазового детектора. Перед блоком ГУН включается фильтр низких частот, устраняющий высокочастотные составляющие напряжения, поскольку при отсутствии фильтра появляется дрожание фронтов выходного напряжения ГУН (Jitter). ГУН вырабатывает скорректированные по фазе синхросигналы, один из которых используется как входной для фазового детектора.

Для получения синхросигналов частоты, умноженной на N , в цепь обратной связи PLL вводится делитель частоты на N .

Блоки PLL и DLL – аналоговые замкнутые схемы, для которых серьезными проблемами являются обеспечение устойчивости, малой чувствительности к помехам и др. Возникают и альтернативные подходы к решению задач синхронизации процессов в сложных системах.

Работа современных ЦУ на частотах в сотни мегагерц и до нескольких гигагерц предъявляет чрезвычайно высокие требования к синхронизации процессов в блоках, участвующих в передаче данных. В традиционных системах синхронизации используются внешние опорные синхросигналы (см. рисунок 3.11) и фазовые сдвиги информационных сигналов относительно опорных ограничиваются спецификациями, вырабатываемыми для того или иного типа канала связи. Наряду с этим вариантом сейчас получила распространение и работа по варианту CDR (Clock-Data Recovery), который исключает необходимость в жестких спецификациях на временные сдвиги сигналов, поскольку позволяет подстраивать друг к другу синхросигналы и передаваемые данные. Пример схемы приемного канала с CDR показан на рисунке 3.13.

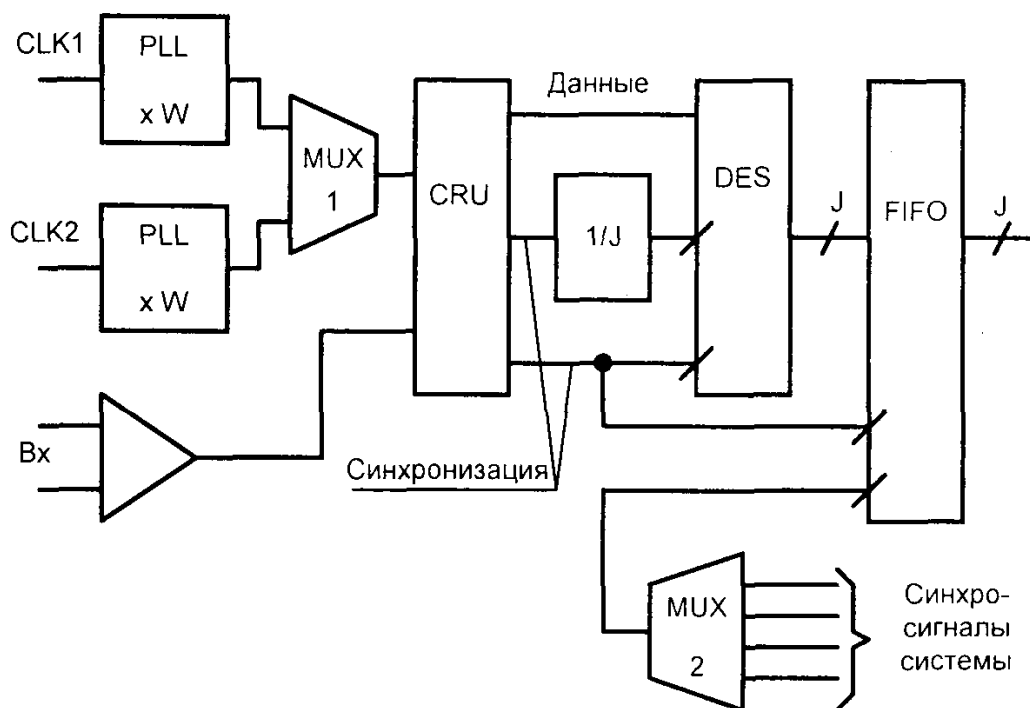


Рисунок 3.13 – Схема приемного канала с блоками CDR

Входы $CLK1$ и $CLK2$ приемного канала являются входами внешних синхросигналов, имеющих в системе, частота которых ниже, чем частота передач по последовательному каналу. Блоки PLL умножают частоту этих синхросигналов на W . Мультиплексор $MUX1$ позволяет выбрать для использования один из двух синхросигналов. Синхросигналы умноженной частоты, соответствующие частоте работы последовательного канала, как и передаваемые по этому каналу данные, поступают на входы блока CRU (Clock Recovery Unit). Блок CRU генерирует восстановленные синхросигналы, сфазированные с сигналами принимаемых данных. Восстановленные синхросигналы управляют работой блока DES (Deserialiser), принимающего последовательные данные в регистр типа SIPO (Serial Input – Parallel Output). Для выдачи из блока DES параллельных данных разрядности J используется синхросигнал из блока CRU, частота которого делится на J . Параллельные данные записы-

ваются в буфер FIFO (First In – First Out «первый зашел – первый вышел»), чтение из буфера осуществляется по синхросигналам системы, в которую вводятся принятые данные. Мультиплексор $MUX2$ позволяет выбирать одну из нескольких частот синхронизации системы.

Канал передачи данных из системы в последовательную линию связи реализуется проще, чем приемный канал – в нем отсутствует блок CRU. Параллельные данные из системы записываются в буфер FIFO при тактировании синхросигналами системы. Далее эти данные поступают в регистр типа PISO (Parallel Input – Serial Output) при тактировании частотами $CLK1 \times (W/J)$ или $CLK2 \times (W/J)$. Из регистра данные поступают в канал передатчика под управлением сигналов $CLK1 \times W$ или $CLK2 \times W$.

В качестве радикальной меры борьбы с расфазированием синхросигналов в сложных системах высокого быстродействия можно рассматривать *переход к так называемым самосинхронизирующимся схемам (Self-Timed Design)*, но пока что это мало применяется, т.к. цена введения самосинхронизации слишком велика (по дополнительным аппаратным затратам). Заметим также, что название «самосинхронизирующиеся» по существу неверно, т.к. фактически речь идет о разновидности *асинхронных систем*.

4 УСТРОЙСТВА ТАКТИРОВАНИЯ

4.1 Генераторы с кварцевыми резонаторами

Генераторы с кварцевыми резонаторами обычно применяют на повышенных частотах, когда требуется получить колебания известной и стабильной частоты. В них роль цепи, обладающей резонансными свойствами, выполняет кварцевый резонатор.

Кварцевый резонатор является высокочастотным фильтром, частотные свойства которого определяются геометрическими размерами и типом колебаний его пластины.

Генераторы с кварцевыми резонаторами значительно сложнее и дороже в изготовлении, чем LC - и RC -генераторы. Однако при создании прецизионных преобразовательных устройств обойтись без них часто не удается.

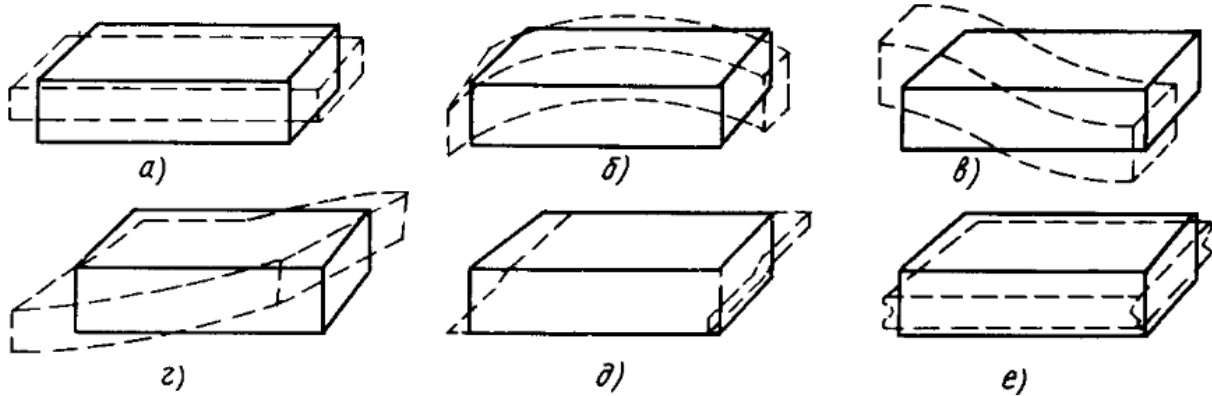
Применение кварцевых резонаторов позволяет обеспечить относительное изменение частоты, не превышающее $10^{-6} \dots 10^{-9}$, что на несколько порядков лучше соответствующих параметров LC - и RC -автогенераторов.

Для изготовления кварцевых резонаторов используют природный или искусственный монокристаллический кварц. Так как монокристалл кварца является анизотропным телом, то свойства резонатора зависят от ориентации вырезанной пластины относительно его кристаллографических осей. В настоящее время используют различные виды срезов. Благодаря этому удается удовлетворить многочисленные противоречивые требования, предъявляемые к рассматриваемым резонаторам.

В кристаллическом кварце существуют прямой и обратный пьезоэлектрические эффекты. *Прямой пьезоэффект* характеризуется тем, что при приложении к пластине механического напряжения на обкладках появляется электрический заряд, пропорциональный приложенному напряжению. *Обратный пьезоэффект* сводится к тому, что приложенное к пластине электрическое напряжение приводит к возникновению механических напряжений, изменяющих форму и размеры пластины. Возможные виды механических колебаний кварцевой пластины представлены на рисунке 4.1. Чаще всего используют колебания сжатия–растяжения (рисунок 4.1, *а*), изгиба (рисунок 4.1, *б*), кручения (рисунок 4.1, *в*, *г*), сдвига по контуру (рисунок 4.1, *д*), сдвига по толщине (рисунок 4.1, *е*). Эти колебания возможны как на основной резонансной частоте кварца, определяемой его геометрическими размерами и видом среза, так и на различных гармониках, кратных этой частоте.

Прежде чем вырезанная пластина кварца превратится в резонатор, она проходит ряд сложных технологических операций. *Поэтому под кварцевым резонатором или просто кварцем в дальнейшем будем подразумевать законченное устройство, способное совершать резонансные колебания под дей-*

ствием электрического поля соответствующей частоты и содержащее кварцевый элемент, электроды и кварцедержатели.



a – сжатие-растяжение; b – изгиб; $в, z$ – кручение;
 d – сдвиг по контуру; e – сдвиг по толщине

Рисунок 4.1 – Виды колебаний кварцевых элементов

Для проведения электрических расчетов кварцевый резонатор обычно представляют в виде эквивалентных схем, показанных на рисунке 4.2. Параметры элементов, входящих в эквивалентную схему, зависят от вида колебаний, размеров электродов и пластин кварца. Конденсатор C_0 характеризует емкость пьезоэлемента и его держателей. Элементы L, C, R характеризуют параметры пьезоэлемента, которые обуславливают строго определенную частоту его колебаний. Следует заметить, что резонансная частота кварцевого резонатора зависит от температуры окружающей среды, что позволяет иногда использовать его для точного измерения температуры. В прецизионных автогенераторах, работающих на определенной частоте, это явление относится к числу вредных и для уменьшения его влияния кварц термостабилизируют или вакуумируют.

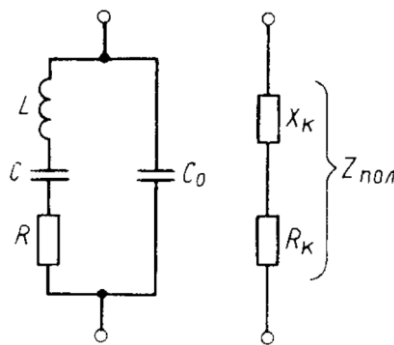


Рисунок 4.2 – Эквивалентные схемы кварцевого резонатора

Таким образом, кварцевый резонатор имеет стабильные параметры элементов, входящих в эквивалентную схему и определяющих генерируемую частоту при включении его в цепь автогенератора.

Типовые значения параметров кварцевого резонатора таковы: $L = 100$ мГн; $R = 100$ Ом; $C = 0.015$ пФ; $Q = 25000$; $C_0 = 5$ пФ.

Полное сопротивление кварцевого резонатора:

$$Z_{\text{ПОЛ}} = \frac{Z_1 \cdot Z_2}{Z_1 + Z_2}, \quad (4.1)$$

где $Z_1 = R + j\omega L + \frac{1}{j\omega C}$; $Z_2 = \frac{1}{j\omega C_0}$.

Преобразовав значения Z_1 и Z_2 , получим:

$$Z_{\text{ПОЛ}} = \frac{\omega RC + j(\omega^2 LC - 1)}{j[R\omega^2 CC_0 + j(\omega^3 LCC_0 - \omega C_0 - \omega C)]}. \quad (4.2)$$

Если считать, что значение R достаточно мало и им можно пренебречь, то:

$$Z_{\text{ПОЛ}} \approx \frac{j}{\omega} \left[\frac{\omega^2 LC - 1}{C_0 + C - \omega^2 LCC_0} \right]. \quad (4.3)$$

Из этого уравнения видно, что существуют одна частота, на которой $Z_{\text{ПОЛ}} \rightarrow 0$, и частота, на которой $Z_{\text{ПОЛ}} \rightarrow \infty$. Условие $Z_{\text{ПОЛ}} \rightarrow 0$ определяет последовательный резонанс, а условие $Z_{\text{ПОЛ}} \rightarrow \infty$ – параллельный. Частота *последовательного резонанса* зависит только от определенных параметров резонатора – L и C , а частота *параллельного резонанса* – также от менее стабильной межэлектродной емкости C_0 .

Частоту кварцевого резонатора можно менять в небольших пределах. Для этого последовательно с ним включают конденсатор C_1 , емкость которого значительно больше емкости C_0 . Изменение частоты можно оценить с помощью уравнения:

$$\frac{\Delta f}{f} = \frac{C}{2(C_0 + C_1)}. \quad (4.4)$$

Принципы, положенные в основу создания кварцевых автогенераторов, остаются теми же, что и для LC -генераторов. Их можно выполнять по схемам, использующим как последовательный, так и параллельный резонансы в электрической цепи. На практике используются оба вида резонансов.

Возможно также регулировать частоту, на которой возбуждается кварцевый резонатор, включением последовательно или параллельно с ним реактивных сопротивлений. Некоторые из возможных схем генераторов с кварцевой стабилизацией частоты приведены на рисунке 4.3, *а, б, в*. В автогенераторе (рисунок 4.3, *а*) использован последовательный резонанс. Микросхемы $DD1$, $DD2$ типа 155ЛА7 выполняют функции усилителей. Для вывода их в активную область, в которой возможно «мягкое» возбуждение, они охвачены отрицательной обратной связью (ООС), введенной с помощью резисторов R_1 , R_2 и R_3 , R_4 . Паразитное возбуждение микросхем устранено с помощью конденсаторов C_1 , C_2 . Так как ЛЭ 155ЛА7 имеют открытый коллектор, то в цепи выходов микросхем включены резисторы R_5 , R_6 . Конденсатор C_3 введен для гальванической развязки выхода $DD1$ и выхода $DD2$. По существу микросхемы $DD1$ и $DD2$ представляют собой усилитель переменного тока, который не

инвертирует входной сигнал. Положительная обратная связь, наблюдаемая на частоте последовательного резонанса кварцевого резонатора, приводит к появлению автоколебаний. Так как добротность резонатора очень велика, то при петлевом усилении $K\gamma$ [2], существенно большем единицы, автоколебания имеют синусоидальную форму. При очень большом значении $K\gamma$ форма выходного напряжения отличается от синусоидальной, что не сказывается на стабильности частоты.

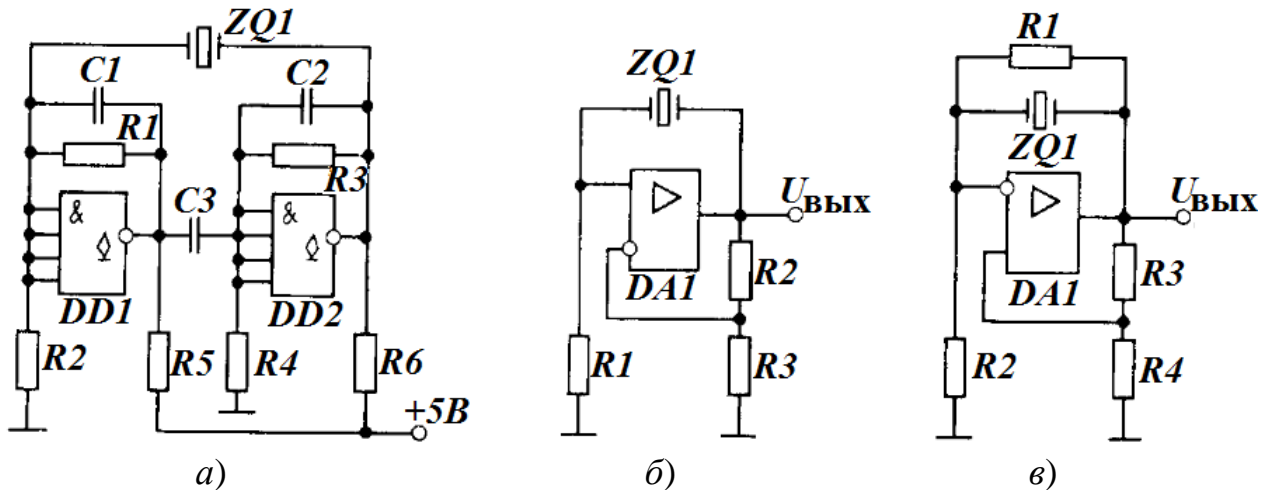


Рисунок 4.3 – Кварцевый генератор на микросхемах 155ЛА7 (а), генераторы на ОУ, использующие последовательный (б) и параллельный (в) резонансы

Автогенератор (рисунок 4.3, б) отличается от генератора (рисунок 4.3, а) только тем, что в нем в качестве усилителя применен операционный усилитель (ОУ). Верхняя частота, на которой возможно устойчивое самовозбуждение такого генератора, обычно не превышает нескольких сотен кГц.

В генераторе (рисунок 4.3, в) используется параллельный резонанс. Кварцевый резонатор включен в цепь ООС. На частоте параллельного резонанса $Z_{\text{пол}}$ кварцевого резонатора резко возрастает. Глубина ООС уменьшается, а положительной обратной связи (ПОС) – остается неизменной. Если результирующее значение обратной связи окажется положительным и $K\gamma > 1$, то автогенератор возбудится. Ограничение амплитуды автоколебаний осуществляется за счет выхода ОУ в нелинейную область.

Кварцевые генераторы широко используются в многочисленных цифровых устройствах, устройствах измерительной техники, автоматики и радиотехники, когда нужно получить повышенную точность и стабильность частоты.

Кварцевые резонаторы успешно работают в полосе частот от 73 Гц до многих десятков МГц.

4.2 Мультивибраторы

Колебания, в которых медленные изменения чередуются со скачкообразными, называют релаксационными, а их источники – релаксационными генераторами. Такими колебаниями являются, в частности, последовательно-прямоугольных и пилообразных импульсов.

Подобно генераторам синусоидальных (гармонических) напряжений, релаксационные генераторы преобразуют энергию источника постоянного тока в энергию электрических колебаний. Однако если в генераторе гармонических колебаний LC -типа происходит непрерывный обмен энергией между конденсатором и катушкой контура и за период расходуется обычно небольшая часть энергии, полученной от источника, то в релаксационном генераторе в течение одной части периода энергия запасается в реактивном элементе только одного типа, обычно в конденсаторе, а в другую часть периода выделяется в виде теплоты в резисторах схемы. Усилительный элемент работает в данном случае в ключевом режиме, переключая конденсатор с зарядки на разрядку и обратно.

К релаксационным генераторам относятся мультивибраторы, генераторы пилообразных импульсов, блокинг-генераторы. В цифровой технике чаще всего применяются генераторы прямоугольных импульсов, которые могут работать в автоколебательном и ждущем режимах, а также в режиме синхронизации и деления частоты.

В автоколебательном режиме колебания генерируются непрерывно. В ждущем режиме генератор «ждет» поступления запускающего сигнала, с приходом которого выдает один импульс. Именно эти режимы в цифровых устройствах используют наиболее часто.

Мультивибраторы изготавливают в виде монолитных интегральных микросхем, выполняют на операционных усилителях, цифровых интегральных схемах, а также на дискретных компонентах; в последнем случае их активными элементами обычно являются транзисторы как $p-n-p$ -, так и $n-p-n$ -проводимости.

Классификация мультивибраторов, описанных в данном разделе, приведена на рисунке 4.4.



Рисунок 4.4 – Классификация мультивибраторов

4.2.1 Мультивибраторы на транзисторах

Прямоугольные импульсы имеют широкий спектр частот. Этим определяется название мультивибратора, означающее генератор множества колебаний. Наглядное представление о процессах в мультивибраторе можно получить из рассмотрения его схем на дискретных компонентах. Это тем более важно, что структуры микросхем мультивибраторов во многом повторяют схемы на дискретных компонентах.

Действие мультивибратора основано на следующих положениях. Прямоугольные импульсы формируются на коллекторах транзисторов; плоская вершина – когда транзистор закрыт и его коллектор имеет относительно высокий (по абсолютному значению) потенциал; пауза между импульсами – когда транзистор насыщен и потенциал его коллектора мал. Как будет показано далее, продолжительности закрытого и насыщенного состояний транзисторов (т.е. длительности генерируемых импульсов и пауз между ними) определяются процессами поочередной разрядки конденсаторов в плечах мультивибратора.

Мультивибратор, собранный по основной схеме (рисунок 4.5), представляет собой двухкаскадный резистивный усилитель, построенный на транзисторных ключах-инверторах. Схема является симметричной, если оба ее плеча идентичны, т.е. идентичны транзисторы $VT1$ и $VT2$ и $R_{K1} = R_{K2}$, $R_{B1} = R_{B2}$ и $C_1 = C_2$.

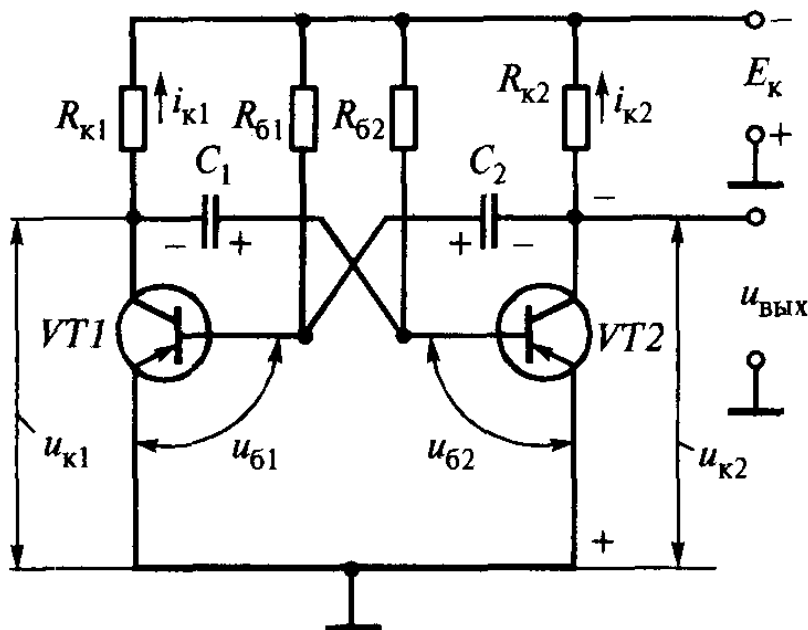


Рисунок 4.5 – Мультивибратор, собранный по основной схеме

При одновременно открытых транзисторах в схеме имеется положительная обратная связь за счет того, что выход одного ключа соединен со входом другого. Действительно, если относительно эмиттера потенциал базы транзистора $VT1$ станет, к примеру, более отрицательным, то $VT1$ откроется

сильнее и потенциал его коллектора (и базы $VT2$) повысится (станет менее отрицательным), а потенциал коллектора $VT2$ (и базы $VT1$) станет более отрицательным. Так, к первоначальному приращению потенциала базы $VT1$ добавляется приращение того же знака, поступающее в исходную точку по петле обратной связи. Такое лавинообразное изменение потенциалов будет происходить до тех пор, пока транзистор $VT2$ не закроется, и за счет этого не разомкнется цепь положительной обратной связи. После этого $VT1$ окажется открытым, а $VT2$ – закрытым. При таком лавинообразном процессе на коллекторе $VT2$ формируется *передний фронт* отрицательного импульса (участок ab на рисунке 4.6). Далее будет показано, что через некоторое время состояния транзисторов поменяются на противоположные. И так будет происходить периодически.

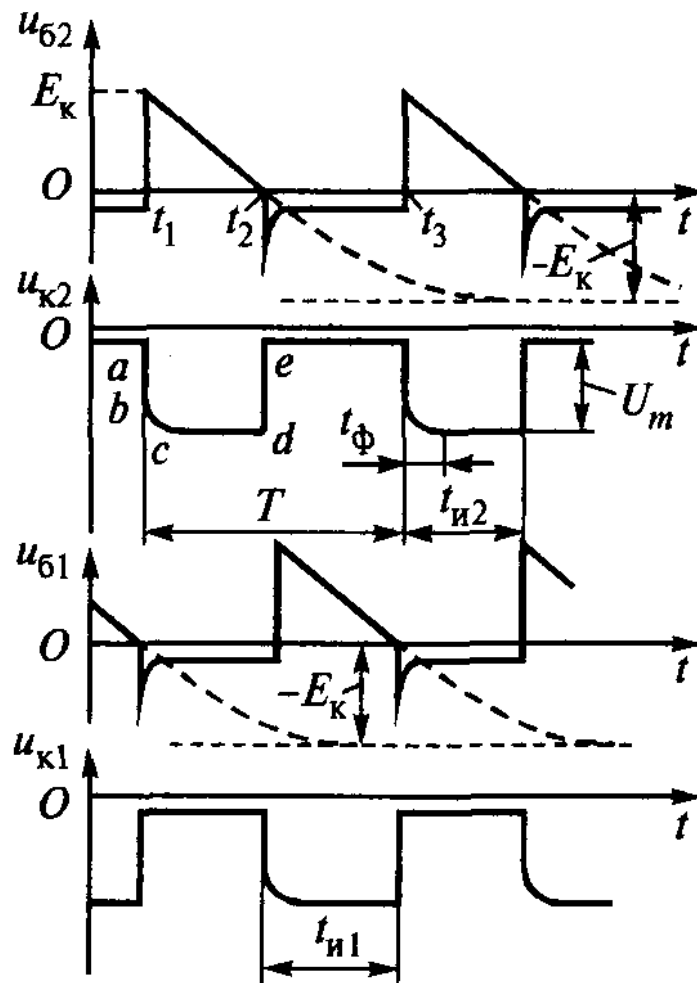


Рисунок 4.6 – Временная диаграмма работы мультивибратора

В каждом полупериоде один транзистор закрыт, а другой открыт. Открывание закрытого транзистора, предположим $VT1$ (после чего начинает развиваться лавинообразный процесс), возможно за счет того, что напряжение на конденсаторе C_2 (в процессе его разрядки через открытый транзистор $VT2$ и $R_{Б1}$) окажется близким к нулю и через открытый $VT2$ будет приложено к промежутку база-эмиттер $VT1$. В это время напряжение на конденсаторе C_1

$u_{C1} \approx -E_K$, так как при закрытом $VT1$ он заряжался через промежуток эмиттер-база открытого транзистора $VT2$. При двух открытых транзисторах возникает лавинообразный процесс, после которого $VT1$ полностью открывается, а $VT2$ закрывается.

Во время весьма кратковременного лавинообразного процесса напряжения u_{C1} и u_{C2} не успевают изменяться. После окончания «лавины» заряженный конденсатор C_1 через открывшийся транзистор $VT1$ удерживает закрытым транзистор $VT2$ (так как напряжение u_{C1} приложено к промежутку база-эмиттер $VT2$, т.е. фактически является напряжением u_{B2}). Разряженный конденсатор C_2 быстро заряжается через небольшие сопротивления промежутка эмиттер-база $VT1$ и резистора R_{K2} в цепи коллектора закрывшегося транзистора $VT2$. Из-за этой зарядки потенциал коллектора $VT2$ не сразу устанавливается равным $-E_K$ (участок bc на рисунке 4.6). Пока транзистор $VT1$ закрыт, потенциал его коллектора остается неизменным – формируется *плоская вершина* импульса (участок cd на рисунке 4.6).

В это время конденсатор C_1 разряжается (см. u_{B2} в интервале $t_1 \dots t_2$ на рисунке 4.6) по цепи: $(+E_K) \rightarrow$ открытый транзистор $VT1 \rightarrow C_1 \rightarrow R_{B2} \rightarrow (-E_K)$ и на его левую (по схеме) обкладку переносятся положительные заряды, что может привести к перезарядке (на рисунке 4.6 показано пунктиром) C_1 – изменению полярности обкладок. Однако, как только напряжение u_{C1} окажется близким к нулю, транзистор $VT2$ начинает открываться, и в схеме вновь возникают условия для лавинного процесса. На коллекторе $VT2$ начнется формирование *заднего фронта (среза)* отрицательного импульса (участок de на рисунке 4.6), в ходе которого $VT2$ полностью откроется, а $VT1$ закроется. Время, в течение которого напряжение на конденсаторе C_1 снижается от $u_{C1} \approx E_K$ до $u_{C1} \approx 0$, а затем сохраняется примерно равным нулю (транзистор $VT2$ остается открытым), составляет *паузу* между импульсами.

Дальнейшее поведение схемы аналогично описанному: начинает разряжаться конденсатор C_2 , удерживающий транзистор $VT1$ закрытым. Как только напряжение u_{C2} окажется близким к нулю, транзистор $VT1$ откроется – возникает новая «лавина», после чего процессы в мультивибраторе будут повторять те, с которых мы начали рассмотрение его работы.

Очевидно, что длительность закрытых состояний транзисторов, т.е. длительность импульса и паузы определяются постоянными времени перезарядки конденсаторов: соответственно $\tau_1 = C_1 R_{B2}$ и $\tau_2 = C_2 R_{B1}$, поэтому цепи $C_1 R_{B2}$ и $C_2 R_{B1}$, называют *времязадающими*.

Основными параметрами мультивибратора являются:

- амплитуда генерируемых импульсов $U_m \approx E_K$;
- длительность импульсов $t_{И1}$ и $t_{И2}$ на коллекторах транзисторов $VT1$ и $VT2$ (см. рисунок 4.6) $t_{И2} \approx 0.7 R_{B2} C_1$; $t_{И1} \approx 0.7 R_{B1} C_2$;
- длительность переднего фронта импульса $t_{Ф} \approx 3 C R_K$;
- период колебаний $T = t_{И2} + t_{И1} \approx 0.7 (R_{B2} C_1 + R_{B1} C_2)$.

При $R_{B2} = R_{B1} = R$, $C_2 = C_1 = C$ (симметричный мультивибратор) имеем:

$$T = 1.4R_B C.$$

У несимметричного мультивибратора длительности импульса и паузы не одинаковы за счет различной продолжительности закрытых состояний транзисторов $VT1$ и $VT2$.

Если с транзистора, например $VT2$, надо получить импульс короче паузы, то $VT2$ должен быть закрыт меньшее время, чем $VT1$, т.е. конденсатор C_1 должен разряжаться быстрее, чем конденсатор C_2 ($C_1 R_{B2} < C_2 R_{B1}$).

Если требуется, к примеру, уменьшить $t_{И2}$, оставляя период T неизменным, то сумму $R_{B2}C_1 + R_{B1}C_2$ следует сохранить постоянной, а уменьшение $R_{B2}C_1$, должно быть скомпенсировано соответствующим увеличением $R_{B1}C_2$.

Для автоколебательного режима работы мультивибратора характерно отсутствие устойчивого состояния, вследствие чего схема непрерывно генерирует импульсы. В ряде случаев необходимо получать одиночные импульсы в определенный момент времени (например, для запуска устройства в фиксированный момент). Для решения такой задачи мультивибратору надо обеспечить только одно устойчивое состояние. Обычно его получают запирающим усилительного элемента в одном из плеч мультивибратора, вследствие чего схема не может выйти из такого состояния самостоятельно. В этом случае для возникновения генерации необходим внешний запускающий импульс. Поскольку схема «ждет» такой импульс, рассматриваемый мультивибратор называют *ждушим*, а также *одновибратором* (при каждом запуске вырабатывается только один импульс).

Роль запускающего импульса сводится к тому, чтобы приоткрыть закрытый усилительный элемент, т.е. создать условия для возникновения лавинообразного процесса. Поэтому запускающий импульс должен иметь определенную полярность, а также соответствующие амплитуду и длительность. После опрокидывания (во время формирования импульса) схема находится в неустойчивом состоянии (аналогично автоколебательному мультивибратору), из которого лавинообразно возвращается в устойчивое (исходное) состояние. С поступлением следующего запускающего импульса начинается формирование нового импульса.

Ждущие мультивибраторы можно использовать как элементы задержки. Действительно, если импульсы, сформированные ждущим мультивибратором, укоротить (путем дифференцирования), а затем «срезать» импульсы, полярность которых соответствует полярности запускающих импульсов, то полученная последовательность окажется задержанной по отношению к последовательности запускающих. Время задержки t_3 соответствует пребыванию мультивибратора в неустойчивом состоянии.

На рисунке 4.7 изображены временные диаграммы напряжений: запускающего, на коллекторах транзисторов и выходного напряжения после ограничения.

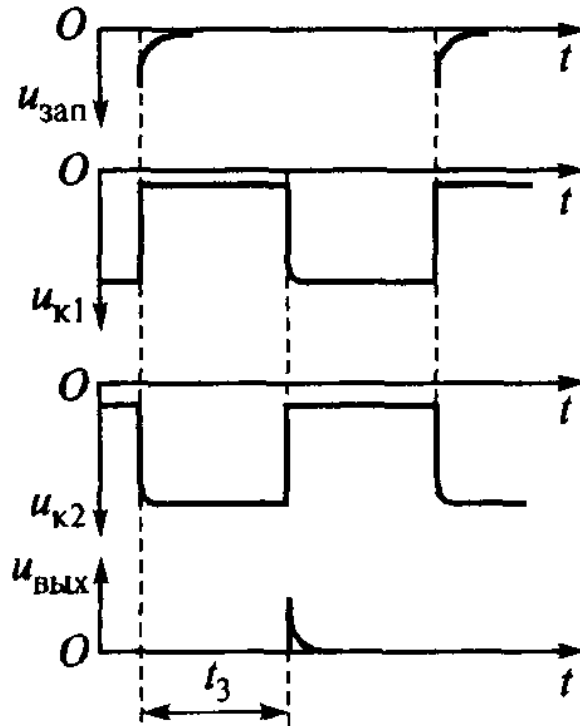


Рисунок 4.7 – Временная диаграмма работы одновибратора

Схему ждущего мультивибратора (рисунок 4.8) можно получить из схемы автоколебательного мультивибратора (см. рисунок 4.5), если в нее ввести источник смещения $+E_B$. Для обеспечения устойчивого состояния необходимо закрыть транзистор $VT1$, т.е. выбрать $E_B \geq I_{K0max}R_{B1}$, где I_{K0max} – обратный ток коллектора при максимальной рабочей температуре.

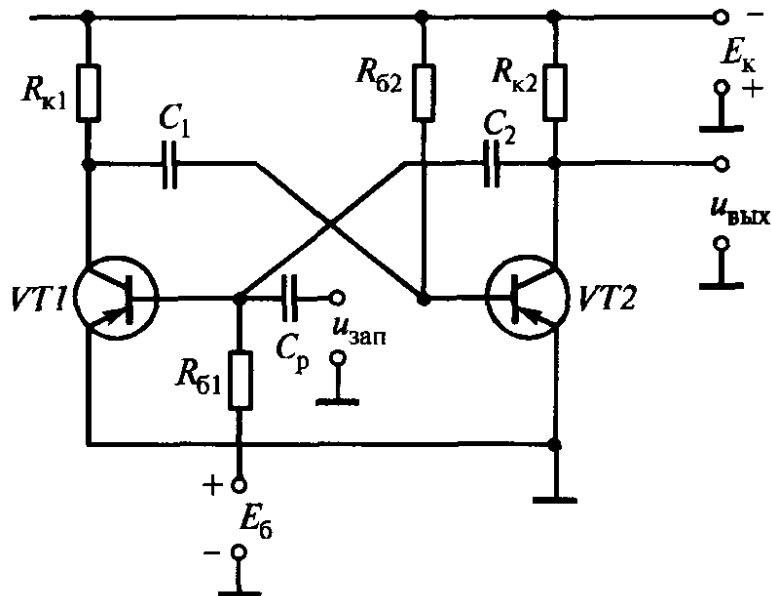


Рисунок 4.8 – Ждущий мультивибратор (одновибратор)

Исходное состояние схемы однозначно: транзистор $VT1$ закрыт источником смещения $+E_B$, а $VT2$ – насыщен. При этом конденсатор C_1 имеет воз-

возможность заряжаться по цепи: $(+E_K) \rightarrow \text{«земля»} \rightarrow \text{эмиттерный переход транзистора } VT2 \rightarrow C_1 \rightarrow R_{K1} \rightarrow (-E_K)$.

Чтобы вывести схему из устойчивого состояния, на базу транзистора $VT1$ через разделительный конденсатор C_p подают отрицательный запускающий импульс. При двух открытых транзисторах развивается лавинообразный процесс, приводящий к опрокидыванию схемы: транзистор $VT1$ открывается, а $VT2$ закрывается.

Длительность импульса, сформированного на коллекторе $VT2$:

$$t_{И} \approx 0.7 C_1 R_{B2}.$$

Далее процессы в схеме протекают аналогично описанным для автоколебательного мультивибратора с той лишь разницей, что после следующей «лавины» ($VT1$ закрывается, $VT2$ открывается) транзистор $VT1$ за счет смещения $+E_B$ самостоятельно открыться не может.

4.2.2 Мультивибраторы на специализированных интегральных микросхемах

Структура интегрального автоколебательного мультивибратора (рисунок 4.9) повторяет схему на дискретных элементах. Конденсаторы C_1 и C_2 времязадающих цепочек – навесные. Меняя их, можно регулировать длительность выходных импульсов. В ряде случаев эти конденсаторы выполнены внутри микросхем и имеют выводы для подключения параллельно им навесных конденсаторов.

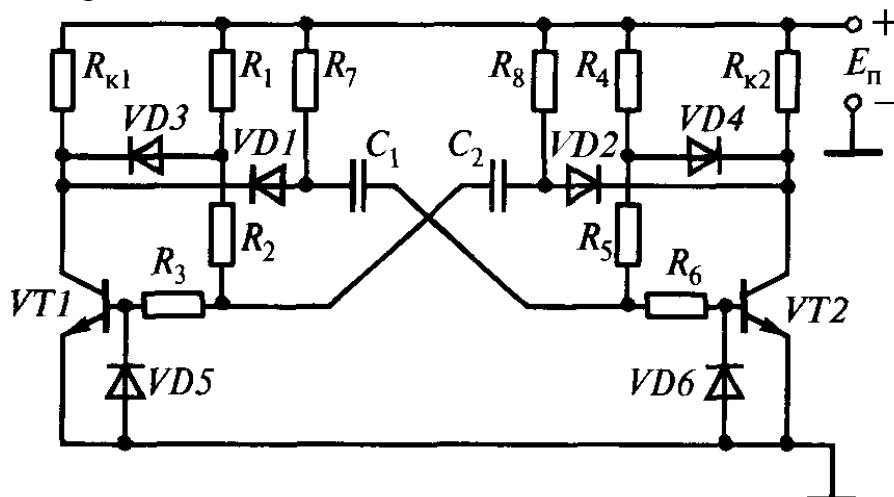


Рисунок 4.9 – Интегральный автоколебательный мультивибратор

Диоды $VD1$ и $VD2$ – корректирующие. Благодаря им зарядный ток конденсаторов C_1 , C_2 идет не через коллекторные резисторы R_{K1} , R_{K2} , а через резисторы R_7 , R_8 , чем достигается сокращение длительности переднего фронта импульса. Диоды $VD3$, $VD4$ и соответствующие резисторы R_1 , R_2 и R_4 , R_5 создают цепь отрицательной обратной связи, которая препятствует насыщению транзисторов и тем самым уменьшает время их переключения.

В схеме предусмотрена защита эмиттерно-базовых переходов транзисторов $VT1$ и $VT2$ диодами $VD5$, $VD6$ и резисторами R_3 , R_6 . Элементы R_3 , $VD5$ (R_6 , $VD6$) образуют делитель напряжения. При отрицательном перепаде, передающемся с коллектора через конденсатор, диод открыт – большая часть напряжения выделяется на резисторе, а незначительная – на прямосмещенном диоде ($U_{д.отк} \approx -0.7$ В). В отсутствие этих элементов отрицательные перепады разрушают эмиттерно-базовый переход транзистора.

На рисунке 4.10 приведено изображение специализированной микросхемы автоколебательного мультивибратора с навесными времязадающими конденсаторами C_1 и C_2 .

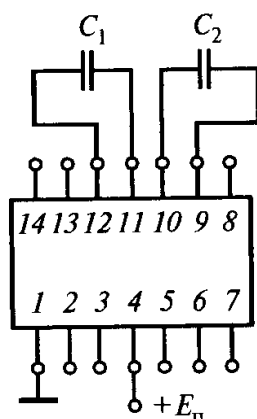


Рисунок 4.10 – Специализированная микросхема автоколебательного мультивибратора

На рисунке 4.11, *a* изображена принципиальная схема ждущего мультивибратора на специализированной микросхеме. В отличие от микросхемы, представленной на рисунке 4.9, она не имеет нелинейной отрицательной обратной связи и содержит цепь запуска ($VD3$, $VD4$, R_4 , C_3). В исходном состоянии транзистор $VT2$ закрыт, так как его база через резистор R_5 соединена с «землей»; транзистор $VT1$ открыт: его база соединена с $+E_{п}$ через резисторы R_9 , R_3 . В этом режиме конденсатор C_2 заряжен до напряжения, близкого к $E_{п}$, а напряжение на конденсаторе C_1 значительно меньше: оно равно сумме напряжений на открытых диоде $VD1$ и транзисторе $VT1$.

Отрицательный запускающий импульс укорачивается дифференцирующей цепью C_3R_4 , в результате образуются два разнополярных остроконечных импульса, после чего положительный остроконечный импульс отсекается диодами $VD3$, $VD4$, а отрицательный – проходит на базу транзистора $VT1$, начиная закрывать его. При этом открывается транзистор $VT2$, при двух открытых транзисторах возникает лавинообразный процесс, после которого $VT1$ закрывается, а $VT2$ полностью открывается.

Через открытый транзистор $VT2$ конденсатор C_2 , заряженный в предыдущей стадии, удерживает транзистор $VT1$ закрытым. Наряду с этим зарядка конденсатора C_1 через резистор R_7 и открытый транзистор $VT2$ обеспечивает насыщенное состояние последнего. Выход схемы из этого неустойчивого состояния происходит в зависимости от соотношения емкостей C_1 , C_2 за счет

разрядки конденсатора C_1 (когда открывается транзистор $VT1$) или за счет уменьшения тока зарядки конденсатора C_1 , когда транзистор $VT2$ переходит в активный режим и положительный перепад напряжения с его коллектора начинает отпирание транзистора $VT1$.

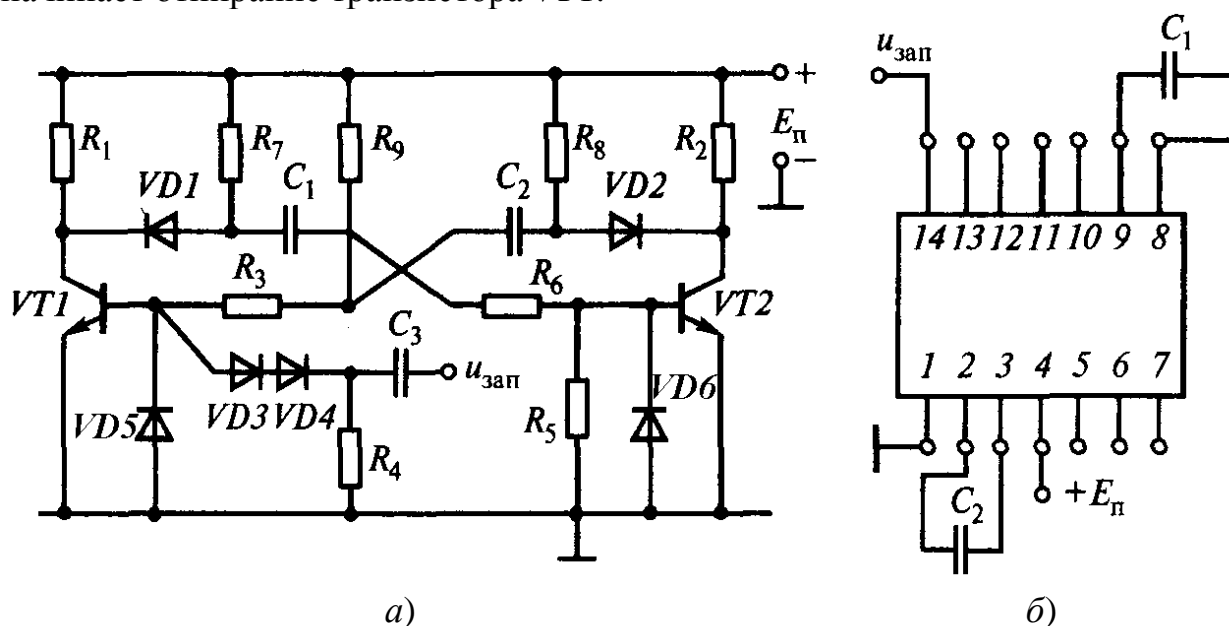


Рисунок 4.11 – Принципиальная схема (а) и условное изображение (б) ждущего мультивибратора на специализированной микросхеме

На рисунке 4.11, б изображена специализированная микросхема ждущего мультивибратора с навесными конденсаторами C_1 и C_2 .

4.2.3 Мультивибраторы на логических элементах

Выходным каскадом цифровых интегральных схем И-НЕ и ИЛИ-НЕ является усилитель (инвертор). Это дает возможность построить на таких элементах мультивибратор, аналогичный мультивибратору на транзисторах. За счет положительной обратной связи в схеме развивается лавинообразный процесс, благодаря чему переход выходного напряжения с одного уровня на другой происходит с большой скоростью. Предполагается, что мультивибраторы, рассматриваемые ниже, выполнены на микросхемах ТТЛ.

Схема автоколебательного мультивибратора приведена на рисунке 4.12. Входы каждого из элементов \mathcal{E}_1 и \mathcal{E}_2 соединены, они используются как усилители-инверторы. Выход одного элемента связан с входом другого цепью C_1R_2 (C_2R_1), за счет чего (так же, как и в схеме транзисторного мультивибратора) создается положительная обратная связь.

Диоды $VD1$, $VD2$ являются защитными, напряжение на них не может быть ниже $U_{\text{Д.ОТК}} \approx -0.7$ В. В отсутствие $VD1$, $VD2$ на входы элементов через конденсаторы будут передаваться значительные отрицательные перепады напряжений, что выведет микросхемы из строя. Если защитные диоды име-

ются внутри самих микросхем, то необходимость установки их снаружи отпадает.

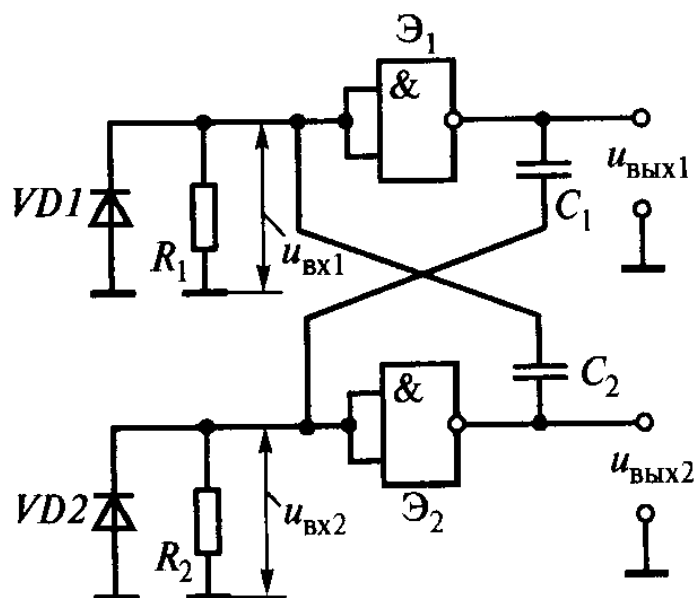


Рисунок 4.12 – Автоколебательный мультивибратор на логических элементах

Процессы в рассматриваемом мультивибраторе в значительной степени аналогичны процессам в транзисторном автоколебательном мультивибраторе. Разница состоит лишь в том, что элемент входит в активный усилительный режим, когда потенциал его объединенных входов достигает отличного от нуля порогового уровня. С этого момента в схеме может развиваться лавинообразный процесс.

Изменения потенциалов на входах и выходах элементов \mathcal{E}_1 и \mathcal{E}_2 обусловлены перезарядкой конденсаторов C_1 и C_2 .

Длительности импульсов на выходе элементов \mathcal{E}_1 и \mathcal{E}_2 соответственно равны:

$$t_{И1} = 2.3C_2(R_1 + R_{ВЫХ2}) \lg \frac{U^1}{U_{ПОР}};$$

$$t_{И2} = 2.3C_1(R_2 + R_{ВЫХ1}) \lg \frac{U^1}{U_{ПОР}},$$

где $R_{ВЫХ}$ – выходное сопротивление элемента; U^1 – напряжение логической 1; $U_{ПОР}$ – пороговый уровень элемента.

Период колебаний:

$$T = t_{И1} + t_{И2}.$$

При $C_1 = C_2 = C$, $R_1 = R_2 = R$ (симметричный мультивибратор) имеем:

$$T = 4.6C(R + R_{ВЫХ}) \lg \frac{U^1}{U_{ПОР}}.$$

Оценим длительность импульса, формируемого мультивибратором (см. рисунок 4.12), при следующих параметрах: $C_1 = C_2 = 7500$ пФ; $R_1 = R_2 = 510$ Ом, $U^1 = 3.5$ В, $U_{\text{ПОР}} = 1.5$ В, $R_{\text{ВЫХ}} = 40$ Ом:

$$t_{\text{И}} = 2.3(510 + 40) \cdot 7500 \cdot 10^{-12} \cdot \lg \frac{3.5}{1.5} \approx 3.5 \text{ мкс.}$$

Недостатком мультивибратора, изображенного на рисунке 4.12, является возможность такого состояния, при котором оба элемента оказываются одновременно закрытыми: генерация отсутствует (например, при медленном нарастании питающего напряжения при включении). Чтобы колебания могли появиться, рассмотренную схему дополняют элементом *И* и соответствующими связями (рисунок 4.13). Часть схемы левее \mathcal{E}_3 , \mathcal{E}_4 подобна схеме, представленной на рисунке 4.12. Если мультивибратор работает нормально (т.е. имеют место состояния, когда один из элементов \mathcal{E}_1 , \mathcal{E}_2 закрыт, а другой открыт), то на входе элемента *И* (\mathcal{E}_3 , \mathcal{E}_4) разные логические уровни и на его выходе – логический 0. При этом правый по схеме вывод резистора R_1 через низкое выходное сопротивление открытого элемента \mathcal{E}_4 , по существу, соединен с «землей» – принципиально схема аналогична приведенной на рисунке 4.12. Если элементы \mathcal{E}_1 , \mathcal{E}_2 одновременно закрыты, на входах элемента *И* логическая 1, и логическая 1 с выхода \mathcal{E}_4 открывает элемент \mathcal{E}_1 – в схеме появляются условия для возникновения колебательного процесса.

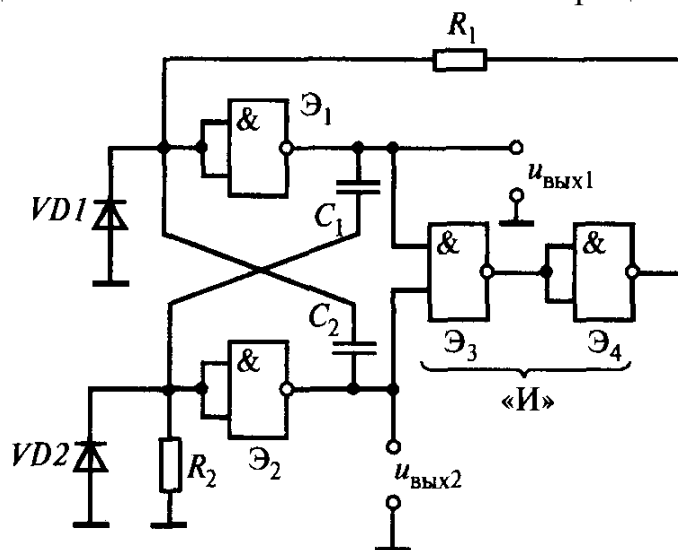


Рисунок 4.13 – Модифицированная схема автоколебательного мультивибратора на логических элементах

Схема ждущего мультивибратора (рисунок 4.14) отличается от схемы автоколебательного мультивибратора (см. рисунок 4.12) наличием только одной времязадающей цепи и наличием цепи запуска, включающей инвертор \mathcal{E}_3 . В исходном состоянии напряжение $u_{\text{ВХ}2} = i_{\text{ВХ}2}R$ незначительно и поэтому $u_{\text{ВЫХ}2} = U^1$ (элемент \mathcal{E}_2 закрыт). Кроме того, $u_{3\text{АП}} = 0$, поэтому на обоих входах \mathcal{E}_1 устанавливаются логические 1, так что $u_{\text{ВЫХ}1} = U^0$ (элемент \mathcal{E}_1 открыт). При этом конденсатор C разряжен. Положительный запускающий импульс

обеспечивает на верхнем (см. рисунок 4.14) входе элемента \mathcal{E}_1 логический 0, благодаря чему напряжение на выходе \mathcal{E}_1 возрастает скачком.

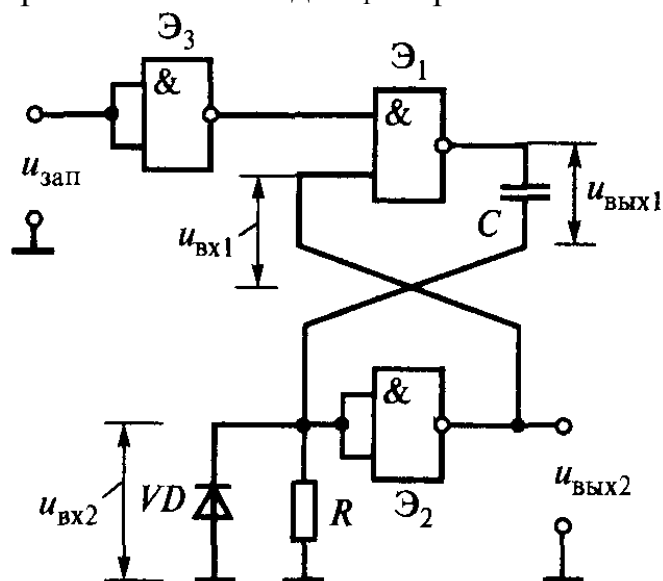


Рисунок 4.14 – Схема ждущего мультивибратора на логических элементах

Через конденсатор C положительный перепад Δu_1 , передается на вход элемента \mathcal{E}_2 , и он устанавливается в состояние логического 0 ($u_{\text{ВЫХ}2} = U^0$). Теперь на втором входе элемента \mathcal{E}_1 логический 0, поэтому высокий потенциал на выходе \mathcal{E}_1 сохраняется и после окончания запускающего импульса ($u_{\text{ВЫХ}1} = U^1$).

После описанного переключения элементов начинается зарядка конденсатора C под действием напряжения на выходе \mathcal{E}_1 , в ходе которой $u_{\text{ВХ}2}$ уменьшается. Когда благодаря этому рабочая точка элемента \mathcal{E}_2 выходит на активный участок передаточной характеристики, вслед за уменьшением $u_{\text{ВХ}2}$ начинают увеличиваться напряжения $u_{\text{ВЫХ}2}$ и $u_{\text{ВХ}1}$. За счет последнего рабочая точка элемента \mathcal{E}_1 тоже выходит на активный участок передаточной характеристики – в схеме замыкается цепь положительной обратной связи, благодаря чему переключение элементов происходит лавинообразно: \mathcal{E}_1 открывается ($u_{\text{ВЫХ}1} = U^0$), а \mathcal{E}_2 закрывается ($u_{\text{ВЫХ}2} = U^1$).

После этого конденсатор C разряжается через малое выходное сопротивление открытого элемента \mathcal{E}_1 и диод VD , и в схеме восстанавливается исходный режим. С приходом следующего запускающего импульса описанные процессы повторяются. Заметим, что на выходе \mathcal{E}_2 , к которому не подключен конденсатор, импульс имеет лучшую форму, чем на выходе \mathcal{E}_1 . Длительность сформированного импульса можно определить как для автоколебательного мультивибратора, считая $\tau_1 = CR$.

4.3 Формирователи импульсов

В цифровой технике применяют цепи и устройства, формирующие напряжения одной формы из напряжения другой. Такую задачу можно решить, используя, в частности, линейные элементы. Если ко входу линейной цепи приложено синусоидальное напряжение, то напряжение на любом ее элементе имеет такую же форму. Если же входное напряжение является суммой гармоник разных частот, а линейная цепь содержит частотно-зависимый элемент (например, конденсатор, индуктивную катушку), то форма напряжения на ее элементах не повторяет формы входного напряжения. Это объясняется тем, что гармоники входного напряжения по-разному пропускаются такой цепью. В результате соотношения между их амплитудами, а также между фазами на входе цепи и на ее элементах не одинаковы. Указанное свойство положено в основу формирования импульсов с помощью линейных цепей.

Формирователи импульсов обеспечивают получение остrokонечных и пилообразных импульсов, импульсов трапецеидальной формы, коротких прямоугольных импульсов. Варианты формирователей (рисунок 4.15) на линейных цепях рассматриваются далее подробно.

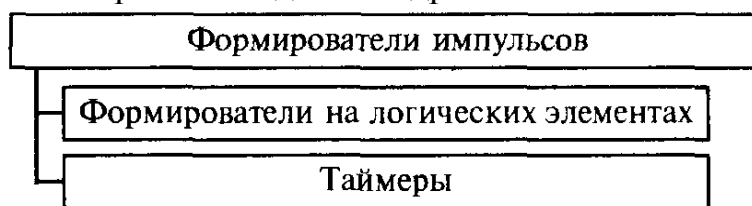


Рисунок 4.15 – Наиболее распространенные в цифровой схемотехнике формирователи импульсов

4.3.1 Формирователи импульсов на логических элементах

Возможность построения формирователя на логическом элементе обусловлена тем, что он может иметь несколько входов, по каждому из которых может управляться. Принцип действие такого формирователя на двухвходовом элементе сводится к следующему. Если на один вход элемента подать переключающий перепад в момент t_1 , а на другой – в момент t_2 , то на выходе элемента сформируется прямоугольный импульс длительностью $t_{И} = t_2 - t_1$.

Рассмотрим формирователь на элементе И-НЕ, на выходе которого может формироваться импульс на уровне U^0 . В интервале времени $t_1 \dots t_2$ (рисунок 4.16, а) на входах двухвходового элемента должны быть логические 1, что показано цифрами на соответствующем участке выходного импульса. До момента t_1 на одном из входов должен быть логический 0; наличие двух логических 0 следует исключить, так как переход на выходе от логической 1 к логическому 0 должен происходить при изменении логической переменной

только на одном входе элемента. Переключение в момент t_2 происходит за счет смены логической 1 на логический 0 на другом входе элемента.

На рисунке 4.16, б изображен импульс с уровнем U^1 , который может формироваться на выходе элемента ИЛИ-НЕ; на его участках цифрами показаны комбинации логических уровней на входах элемента, обеспечивающие формирование этих участков.

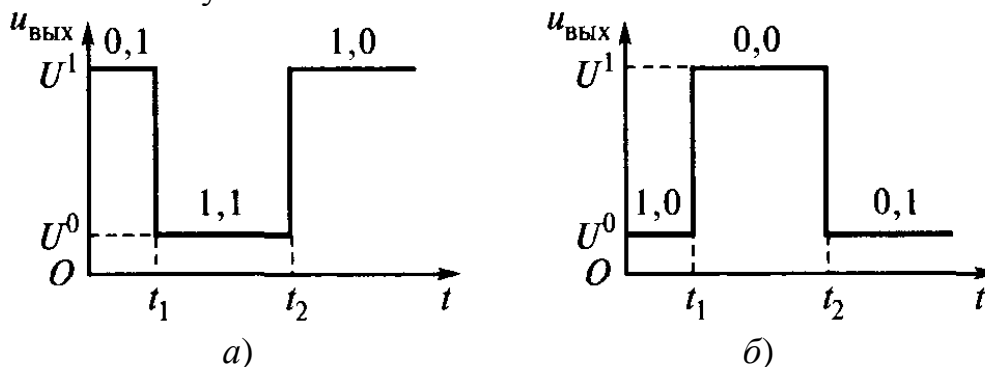


Рисунок 4.16 – Формирование прямоугольных импульсов элементами И-НЕ (а), ИЛИ-НЕ (б)

При формировании импульсов малой длительности (десятки-сотни наносекунд) можно использовать временную задержку, которую создают логические элементы (рисунок 4.17).

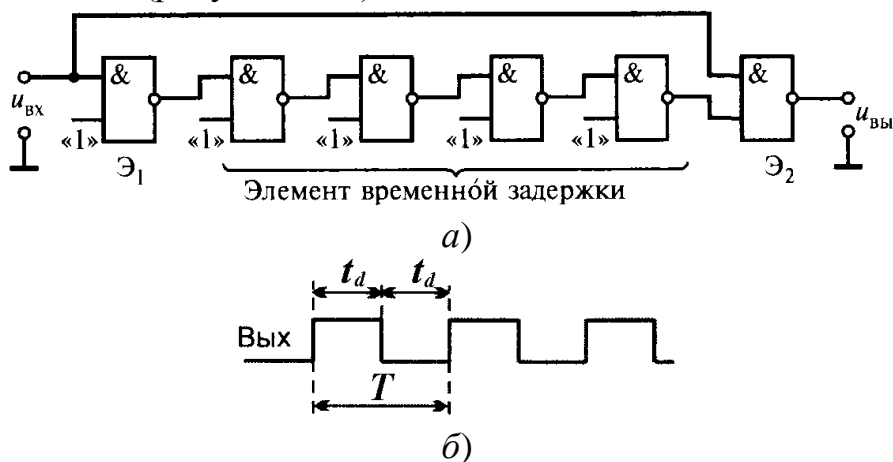


Рисунок 4.17 – Схема формирования импульсов малой длительности (а) и временная диаграмма выходного сигнала (б)

До поступления входного импульса $u_{\text{ВХ}} = U^0$, на верхнем (по схеме) входе \mathcal{E}_2 присутствует логический 0 и $u_{\text{ВЫХ}} = U^1$. При этом на другой вход \mathcal{E}_2 через элементы временной задержки поступает логическая 1, что легко проследить по схеме.

С приходом входного импульса и на верхнем входе \mathcal{E}_2 появляется логическая 1, за счет чего $u_{\text{ВЫХ}} = U^0$. Такой уровень будет сохраняться, пока изменившийся потенциал на выходе \mathcal{E}_1 не поступит на нижний вход \mathcal{E}_2 . Чтобы не осуществлять инвертирования сигнала, число элементов, создающих задержки, должно быть четным.

Элементы \mathcal{E}_1 и \mathcal{E}_2 выбирают с малой задержкой, что обеспечивает высокую крутизну фронтов выходного импульса. Собственные задержки микросхем имеют большой разброс и нестабильны. Поэтому формирователи, построенные по схеме на рисунке 4.17, применяют, когда стабильность длительности выходного импульса особой роли не играет.

Очень часто требуются импульсы, в которых длительности импульса и паузы должны быть различны. На рисунке 4.18, *a* показана схема, в которой возможно отдельное задание длительностей импульса и паузы.

Работу схемы легко уяснить из рассмотрения временных диаграмм на рисунке 4.18, *б*. Видно, что длительность паузы устанавливается элементом задержки 2, после чего можно задать необходимую длительность импульса элементом задержки 1. При этом $t_{\text{П}} = t_{d2}$ и $t_{\text{И}} = 2t_{d1} + t_{d2}$. Здесь пауза короче импульса. Если требуется обратное соотношение, выходной сигнал можно проинвертировать.

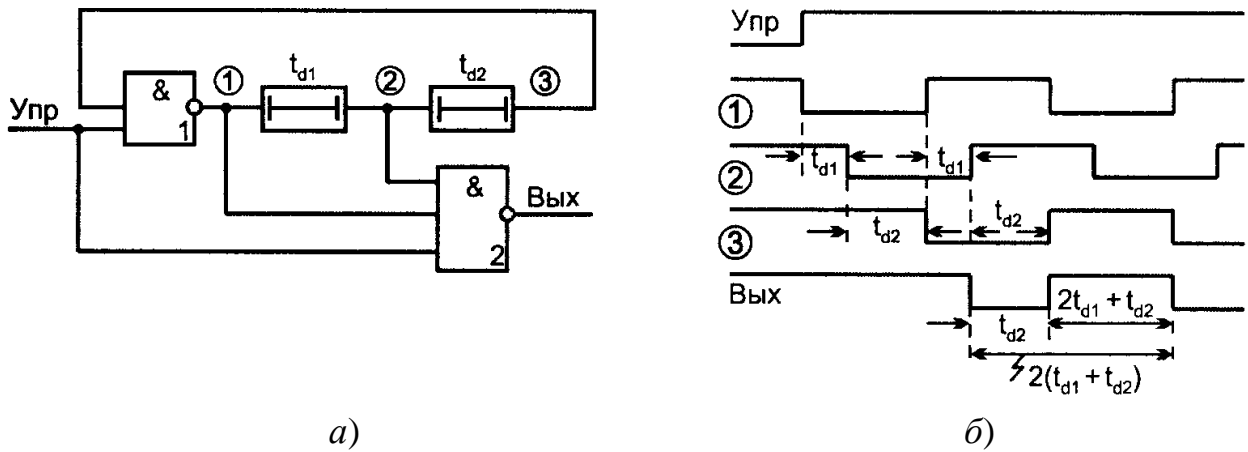


Рисунок 4.18 – Схема формирователя несимметричных импульсов (*a*) и временная диаграмма выходного сигнала (*б*)

4.3.2 Таймеры

Таймер предназначен для формирования импульсов с устанавливаемой длительностью и скважностью. В схему одноканального таймера (рисунок 4.19, *a*) входит разряжающий транзистор-ключ, аналоговый компаратор, триггер, делитель напряжения, а также внешняя времязадающая (хронирующая) RC -цепь.

Напомним [2], что для схемы на рисунке 4.19, *a*, когда сигнал $U_{\text{оп}}$ подается на инвертирующий вход, выходной сигнал аналогового компаратора определяется большим из напряжений $U_{\text{оп}}$ и u_x по формуле:

$$u_{\text{вых}} = K(u_x - U_{\text{оп}}),$$

где $U_{\text{оп}}$ – опорное напряжение; u_x – сравниваемое напряжение; K – коэффициент усиления компаратора.

Величина $u_{\text{ВЫХ}}$ за счет большого коэффициента усиления K и отсутствия обратной связи, достигает значений напряжения насыщения $U_{\text{НАС}}^+$ или $U_{\text{НАС}}^-$ при весьма незначительной разности $U_{\text{ОП}}$ и u_x .

В исходном состоянии триггер сброшен в 0 ($u_{\text{ВЫХ}} = U^0$) и логическая 1 с его инверсного выхода замыкает ключ, который шунтирует конденсатор C . В результате на выходе компаратора K устанавливается логический 0 и поэтому $S = 0$, $R = 0$. С поступлением короткого запускающего импульса триггер по прямому выходу переключается в 1 ($\bar{Q} = 0$), ключ размыкается, и конденсатор C начинает заряжаться от источника E с постоянной времени $\tau = CR$. Когда напряжение на нем чуть превысит значение $U_{\text{ОП}}$ (см. рисунок 4.19), компаратор переключается в 1 ($S = 0$, $R = 1$), триггер устанавливается в 0 ($P = 0$, $\bar{Q} = 1$) – ключ замыкается, конденсатор через него быстро разряжается и поэтому компаратор переключается в 0 ($S = 0$, $R = 0$). На этом такт заканчивается: схема переходит в исходное устойчивое состояние, в котором пребывает до поступления следующего запускающего импульса. Длительность импульса, формируемого на выходе схемы, зависит от значений τ и опорного напряжения $U_{\text{ОП}}$.

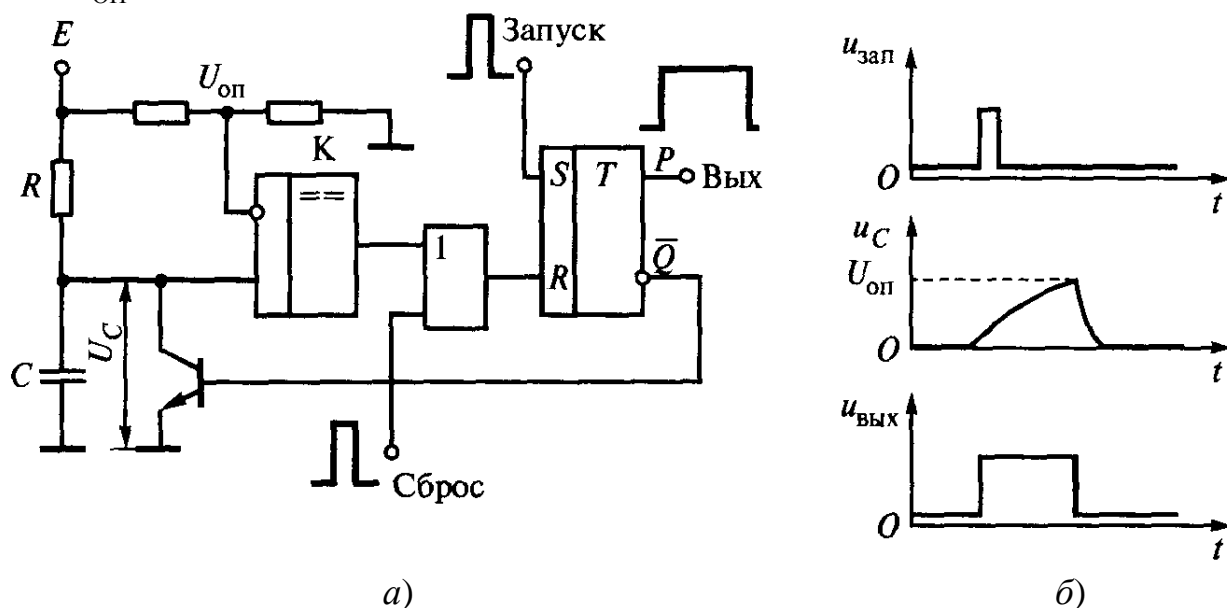


Рисунок 4.19 – Схема однопериодного таймера (а) и реализация принципа ждущего мультивибратора (б)

На базе однопериодного таймера реализуется ждущий мультивибратор (рисунок 4.19, б). Длительность формируемого им импульса $t_{\text{И}}$ можно определить, исходя из того, что конденсатор C заряжается от источника E через резистор R до напряжения $u_C = U_{\text{ОП}}$, после чего компаратор переключает триггер в 0 и зарядка конденсатора сменяется быстрой разрядкой через отпирающийся ключ. Поэтому:

$$u_C = E \left(1 - \exp \left[-\frac{t}{\tau} \right] \right);$$

$$E \left(1 - \exp \left[-\frac{t_{\text{н}}}{\tau} \right] \right) = U_{\text{оп}},$$

отсюда

$$t_{\text{н}} = \tau \cdot \ln \left(\frac{E}{E - U_{\text{оп}}} \right),$$

где $\tau = CR$ – постоянная времени зарядки конденсатора.

Учитывая, что $\tau = CR$, а опорное напряжение часто выбирают равным $U_{\text{оп}} = \frac{2}{3} E$, имеем:

$$t_{\text{н}} = CR \cdot \ln 3 \approx 1.1 CR.$$

Схема многотактного таймера, формирующего непрерывную последовательность импульсов, приведена на рисунке 4.20, *а*. В отличие от схемы, представленной на рисунке 4.19, *а*, в нее входят два компаратора, задающих верхнюю и нижнюю границы, между которыми может изменяться напряжение на конденсаторе C . Рассмотрение работы схемы начнем с момента t_1 (рисунок 4.20, *б*), когда вследствие разрядки конденсатора C компаратор K_1 , а вслед за ним и триггер переключаются в состояние 1 ($S = 1, R = 0, P = 1, \bar{Q} = 0$) и транзистор-ключ размыкается. После этого конденсатор начинает заряжаться от источника E через резисторы R_1 и R_2 . Когда напряжение на нем u_C чуть превысит опорное $U_{\text{оп}1}$, компаратор K_1 переключится в 0 , и на обоих входах триггера окажутся низкие потенциалы ($S = 0, R = 0$).

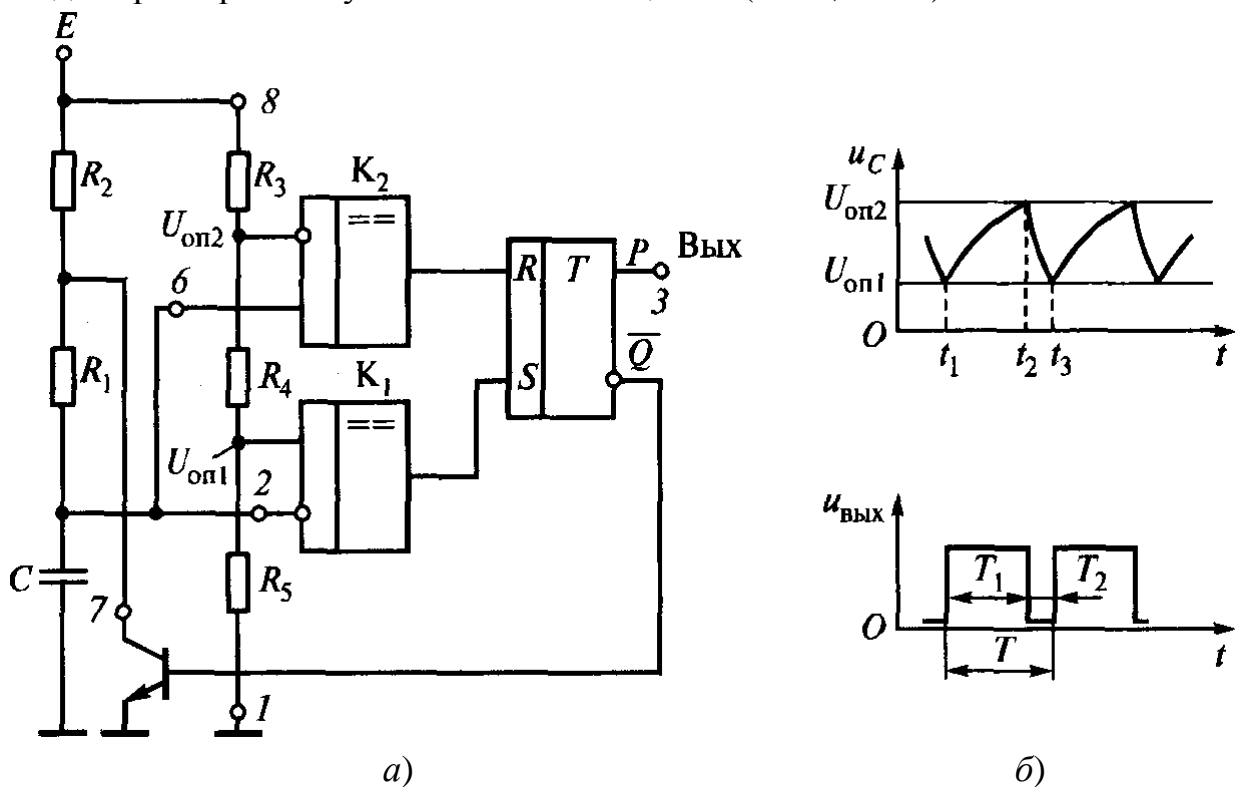


Рисунок 4.20 – Схема многотактного таймера (*а*) и временная диаграмма работы схемы (*б*)

В процессе дальнейшей зарядки напряжение u_C нарастает. Когда оно чуть превысит $U_{\text{ОП2}}$ (момент t_2 на рисунке 4.20, б), компаратор K_2 переключится в I ($S = 0, R = 1$) и установит триггер в 0 ($P = 0, Q = 1$). Затем произойдет замыкание ключа, и конденсатор C через него и резистор R_1 начнет разряжаться. Когда u_C окажется чуть ниже $U_{\text{ОП2}}$, компаратор K_2 переключится в 0 ($S = 0, R = 0$), а когда u_C будет ниже $U_{\text{ОП1}}$ (момент t_3 на рисунке 4.20, б), компаратор K_1 переключится в I ($S = 1, R = 0$), триггер установится в I , и ключ разомкнется – наступит этап, с которого было начато рассмотрение процесса.

На базе многотактного таймера выполняются автоколебательный мультивибратор и многие устройства, в которые он входит составной частью. Длительность импульса и паузы (см. рисунок 4.20, б) на выходе мультивибратора определяются соответственно зарядкой конденсатора от $u_C = U_{\text{ОП1}}$ до $u_C = U_{\text{ОП2}}$ и его разрядкой от $u_C = U_{\text{ОП2}}$ до $u_C = U_{\text{ОП1}}$. В выпускаемых промышленностью таймерах $U_{\text{ОП1}} = \frac{E}{3}$, $U_{\text{ОП2}} = \frac{2E}{3}$. При этом нетрудно вывести следующие соотношения:

$$\begin{aligned} T_1 &\approx 0.7C(R_1 + R_2); \\ T_2 &\approx 0.7CR_1; \\ T &= T_1 + T_2 \approx 0.7C(2R_1 + R_2). \end{aligned}$$

Таймеры изготавливают в виде интегральных микросхем, которые кроме указанных на рисунке 4.19, а элементов имеют, в частности, каскады блокировки. Подавая низкое напряжение на внешний вывод такого каскада, можно заблокировать работу таймера. Оцифрованные на схеме рисунка 4.20, а кружки соответствуют некоторым выводам микросхемы таймера 1006ВИ1.

Для получения весьма длительных импульсов (значительных временных задержек) выпускаются таймеры, в которых имеются счетчики – делители частоты с коэффициентом пересчета N . На выходе такого счетчика, подключенного к выходу триггера (см. рисунок 4.19, а), формируется импульс с длительностью в N раз превышающей длительность заполняющих его импульсов с триггера. Некоторые типы таймеров допускают изменение коэффициента пересчета N таких счетчиков.

4.4 Распределители тактов

Тактовыми импульсами обычно требуется обеспечить большое число элементов памяти. Тактовые импульсы исходно задаются одним генератором, а используются иногда тысячами и более элементов памяти. Попытка применить мощный генератор с разводкой от него синхросигналов по всем элементам памяти для сложных устройств оказывается, как правило, неудачной, в первую очередь из-за помех, вызываемых сильнооточными цепями синхронизации.

Типовое решение – размножение тактовых импульсов с помощью разветвляющейся пирамидальной схемы (рисунок 4.21), число ярусов которой зависит от числа тактируемых элементов памяти и коэффициентов разветвления задающего генератора и буферных каскадов (БК). При определении числа ярусов целесообразно учитывать конструкцию устройства, ставя ярусы в соответствие каким-либо конструктивным единицам (типовым элементам замены, панелям, рамам и т.п.). Такой подход типичен для традиционных конструкций; разводка синхросигналов на кристалле и применение специальных современных устройств для устранения временных сдвигов между тактирующими импульсами рассмотрены в пункте 3.3.

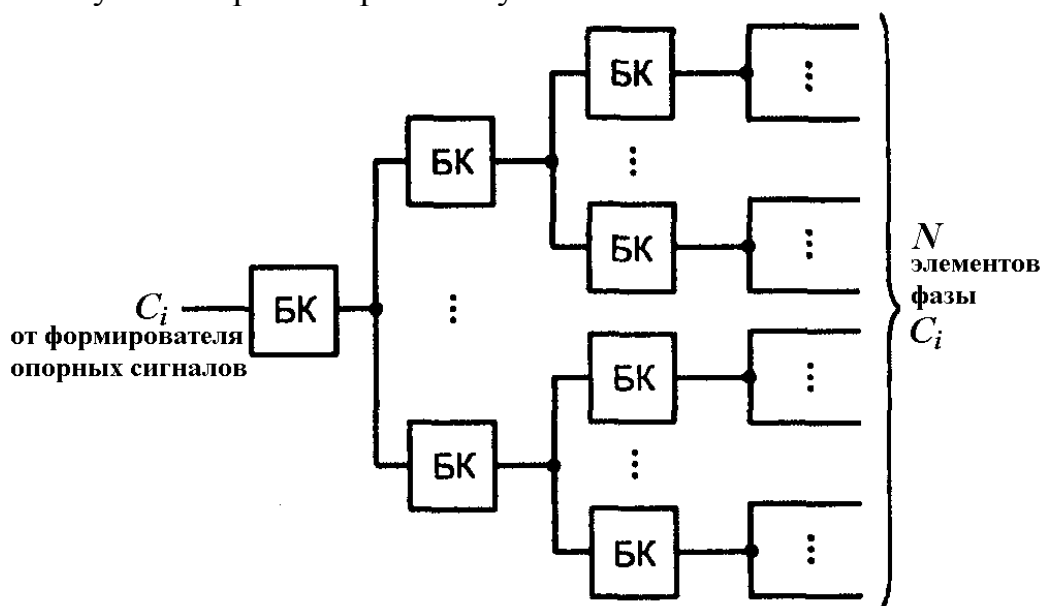


Рисунок 4.21 – Схема размножения тактовых импульсов

В каждом БК фронты импульсов задерживаются, причем из-за разброса задержек неодинаково. Если задержки обоих фронтов в БК идентичны, то при прохождении БК длительность импульса не изменится, и сигналы разных выходов будут различаться лишь смещением во времени, причем максимальный сдвиг между сигналами произвольных выходов:

$$\Delta t_{\max} = m\Delta t_{\text{БК}},$$

где m – число ярусов в схеме размножения сигналов; $\Delta t_{\text{БК}} = t_{\text{БК.max}} - t_{\text{БК.min}}$ – разброс задержек БК.

Временные сдвиги между синхроимпульсами, подаваемыми на различные ЦУ, приводят к эффектам, равноценным сокращению одних интервалов и удлинению других. Для компенсации сокращений интервалов приходится увеличивать расчетное значение соответствующего интервала на входе схемы размножения, т.е. на выходе генератора. При этом увеличивается период синхроимпульсов и снижается быстродействие устройства. В связи с этим минимизации сдвигов уделяют большое внимание. Систему синхронизации иногда выполняют на специальных элементах повышенного быстродействия, применяют ограничение обменов данными между элементами, синхронизируемыми

отдаленными выходами схемы размножении, тщательно подбирают длины соединительных проводников или вводят специальные задержки для выравнивания синхроимпульсов.

Задержки синхросигналов возникают как в схемах их размножения, так и в цепях передачи.

4.4.1 Счетчики в коде «1 из N »

Счетчики в коде «1 из N » находят применение в системах синхронизации, управления и других ЦУ. На их основе получают импульсные последовательности с заданными временными диаграммами. Для этого можно вначале разбить период временной диаграммы на части («кванты»), соответствующие минимальному интервалу временной диаграммы, применив задающий генератор с частотой, равной m/T , где m – число «квантов» в периоде диаграммы T . Выходные импульсы задающего генератора затем распределяются во времени и пространстве так, что каждый «квант» появляется в свое время и в своем пространственном канале.

Счетчик в коде «1 из N » имеет один вход, на который подаются импульсы задающего генератора, и N выходов, причем первый импульс генератора передается на первый выход счетчика (канал), второй импульс во второй канал и т.д. Структура такого счетчика, называемого также *распределителем тактов* (РТ), и временные диаграммы его работы показаны на рисунке 4.22, причем диаграмма на рисунке 4.22, б соответствует режиму *распределения уровней* (РУ) (паузы между активными состояниями каналов отсутствуют), а диаграмма на рисунке 4.22, в – режиму *распределения импульсов* (РИ). Распределители импульсов не имеют самостоятельной схемотехники, они реализуются на основе распределителей уровней путем включения в их выходные цепи конъюнкторов, на вторые входы которых подаются импульсы задающего генератора.

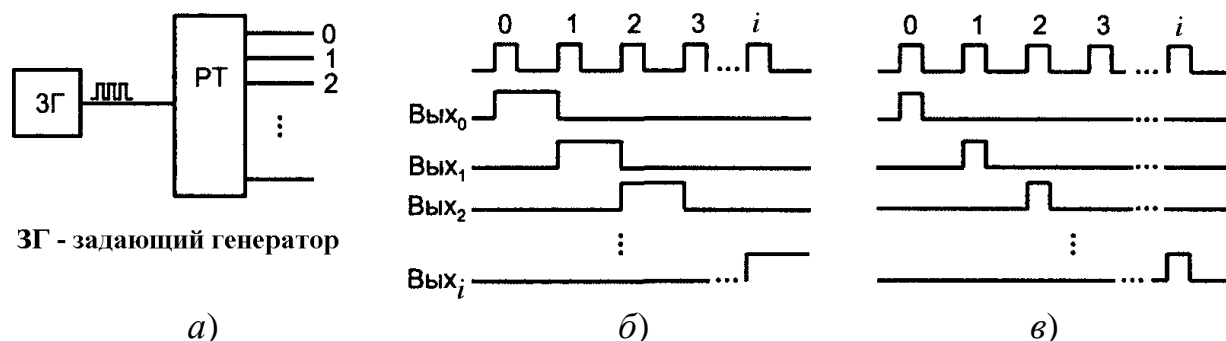


Рисунок 4.22 – Структура распределителя тактовых сигналов (а) и временные диаграммы распределения уровней (б) и импульсов (в)

Имея распределенные во времени и пространстве «кванты», можно по схеме ИЛИ собирать из них импульсные последовательности с необходимыми временными диаграммами. Часто нужны именно те последовательности, которые вырабатываются непосредственно распределителями тактов.

Распределителем тактов является *сдвигающей регистр, замкнутый в кольцо*, если записанное в регистр слово содержит всего одну единицу. При сдвигах единица перемещается с одного выхода на другой, циркулируя в кольце. Число выходов РТ равно разрядности регистра. Недостаток схемы – потеря правильного функционирования при сбое. Если в силу каких-либо причин слово в регистре исказится, то возникшая ошибка станет постоянной. Схема не обладает свойством самозапуска.

Возможны варианты с *самовосстановлением* работы РТ на кольцевом регистре. Схема такого РТ с самовосстановлением за несколько тактов (рисунок 4.23) основана на том, что на вход регистра подаются нули, пока в нем имеется хотя бы одна единица. Таким образом, лишние возникшие единицы будут устранены.

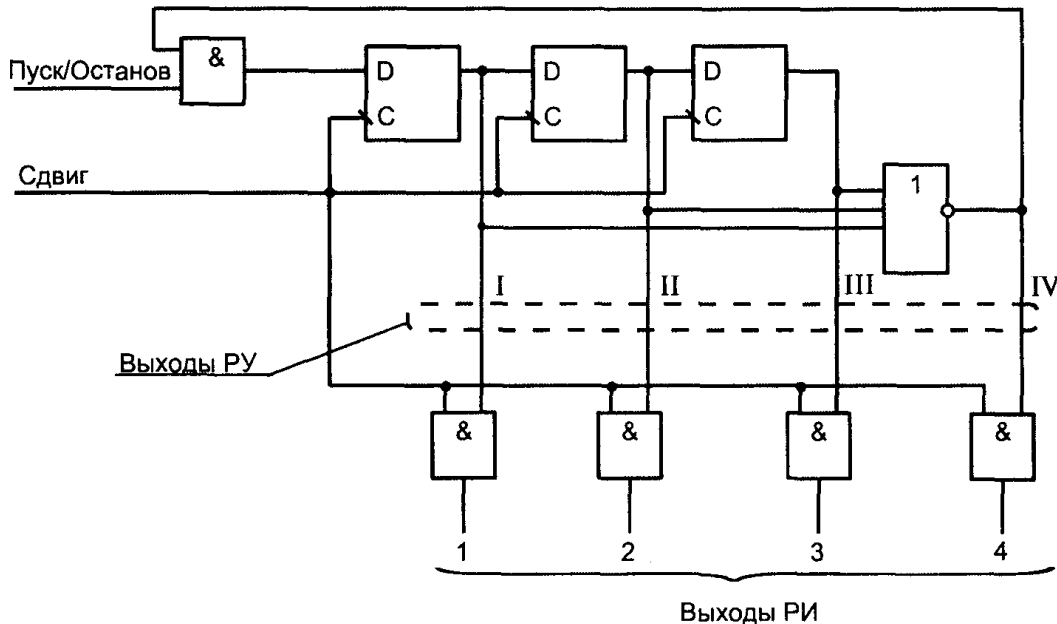


Рисунок 4.23 – Схема распределителя с автоматическим входением в рабочий цикл

Когда регистр очистится, сформируется сигнал записи единицы на его входе. Следовательно, потеря единственной единицы также будет исключена. Выход логического элемента, выполняющего самовосстановление схемы, даст еще один дополнительный канал. На схеме, приведенной на рисунке 4.23, показаны также цепи пуска/останова РТ и два варианта выхода – для распределителя уровней (непосредственно с триггеров и логического элемента ИЛИ-НЕ) и распределителя импульсов (после стробирования сигналов распределителя уровней импульсами сдвига на цепочке конъюкторов).

Можно поставить задачу более *быстрого исправления сбоев*, в том числе в ближайшем же такте. Для этого нужно задать и реализовать соответ-

ствующую диаграмму состояний распределителя. Сделаем это для трехканального распределителя. Диаграмма состояний с указанием рабочего цикла кружками и ложных состояний прямоугольниками приведена на рисунке 4.24, а. Ей соответствует следующая таблица истинности (таблица 4.1).

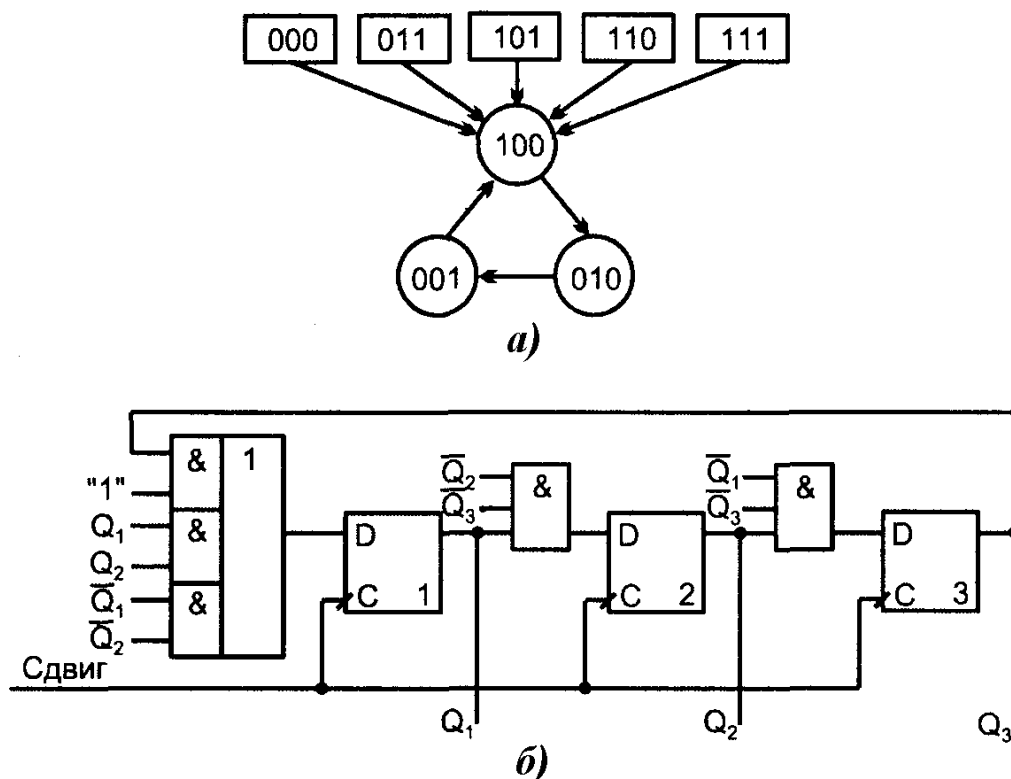


Рисунок 4.24 – Диаграмма состояний (а) и схема распределителя с автоматическим входением в рабочий цикл за один такт (б)

Таблица 4.1 – Таблица истинности распределителя с автоматическим входением в рабочий цикл за один такт

Q_1	Q_2	Q_3	$Q_{1Н}$	$Q_{2Н}$	$Q_{3Н}$
0	0	0	1	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	1	0	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	1	0	0

Выберем для построения схемы триггеры типа D . Учтем при этом, что функция возбуждения этих триггеров $D = Q_{\text{Н}}$. Исходя из таблицы 4.1, для функций $D_i = Q_{i\text{Н}}$ имеем следующие соотношения:

$$D_3 = \bar{Q}_1 Q_2 \bar{Q}_3;$$

$$D_2 = Q_1 \bar{Q}_2 \bar{Q}_3;$$

$$\begin{aligned}
 D_1 &= \bar{Q}_1\bar{Q}_2\bar{Q}_3 + \bar{Q}_1\bar{Q}_2Q_3 + \bar{Q}_1Q_2Q_3 + Q_1\bar{Q}_2Q_3 + Q_1Q_2\bar{Q}_3 + Q_1Q_2Q_3 = \\
 &= \bar{Q}_1\bar{Q}_2(\bar{Q}_3 + Q_3) + Q_1Q_2(\bar{Q}_3 + Q_3) + \bar{Q}_1Q_2Q_3 + Q_1\bar{Q}_2Q_3 = \\
 &= \bar{Q}_1\bar{Q}_2 + Q_1Q_2 + \bar{Q}_1Q_2Q_3 + Q_1\bar{Q}_2Q_3 = \bar{Q}_1\bar{Q}_2 + Q_1Q_2 + \bar{Q}_1Q_3 + Q_1Q_3 = \\
 &= Q_3 + Q_1Q_2 + \bar{Q}_1\bar{Q}_2.
 \end{aligned}$$

Схема распределителя показана на рисунке 4.24, б.

Распределители на кольцевых регистрах находят применение при малом числе выходных каналов, когда необходимость иметь по триггеру на каждый канал не ведет к чрезмерно большим аппаратным затратам. Достоинством распределителей на кольцевых регистрах является отсутствие дешифраторов в их структуре и, как следствие, высокое быстродействие (задержка перехода в новое состояние равна времени переключения триггера).

4.4.2 Счетчики в коде «1 из N» на основе счетчиков Джонсона

Кольцевой регистр с перекрестной обратной связью (счетчик Джонсона, счетчик Мебиуса, счетчик Либбау-Крейга) обладает обратной связью замкнутой на первый триггер от инверсии выходного сигнала (рисунок 4.25, а). Он имеет $2n$ состояний, т.е. при той же разрядности вдвое больше, чем обычный кольцевой регистр. В то же время выход счетчика Джонсона представлен не в коде «1 из N», что требует преобразования кодов для получения выходов распределителя тактов. Такие преобразователи очень просты, что обуславливает применение счетчиков Джонсона в составе распределителей.

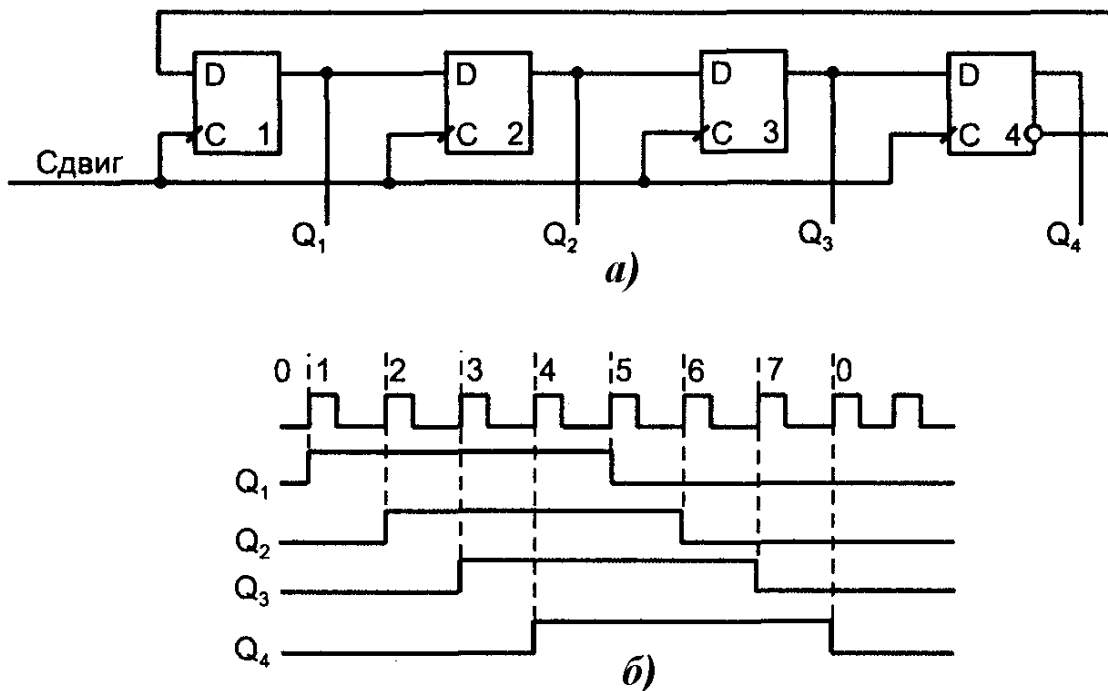


Рисунок 4.25 – Схема счетчика Джонсона (а) и временные диаграммы его работы (б)

Показанный на рисунке четырехразрядный счетчик Джонсона при начальном нулевом состоянии работает следующим образом. Первый тактовый импульс «Сдвиг» установит первый триггер в единичное состояние ($Q_1 = 1$), т.к. $\bar{Q}_4 = 1$, в остальных разрядах будут нули как результат сдвига нулей от соседних слева разрядов. Второй импульс «Сдвиг» сохраняет единичное состояние первого триггера, т.к. по-прежнему $\bar{Q}_4 = 1$. Второй же разряд окажется в единичном состоянии ($Q_2 = 1$), поскольку примет единицу от первого триггера. Остальные разряды будут нулевыми. Последующие сдвиги приведут к заполнению единицами всех разрядов счетчика, т.е. «волна единиц», распространяясь слева направо, приведет счетчик в состояние 1111 . Следующий импульс сдвига установит первый разряд в нуль, т.к. теперь $\bar{Q}_4 = 0$. Этим начинается процесс распространения «волны нулей». После восьми импульсов повторится состояние 0000 , с которого было начато рассмотрение работы счетчика. Временные диаграммы описанных процессов показаны на рисунке 4.25, б.

Особенность рассмотренной схемы – четное число состояний при любом n ($2n$ – всегда число четное). Обычный кольцевой регистр такого ограничения не имеет.

Преобразование выходного кода счетчика Джонсона в код «1 из N » требует добавления всего одного двухвходового элемента И, либо И-НЕ для каждого выхода распределителя тактов. Принцип дешифрации состоит в выявлении положения характерной координаты временной диаграммы – границы между зонами единиц и нулей (таблица 4.2).

Таблица 4.2 – Таблица истинности счетчика Джонсона

Номер состояния	Q_1	Q_2	Q_3	Q_4
0	<u>0</u>	0	0	<u>0</u>
1	<u>1</u> 0	0	0	0
2	1	<u>1</u> 0	0	0
3	1	1	<u>1</u> 0	0
4	<u>1</u>	1	1	<u>1</u>
5	<u>0</u> 1	1	1	1
6	0	<u>0</u> 1	1	1
7	0	0	<u>0</u> 1	1

В двух случаях (для слов, состоящих только из нулей или только единиц) состояние выявляется анализом крайних разрядов. В остальных случаях анализируются разряды на границе зоны единиц и нулей.

Как видно из таблицы, преобразование выходного кода счетчика Джонсона в код «1 из N » осуществляется согласно выражениям:

$$F_0 = \bar{Q}_1\bar{Q}_4; F_1 = Q_1\bar{Q}_2; F_2 = Q_2\bar{Q}_3; F_3 = Q_3\bar{Q}_4;$$

$$F_4 = Q_1Q_4; F_5 = \bar{Q}_1Q_2; F_6 = \bar{Q}_2Q_3; F_7 = \bar{Q}_3Q_4,$$

где F_i ($i = 0 \dots 7$) – выходы распределителя тактов.

По полученным выражениям строится дешифратор. Рассмотрим дешифратор с элементами И-НЕ (с инверсными выходами). В таком дешифраторе можно дополнительно принять меры по предотвращению перекрытий импульсов в соседних каналах, возможных из-за различных задержек элементов. Используя элементы с тремя входами и «косыми связями» (рисунок 4.26, а), можно запретить начало импульса в последующем канале до его завершения в предыдущем.

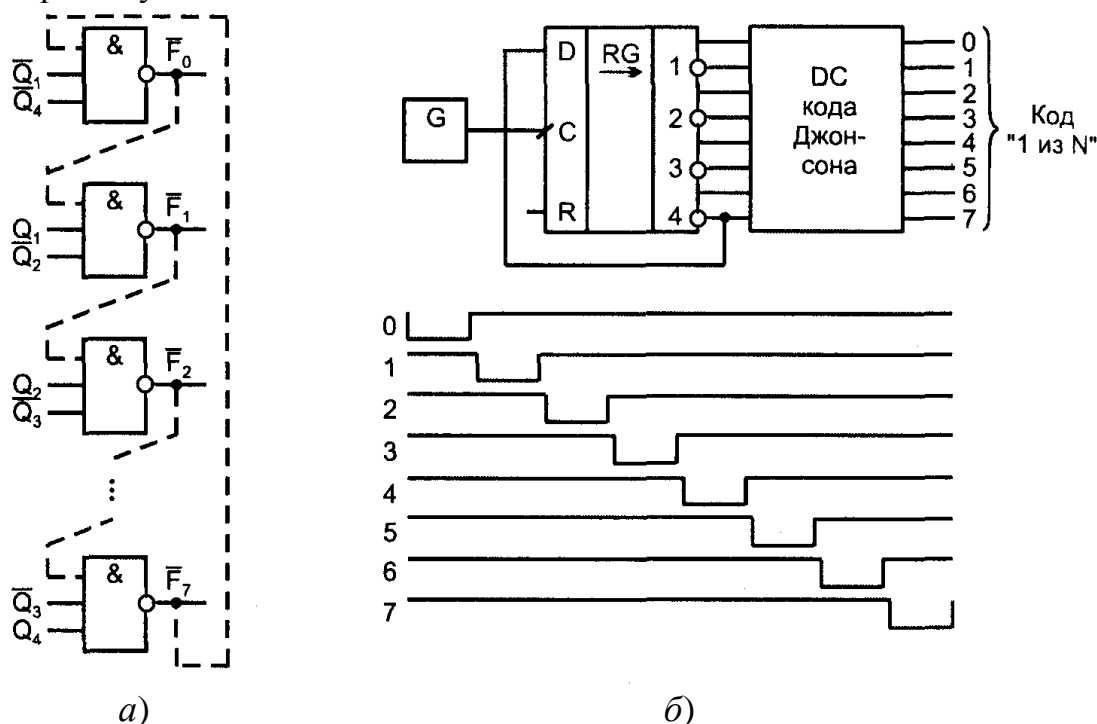


Рисунок 4.26 – Схемы преобразования кода Джонсона в код «1 из N » (а) и распределителя на основе счетчика Джонсона (б)

Распределитель тактов в целом (рисунок 4.26, б) имеет выходные сигналы в коде «1 из N ».

Для схем со счетчиками Джонсона могут возникнуть вопросы преодоления ограничения обязательной четности числа состояний счетчика и обеспечения автоматического вхождения его в рабочий цикл (свойства самозапуска).

Первую задачу можно решить в рамках подхода, применяющегося при построении счетчиков с произвольным модулем, т.е. исключением одного «лишнего» состояния.

Получить схему с исключенным состоянием можно, переходя от таблицы функционирования к функциям возбуждения триггеров и далее к схеме [1].

Задача обеспечения вхождения распределителя на основе счетчика Джонсона в рабочий цикл связана с тем, что базовая схема, рассмотренная ранее, свойством самозапуска не обладает. Например, распределитель с трехразрядным счетчиком Джонсона имеет общее число возможных состояний

$2^3 = 8$, а число состояний в рабочем цикле $2 \cdot 3 = 6$. Неиспользуемыми являются два состояния: 010 и 101. Нетрудно видеть, что из состояния 010 счетчик перейдет в состояние 101, а из состояния 101 в состояние 010. Таким образом, наряду с замкнутым рабочим циклом существует и замкнутый цикл из двух неиспользуемых состояний, попав в который, схема без постороннего воздействия не сможет перейти в рабочий цикл.

Чтобы придать схеме свойство самозапуска, нужно модифицировать сигнал обратной связи, поступающий на вход счетчика. Понятно, что это можно сделать многими путями, поскольку траектория перехода из замкнутого цикла неиспользуемых состояний в рабочий неоднозначна. Одной из возможностей является выработка сигнала обратной связи согласно выражению:

$$F_{OC} = D_1 = \bar{Q}_n + \overline{Q_{n-1} \dots Q_2 Q_1}.$$

Распределители на основе счетчиков Джонсона характеризуются небольшими аппаратными затратами (1/2 триггера и один двухходовой вентиль на канал) и достаточно высоким быстродействием (время установления – сумма задержек переключения триггера и вентиля). Счетчики Джонсона реализованы, в частности, в сериях элементов типа КМОП (микросхемы ИЕ9 и ИЕ19 серии К561 и др.), причем одной из причин их применения является отсутствие импульсов помех в выходном напряжении и пониженный уровень токовых импульсов в цепях питания, создаваемых микросхемами. Распределитель в целом реализован в ИС К561ИЕ8.

Следует заметить, что распределители могут быть получены без применения специализированных схем в виде *сочетания обычного двоичного счетчика и дешифратора*. Такое решение наиболее очевидно. При большом числе выходных каналов эта структура может выигрывать у других, но при малом числе каналов преимущество по аппаратной сложности и быстродействию, как правило, оказывается на стороне вариантов с кольцевыми регистрами или счетчиками Джонсона.

5 УСТРОЙСТВА УПРАВЛЕНИЯ МИКРОСХЕМАМИ

Значительную часть современных ЦУ составляют блоки управления, обмена информацией, индикации, контроля, диагностики и др. В этих блоках используются схемы, которые выполняют разные специальные функции (преобразование уровней, детектирование событий (фронтов), увеличение количества логических входов и др.). Требования к специальным элементам очень разнообразны и, как правило, определяются конкретной разработкой, в связи с чем их уровень интеграции и номенклатура значительно ниже, чем аналогичные параметры для логических элементов.

Важным требованием при разработке специальных элементов является совместимость их по входу и выходу с логическими элементами, на базе которых проектируется цифровое устройство, поэтому основное внимание отводится реализации вышеперечисленных специальных элементов на базе стандартных логических элементов.

5.1 Логические расширители

Логические расширители – специальные элементы цифровых устройств, предназначенные для увеличения количества логических входов у логических элементов, расширения класса реализованных этими элементами логических функций и построения нетипичных схем. Поскольку первые две функции расширителей основные, расширители выполняются в составе каждой конкретной серии на основе базовой схемы или ее части.

Так как в элементах ТТЛ-типа операция И реализуется с помощью многоэмиттерного транзистора, то увеличить количество соответствующих входов внешним монтажом невозможно. В элементах ТТЛ-типа расширители предназначены для расширения класса реализованных функций, т.е. для реализации функции ИЛИ (рисунок 5.1). Выводы *К* и *Э* расширителя соединяются с соответствующими выводами *К* и *Э* базовых логических элементов.

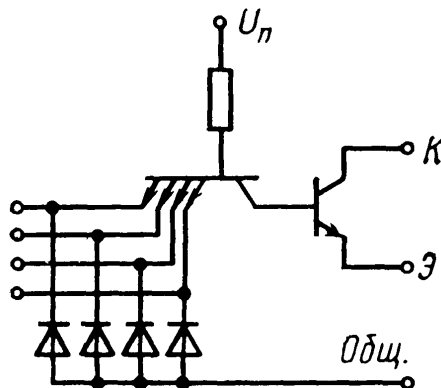


Рисунок 5.1 – Схема расширителя по ИЛИ на четыре входа И для элемента ТТЛ-типа

На рисунке 5.2 показано нетипичное применение расширителя для получения логического элемента И-НЕ с повышенной помехозащищенностью. Последнее в данной схеме обеспечивается увеличением предельного напряжения элемента за счет включения резистора R_2 . Резисторы R_1 и R_2 ограничивают ток базы транзистора VT_2 , а резистор R_3 обеспечивает на выходе типичное значение $U^1 = 3.6\text{В}$. Резисторы R_1 и R_2 рассчитываются для каждого конкретного применения схемы с учетом необходимого коэффициента разветвления по выходу $K_{РАЗ}$ этой схемы.

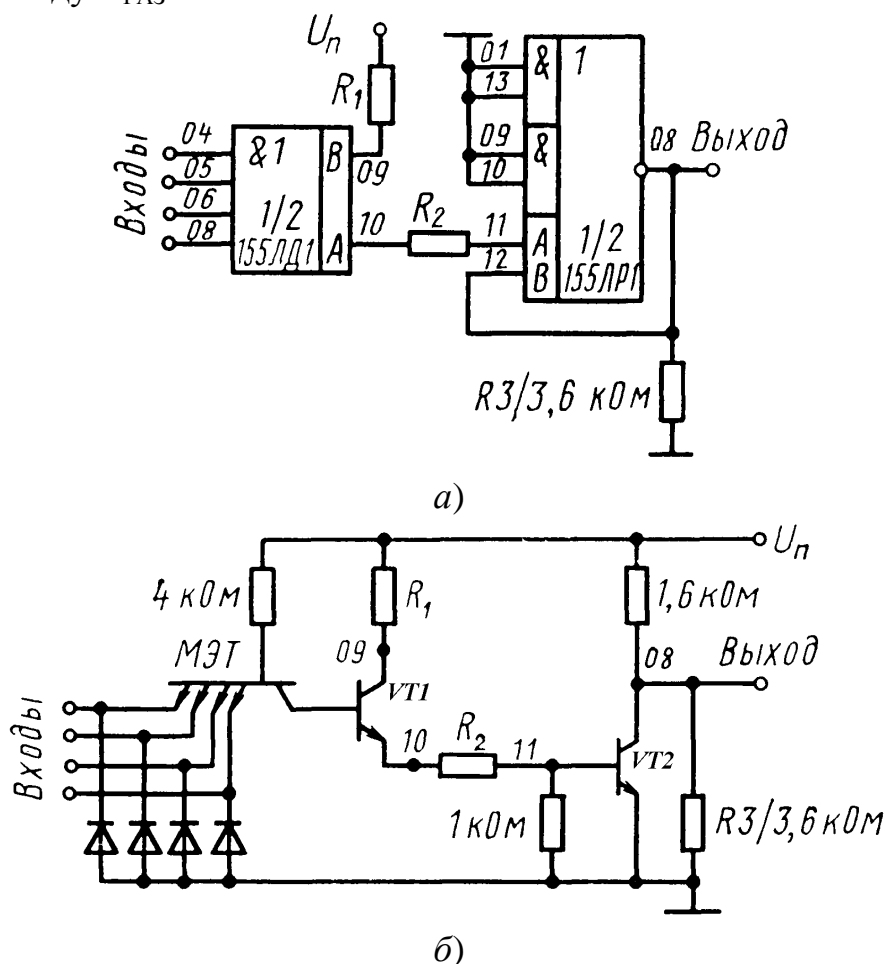


Рисунок 5.2 – Функциональная (а) и принципиальная (б) схемы с повышенной помехозащищенностью на элементах ТТЛ-типа

Расширение логических возможностей базовых вентилях обеспечивается разной их комбинацией. На рисунке 5.3 приведена схема элемента ТТЛ-типа с тремя устойчивыми состояниями, выполненная на элементе 155ЛР4, который имеет входы для подключения расширителей, и элементе 155ЛА7 с открытым коллектором.

Типичный расширитель по ИЛИ для элементов ЭСЛ-типа представлен на рисунке 5.4, а. Если расширитель имеет отдельный вывод подложки, то его необходимо присоединить к точке с наименьшим потенциалом, для того чтобы диоды коллектор-подложка были закрыты. Так как в большинстве серий элементов ЭСЛ-типа выходы свободны и подключаются к встроенным сопро-

тивлениям внешним монтажом, то возможно применение «монтажного ИЛИ», схема реализации которого приведена на рисунке 5.4, б. В этом случае все эмиттеры выходных цепей объединяются и подключаются к одному из резисторов в любом элементе ЭСЛ-типа, а другие резисторы не используются.

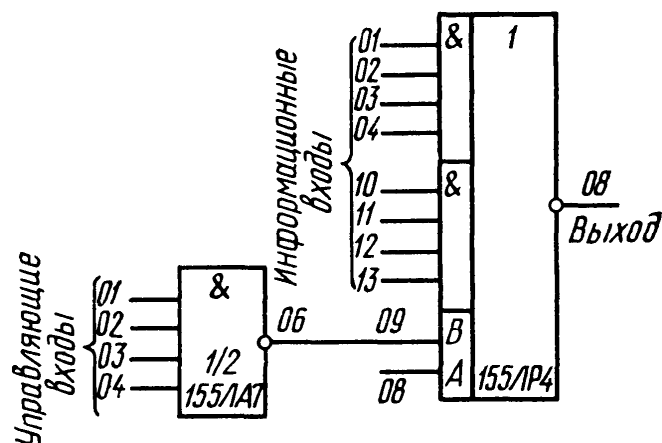


Рисунок 5.3 – Схема элемента 4И-4И-2ИЛИ-НЕ с тремя устойчивыми состояниями

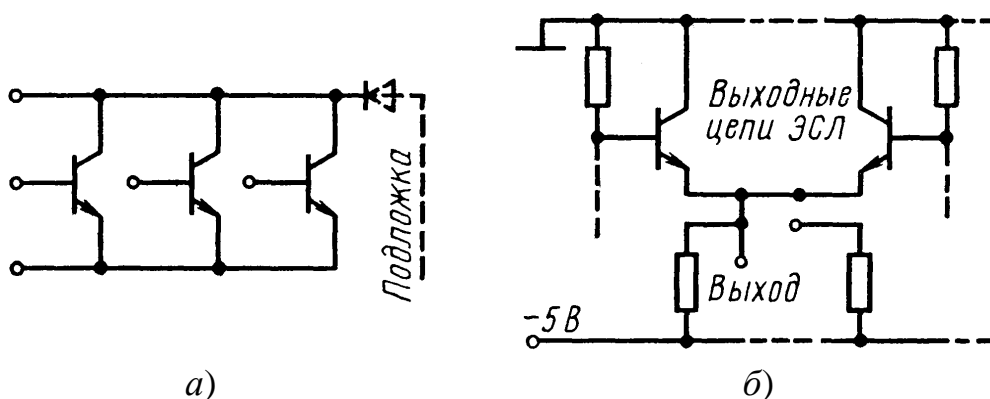


Рисунок 5.4 – Расширение логических возможностей элементов ЭСЛ-типа с помощью расширителя (а) и «монтажного ИЛИ» (б)

5.2 Преобразователи уровней

Кроме частей управляющей системы, хорошо реализованных средствами на основе типичных комплектов БИС микропроцессора, в типичной аппаратуре управляющей системы имеется большое количество средств соединения с объектом управления, индикации, документирования и т.д.

В большинстве управляющих систем широко используется вся номенклатура радиоэлектронных элементов: дискретные (транзисторы, диоды, резисторы, конденсаторы, индуктивности), интегральные (ИС, СИС, БИС, наборы компонентов), конструктивные установочные детали (клавиатура, кнопки, индикаторы, тумблеры).

Преобразователями уровней (адаптерами, драйверами, трансляторами) называют специальные элементы цифровых устройств, предназначенные для обеспечения совместимости логических уровней разных семейств цифровых элементов. В данное время логические уровни представлены электрическими сигналами ТТЛ-элементов, и их нагрузочные характеристики стали фактически стандартными для цифровых устройств, микропроцессоров, микроЭВМ и т.п. вне зависимости от их технологии и схемотехники элементной базы.

Кроме обеспечения совместимости уровней сигналов преобразователи уровней должны удовлетворять специальным требованиям, например таким, как сохранение преобразователем предельного уровня управляющего элемента, уровней токов, способа кодирования двоичных переменных (или, наоборот, изменение способа кодирования); обеспечение заданных требований по нагрузочной возможности и параметрам быстродействия; необходимость выполнения логических операций преобразователем уровня; обеспечение паразитных выходов и др.

Большинство интегральных схем с высоким уровнем интеграции выполнено на основе p -, n - или КМОП-технологии, в то время как схемы малого и среднего уровня интеграции – на основе ТТЛ-, ЭСЛ- и КМОП-технологии. Есть большое число схем других типов, поэтому рассмотреть все варианты преобразователей уровней невозможно. Сформулируем некоторые общие правила их построения для большинства случаев:

- преобразователи уровней проектируются для конкретных схем с обязательным учетом выходных характеристик и параметров управляющего элемента и входных характеристик и параметров управляемого элемента;
- перепад логических уровней управляющего элемента должен быть достаточным для надежного функционирования преобразователей уровней;
- преобразователь уровней должен обеспечивать необходимые динамические параметры с учетом емкостных и активных нагрузок.

В составе схем малой и средней степени интеграции ТТЛ-, ЭСЛ- и КМОП-типа имеются специально разработанные преобразователи уровней. Среди них можно выделить преобразователи ЭСЛ-ТТЛ К500ПУ125; преобразователь ТТЛ-ЭСЛ К500ПУ124; преобразователи КМОП-ТТЛ 176ПУ1, 176ПУ2, 176ПУ3, 561ПУ4, 564ЛН1, 564ЛН2; преобразователи ТТЛ-КМОП 133ЛН3, 133ЛН5 и др. (рисунок 5.5).

В тех случаях, когда необходимо разработать специальный преобразователь уровней, можно использовать одну из следующих схем: делители напряжения; фиксаторы уровней; сдвиги уровней; ключевые транзисторные схемы; схемы, которые работают по принципу переключения тока; переключатели на оптоэлектронных приборах; трансформаторные схемы.

Рассмотрим примеры перечисленных схем.

На рисунке 5.6, *a* показан пример стыковки КМОП-схем, которые работают при высоком уровне напряжения источника питания, с КМОП-схемами, которые работают с низким уровнем напряжения источника питания. Для схемы на рисунке 5.6, *a* можно рекомендовать $R_1 = 20$ кОм, $R_2 = 10$ кОм. Для

улучшения динамических свойств преобразователя уровней используются компенсированные делители.

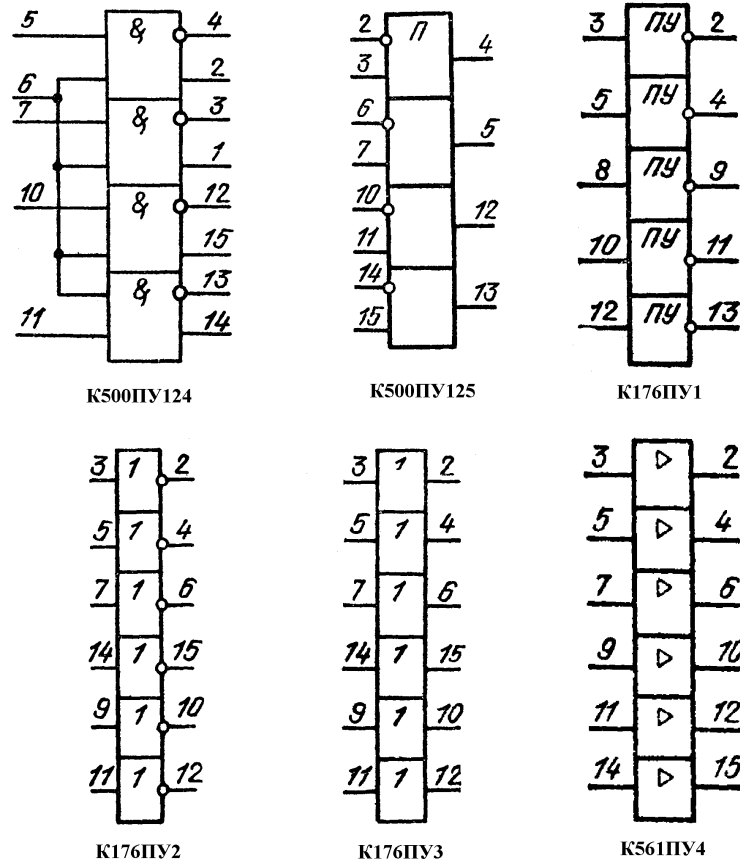


Рисунок 5.5 – Преобразователи уровней

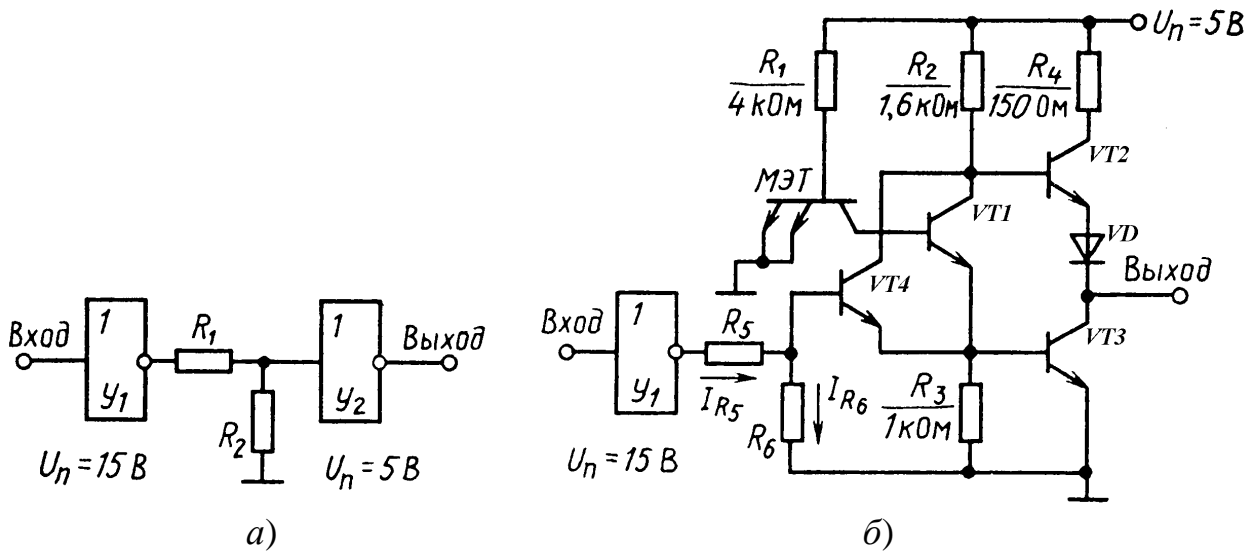


Рисунок 5.6 – Примеры схем преобразования высокого уровня в низкий для схем КМОП-типа (а) и ТТЛ-типа (б)

Более сложная схема делителя приведена на рисунке 5.6, б, где показана схема преобразователя уровня КМОП-ТТЛ для случая, когда КМОП-схемы питаются напряжениями, более чем 5 В. В качестве «активного» элемента

преобразователя уровней в данной схеме используется любая ТТЛ-схема, которая имеет входы расширения по ИЛИ. Информационные входы ТТЛ-схемы заземляются, в результате чего транзистор VT_1 всегда закрыт. Внешний транзистор VT_4 присоединяется к расширяющим входам ТТЛ-схемы. Управление транзистором VT_4 осуществляется делителем R_5 , R_6 , подключенным к выходу управляющей КМОП-схемы Y_1 . Если на выходе Y_1 низкий потенциал, транзистор VT_4 закрыт и на выходе формируется уровень логической 1 ТТЛ-схем. Если на выходе Y_1 высокий потенциал, транзисторы VT_4 и VT_3 насыщены и на выходе формируется уровень логического 0 ТТЛ-схем. Рассмотрим порядок расчета величин R_5 и R_6 для типичной ТТЛ-схемы серии 155, которая обеспечивает коэффициент разветвления по выходу, равный десяти:

$$I_{\text{к.нас.}VT_4} = \frac{U_{\text{п}} - U_{\text{кэ.нас.}VT_4} - U_{\text{бэ.нас.}VT_3}}{R_2} = \frac{5 - 0.3 - 0.7}{1.6} = 2.5 \text{ мА}. \quad (5.1)$$

Приняв для VT_4 коэффициент передачи тока в схеме с ОЭ $\beta = 30$ и коэффициент насыщения $K_{\text{нас}} = 1.5$, определим:

$$I_{\text{б.нас.}VT_4} = \frac{I_{\text{к.нас.}VT_4} K_{\text{нас}}}{\beta} = \frac{2.5 \cdot 1.5}{30} \approx 0.13 \text{ мА}. \quad (5.2)$$

Ток через резистор R_6 :

$$I_{R_6} = \frac{U_{\text{бэ.нас.}VT_4} + U_{\text{бэ.нас.}VT_3}}{R_6}. \quad (5.3)$$

Приняв числовое значение $I_{R_6} \leq I_{\text{б.нас.}VT_4}$, определим величину R_6 . При $I_{R_6} = I_{\text{б.нас.}VT_4}$ получаем $R_6 \approx 10$ кОм.

Определим ток через резистор R_6 :

$$I_{R_5} = I_{R_6} + I_{\text{б.нас.}VT_4} \approx 0.26 \text{ мА}. \quad (5.4)$$

По исходным характеристикам КМОП-схемы Y_1 определим $U_{\text{вых}}^1$ при токе, равном I_{R_5} . Вычислим R_5 по соотношению:

$$R_5 = \frac{U_{\text{вых}}^1 - U_{\text{бэ.нас.}VT_4} - U_{\text{бэ.нас.}VT_3}}{I_{R_5}} = \frac{14.9 - 0.7 - 0.7}{0.26} \approx 51 \text{ кОм}. \quad (5.5)$$

Для улучшения динамических свойств рассмотренного преобразователя уровней необходимо или уменьшить величины R_5 и R_6 , или применить компенсированный делитель.

Ключевые транзисторные схемы как преобразователи уровней используют в том случае, если нужно согласовать схемы, напряжения питания в которых разного знака при большой величине логического перепада в любой из схем.

Рассмотрим пример, когда нужно обеспечить управление исполнительным устройством (ИУ), которое срабатывает от напряжения $27\text{В} \pm 10\%$ и имеет входное сопротивление $R_{\text{вх.иу}} = 1\text{кОм} \pm 10\%$ при управлении от элементов ТТЛ-типа серии 155.

Одна из схем такого преобразователя уровней приведена на рисунке 5.7, а. Она представляет собой ключевую схему с комбинацией транзисторов

n-p-n- и *p-n-p*-типов. Считаем, что оба транзистора кремниевые. Схема работает следующим образом. При уровне логического 0 на выходе управляющего элемента ТТЛ-типа транзисторы закрыты, через входное сопротивление исполнительного устройства течет приблизительно нулевой ток (коллекторный ток закрытого транзистора VT_2). При уровне логической 1 на выходе элемента оба транзистора насыщены и на входном сопротивлении исполнительного устройства будет напряжение $\approx U_{\Pi}$. Для тока нагрузки $I_H = I_{K.НАС.VT2}$ можно записать:

$$I_H = I_{K.НАС.VT2} = \frac{U_{\Pi} - U_{KЭ.НАС.VT2}}{R_{ВХ.ИУ}} \quad (5.6)$$

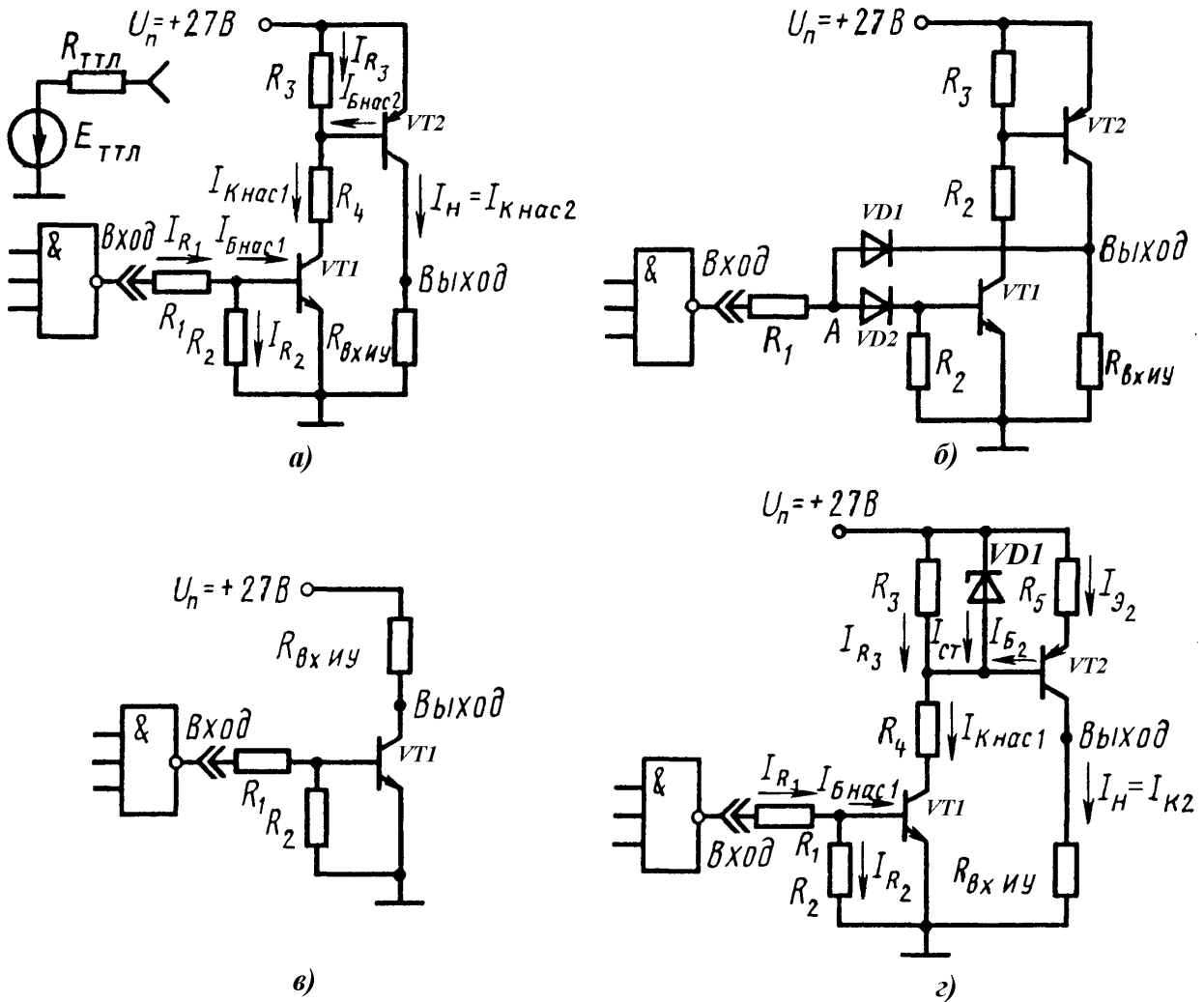


Рисунок 5.7 – Схемы преобразователей уровней элементов ТТЛ-типа в высокий уровень

Если считать, что $U_{KЭ.НАС.VT2} \approx 0.3$ В, то из (5.6) найдем $I_H = I_{K.НАС.VT2} = 33$ мА (для наихудшего случая, т.е. $U_{\Pi} = U_{\Pi.маx} = 27 + 2.7 = 29.7$ В; $R_{ВХ.ИУ} = R_{ВХ.ИУ.мин} = 1000 - 100 = 900$ Ом). Пусть у выбранного типа транзистора VT_2 минимальное значение коэффициента передачи по току $\beta_{мин} = 20$, тогда, при-

нимая коэффициент насыщения транзистора VT_2 , равный 1.5, найдем значения тока базы:

$$I_{Б.НАС.VT2} = \frac{I_{К.НАС.VT2} K_{НАС}}{\beta_{\min}} = \frac{33 \cdot 1.5}{20} \approx 2.5 \text{ мА}. \quad (5.7)$$

Значение тока I_{R3} через резистор R_3 , шунтирующий переход база-эмиттер транзистора VT_2 и удерживающий этот транзистор в закрытом состоянии (если на выходе управляющего элемента ТТЛ-типа уровень логического 0), выбирается в границах 5...20% от тока базы насыщенного транзистора VT_2 . Пусть $I_{R3} = 0.1 \cdot I_{Б.НАС.VT2} = 0.25$ мА. Так как транзистор VT_2 насыщен, то между выводами базы и эмиттера действует напряжение $U_{БЭ.НАС.VT2}$. Иногда эта величина указывается в справочниках для определенного режима, если же нет, то можно ориентировочно взять величину 0.7...1.0 В. Приняв $U_{БЭ.НАС.VT2} = 0.75$ В, найдем сопротивление:

$$R_3 = \frac{U_{БЭ.НАС.VT2}}{I_{R3}} = \frac{0.75}{0.25} = 3 \text{ кОм}. \quad (5.8)$$

Очевидно, что $I_{К.НАС.VT1} = I_{Б.НАС.VT2} + I_{R3} = 2.5 + 0.25 = 2.75$ мА. Так как транзистор VT_1 насыщен, то можно определить сопротивление R_4 из соотношения:

$$R_4 = \frac{U_{П.макс} - U_{БЭ.НАС.VT2} - U_{КЭ.НАС.VT1}}{I_{К.НАС.VT1}} = \frac{29.7 - 0.75 - 0.3}{2.75} \approx 10 \text{ кОм}. \quad (5.9)$$

Значение R_4 , рассчитанное по (5.9), округляется до ближайшего меньшего стандартного номинала. Приняв для транзистора VT_1 $\beta_{\min} = 20$ и $K_{НАС} = 1.5$, определим ток базы насыщенного транзистора VT_1 :

$$I_{Б.НАС.VT1} = \frac{I_{К.НАС.VT1} K_{НАС}}{\beta_{\min}} = \frac{2.75 \cdot 1.5}{20} \approx 0.2 \text{ мА}. \quad (5.10)$$

Приняв $I_{R2} = 0.1 \cdot I_{Б.НАС.VT1} = 0.02$ мА, а $U_{БЭ.НАС.VT1} \approx 0.7$ В, найдем сопротивление:

$$R_2 = \frac{U_{БЭ.НАС.VT1}}{I_{R2}} = \frac{0.7}{0.02} = 35 \text{ кОм}. \quad (5.11)$$

Поскольку значение R_2 довольно большое, необходимо проверить условие надежного запираения транзистора VT_1 при отключенном управляющем элементе (в предположении, что связь осуществляется через разъемное соединение). Это условие записывается в виде:

$$R_2 I_{КБ0} < U_{БЭ0}, \quad (5.12)$$

где $I_{КБ0}$ – обратный тепловой ток коллекторного перехода при максимальной температуре; $U_{БЭ0}$ – напряжение на переходе база-эмиттер, при котором транзистор начинает открываться, также при максимальной температуре.

Необходимо помнить, что числовое значение $U_{БЭ0}$ зависит от $I_{К.НАС}$ и отвечает такому значению $U_{БЭ}$, при котором $I_{К} = 0.01 \cdot I_{К.НАС}$. Для инженерных расчетов обратного тока в зависимости от температуры окружающей среды можно воспользоваться упрощенным выражением:

$$I_{КБ0}(T) \approx I_{КБ0}(20^\circ\text{C}) \cdot 2^{\frac{\Delta T}{T^*}},$$

где T^* – приращение температуры, при котором обратный ток удваивается ($T^* \approx 8 \dots 10^\circ\text{C}$).

Пусть $I_{КБ0} = 1$ мкА при температуре 20°C , а $t = 50^\circ\text{C}$, тогда:

$$I_{КБ0}(50^\circ\text{C}) = 1 \cdot 2^{\frac{50-20}{10}} = 8 \text{ мкА}; \quad R_2 I_{КБ0} = 35 \cdot 10^{-3} \cdot 8 \cdot 10^{-6} = 0.28 \text{ В}.$$

При таком значении напряжения на переходе база-эмиттер транзистор VT_1 надежно закрыт, однако в данной схеме и в схемах, аналогичных ей, целесообразно брать сопротивление $R_2 \leq 10$ кОм, если позволяет управляющий элемент.

Остановимся на значении $R_2 = 10$ кОм, тогда, уточнив значения $I_{R2} = \frac{U_{БЭ.НАС.VT1}}{R_2} = \frac{0.7}{10} = 0.07$ мА, получим $I_{R1} = I_{Б.НАС.VT1} + I_{R2} = 0.2 + 0.07 =$

0.27 мА. Заменяв выходную цепь закрытого элемента ТТЛ-типа эквивалентной ЭДС $E_{ТТЛ} = 3.6$ В с выходным сопротивлением $R_{ТТЛ} = 150$ Ом, вычислим:

$$R_1 = \frac{E_{ТТЛ} - U_{БЭ.НАС.VT1}}{I_{R1}} - R_{ТТЛ} = \frac{3.6 - 0.7}{0.27} - 0.15 \approx 10 \text{ кОм}. \quad (5.13)$$

Напряжение на выходе управляющего элемента:

$$E_{ТТЛ} - I_{R1} R_{ТТЛ} = 3.6 - 0.27 \cdot 0.15 \approx 3.56 \text{ В}.$$

Это говорит о том, что управляющий ТТЛ-элемент может работать не только на преобразователь уровня, но и на другие элементы ТТЛ-типа.

Рассмотрим ограничения на величину R_2 , связанную с управляющим элементом. При $R_2 = 100$ Ом обеспечивается надежное закрытое состояние транзистора VT_1 (см. условие (5.12)), однако ток I_{R2} возрастает до 7 мА, а ток I_{R1} – до 7.2 мА. Чтобы обеспечить насыщенный режим транзистора VT_1 , сопротивление R_1 согласно (5.13) должно равняться 250 Ом. Напряжение на выходе управляющего элемента определяется как $E_{ТТЛ} - I_{R1} R_{ТТЛ} \approx 2.5$ В и находится почти на границе допустимого значения $U_{ВЫХ}^1$. Это говорит о том, что управляющий элемент не сможет работать на другие элементы ТТЛ-типа при чрезмерно малых сопротивлениях R_2 (и, как следствие, R_1).

Существенным недостатком схемы, показанной на рисунке 5.7, а, является возможность выхода ее из строя при случайном замыкании выхода на землю при наличии уровня логической 1 на выходе управляющего элемента ТТЛ-типа. Возможна защита такого преобразователя с помощью двух диодов (рисунок 5.7, б). В нормально работающей схеме диод VD_1 всегда закрытый и никак не влияет на работу. Если же выход схемы замыкается на землю, то диод VD_1 фиксирует потенциал точки А при высоком потенциале на выходе элемента ТТЛ-типа на уровне ≈ 0.7 В. Этого недостаточно для открывания транзистора VT_1 , для этого необходимо обеспечить уровень в точке А 1.4 В, следовательно транзисторы VT_1 и VT_2 закроются. Они остаются в этом состо-

янии, пока выход замкнут на землю. При расчете данной схемы (5.13) надо заменить выражением:

$$R_1 = \frac{E_{\text{ТТЛ}} - U_{\text{БЭ.НАС.VT1}} - U_{\text{VD2}}}{I_{R1}} - R_{\text{ТТЛ}}. \quad (5.14)$$

Если не нужно привязки входа исполнительного устройства к «земле», то преобразователь уровня можно выполнить на одном транзисторе (рисунок 5.7, в). Существенный недостаток данной схемы – возможность выхода ее из строя при случайном замыкании выхода на источник $U_{\text{П}}$ при уровне логической 1 на выходе управляющего элемента. Защита этой схемы обеспечивается включением между выходной клеммой и коллектором транзистора VT_1 максимально возможного сопротивления, при котором обеспечивается надежное срабатывание исполнительного устройства.

В ряде случаев исполнительное устройство срабатывает от заданного значения тока при значительном разбросе входных сопротивлений. В этом случае преобразователь уровней выполняется по схеме, показанной на рисунке 5.7, г. При уровне логического 0 на выходе управляющего элемента ТТЛ-типа транзисторы VT_1 и VT_2 закрыты, и ток нагрузки равняется нулю. При уровне логической 1 на выходе управляющего элемента ТТЛ-типа транзистор VT_1 насыщен. Потенциал базы транзистора VT_2 фиксируется относительно уровня $U_{\text{П}}$ стабилитроном и при наличии постоянного резистора R_5 в цепи эмиттера транзистора VT_2 . Последний работает в активном режиме как генератор тока, значение которого не зависит от сопротивления нагрузки.

Пусть нужно обеспечить ток нагрузки 100 мА. Оценим диапазон изменения сопротивления нагрузки, если в качестве диода VD_1 взят стабилитрон с напряжением пробоя 5.6 В. Рассмотрим основные соотношения в схеме, если на входе действует уровень логической 1. Выберем $R_3 = 5.6$ кОм, тогда $I_{R3} = 1$ мА. Пусть β_{min} транзистора VT_2 равняется 20, тогда:

$$I_{\text{Б.VT2}} = \frac{I_{\text{К.VT2}}}{\beta_{\text{min}}} = \frac{100}{20} = 5 \text{ мА}. \quad (5.15)$$

В (5.15) отсутствует $K_{\text{НАС}}$, т.к. транзистор VT_2 работает в активном режиме, а не в режиме насыщения. Для обеспечения удовлетворительной работы стабилитрона ток через него должен течь в диапазоне $I_{\text{СТ.min}} \dots I_{\text{СТ.max}}$ (например, 3...25 мА). Пусть $I_{\text{СТ}} = 5$ мА, тогда:

$$I_{\text{К.НАС.VT1}} = I_{R3} + I_{\text{СТ}} + I_{\text{Б.VT2}} = 1 + 5 + 5 = 11 \text{ мА}. \quad (5.16)$$

Сопротивления:

$$R_4 = \frac{U_{\text{П}} - U_{\text{СТ}} - U_{\text{КЭ.НАС.VT1}}}{I_{\text{К.НАС.VT1}}} = \frac{27 - 5.6 - 0.3}{11} \approx 1.9 \text{ кОм}; \quad (5.17)$$

$$R_5 = \frac{U_{\text{СТ}} - U_{\text{БЭ.VT2}}}{I_{\text{Э.VT2}}} = \frac{(U_{\text{СТ}} - U_{\text{БЭ.VT2}})\alpha}{I_{\text{К.VT2}}}, \quad (5.18)$$

где $\alpha = \frac{\beta}{1 + \beta}$ – коэффициент передачи по току в схеме с общей базой.

Приняв $U_{БЭ.VT2} = 0.7\text{В}$ или определив эту величину из входной характеристики, которая приводится в справочнике (считаем все транзисторы кремниевыми), из (5.18) получим $R_5 \approx 47\text{ Ом}$. Учитывая разброс номиналов $U_{СТ}$ и $U_{БЭ.VT2}$, резистор R_5 целесообразно выполнить в виде последовательно включенных постоянного и переменного резисторов, выставляя последним заданное значение тока $I_{К.VT2}$.

Расчет номиналов резисторов R_1 и R_2 выполняется так же, как для схемы на рисунке 5.7, а.

Оценим возможные значения сопротивлений нагрузки $R_{ВХ.ИУ}$. Принципиально минимальное значение может равняться нулю, если не накладываются ограничения на допустимую мощность рассеяния транзистора VT_2 . Оценим эту мощность в схеме, пренебрегая мощностью, которая выделяется на переходе эмиттера транзистора VT_2 . При $R_{ВХ.ИУ} = 0$ имеем:

$$U_{БК.VT2} = U_{П.макс} - U_{СТ} = 29.7 - 5.6 \approx 24\text{ В};$$

$$P_{VT2} = U_{БК.VT2} I_{К.VT2} = 24 \cdot 0.1 = 2.4\text{ Вт}.$$

Пусть по техническим условиям $P_{VT2.доп} = 1\text{ Вт}$. Эта мощность выделяется на транзисторе при $U_{БК.VT2} = 10\text{ В}$. Тогда на нагрузке напряжение должно быть не менее 14 В, т.е. минимальное сопротивление $R_{ВХ.ИУ}$ составляет 140 Ом. Очевидно, что при увеличении сопротивления нагрузки напряжение на коллекторном переходе будет уменьшаться и при каком-то сопротивлении нагрузки транзистор войдет в насыщение. Учитывая, что транзистор VT_2 как генератор тока должен работать в активном режиме и при максимальной величине сопротивления нагрузки, примем за границу насыщения транзистора VT_2 условие $U_{Б} = U_{К}$, т.е. теоретическую границу насыщения. Тогда на нагрузке будет падать напряжение $U_{П.мин} - U_{СТ} = 24.3 - 5.6 = 18.7\text{ В}$ и, значит, максимальное сопротивление $R_{ВХ.ИУ}$ должно быть не более 187 Ом. Итак, без радиатора на транзисторе VT_2 $R_{ВХ.ИУ}$ может изменяться только в диапазоне 140...187 Ом, а с радиатором – в диапазоне 0...187 Ом.

Схемы, которые работают по принципу переключения тока, используют как преобразователи уровней в тех случаях, если логический перепад может составлять доли вольт (рисунок 5.8).

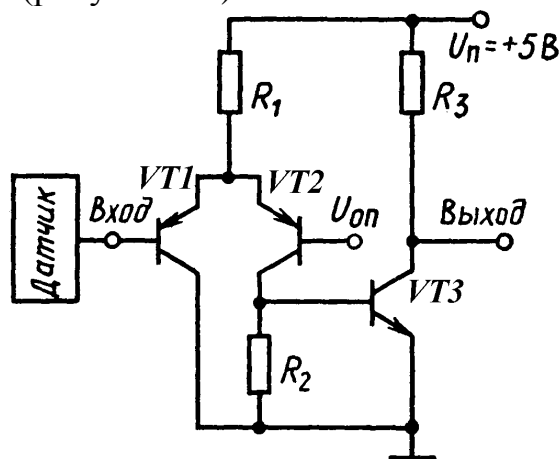


Рисунок 5.8 – Схема преобразователя уровней на принципе переключения тока

Оптоэлектронные переключатели и трансформаторы используют для гальванической развязки электрических цепей при одновременном преобразовании уровней. На рисунке 5.9, а приведена схема преобразователей уровней тока в уровни ТТЛ-схем. На рисунке 5.9, б приведена трансформаторная схема для преобразования уровней.

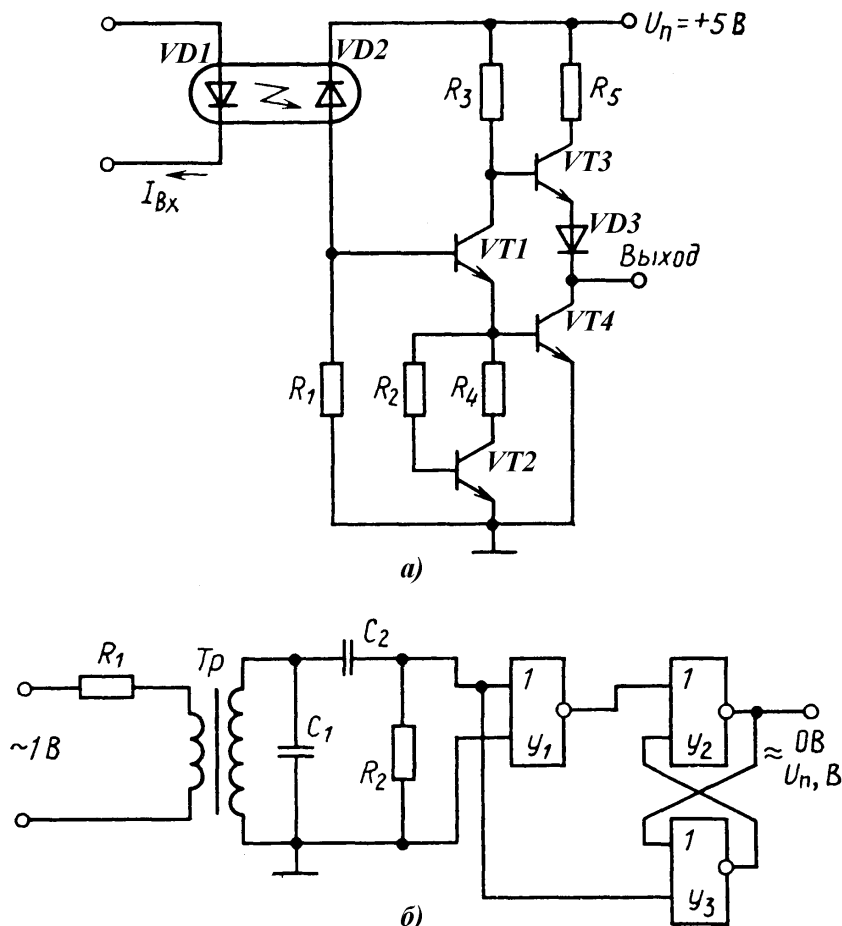


Рисунок 5.9 – Схемы преобразователя тока в уровни схемы ТТЛ-типа (а) и трансформаторного преобразователя уровней (б)

5.3 Разностные преобразователи и детекторы событий (фронтов)

Разностные преобразователи (РП) – специальные элементы цифровых устройств, предназначенные для выработки выходного сигнала, который несет информацию об изменении значения входного сигнала. На выходе РП формируются импульсные сигналы в виде кратковременного появления напряжения U^0 или U^1 при заранее определенных переходах сигнала на входе. Продолжительность выходного импульса РП зависит от параметров входного сигнала и компонентов РП. Если РП выполняется на логических элементах, он кроме информационного может иметь дополнительные функциональные входы, которые позволяют учитывать дополнительные условия формирования выходного импульса, что значительно упрощает структуры цифровых устройств, сокращая количество логических элементов.

Так как на входе РП могут существовать два вида переходов входного сигнала, а на выходе могут быть сформированы напряжения U^0 и U^1 , то возможно построение четырех основных схем РП. Варианты таких схем на логических элементах представлены на рисунке 5.10.

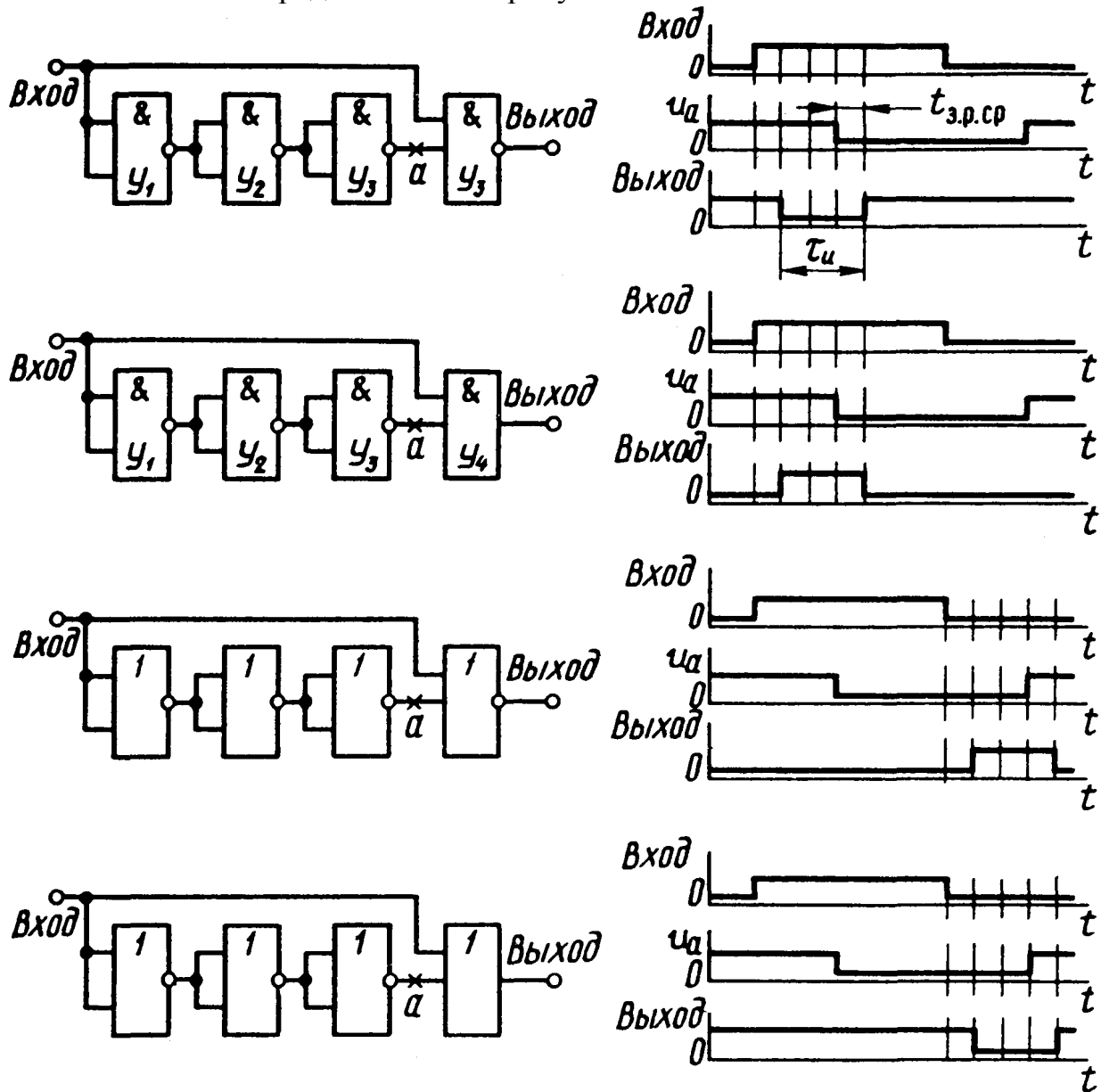


Рисунок 5.10 – Варианты схем разностных преобразователей на логических элементах (а) и временные диаграммы их работы (б)

Если предположить, что все логические элементы имеют одну и ту же среднюю задержку распространения сигнала $t_{з.р.ср}$, то длительность выходного импульсного сигнала всех РП будет равняться $\tau_u = 3t_{з.р.ср}$. В ряде случаев такое значение τ_u недостаточно, поэтому в РП используют специально линии задержки или RC -цепи. На рисунке 5.11 представлен вариант схемы РП, выполненной на логических вентилях с использованием RC -цепи.

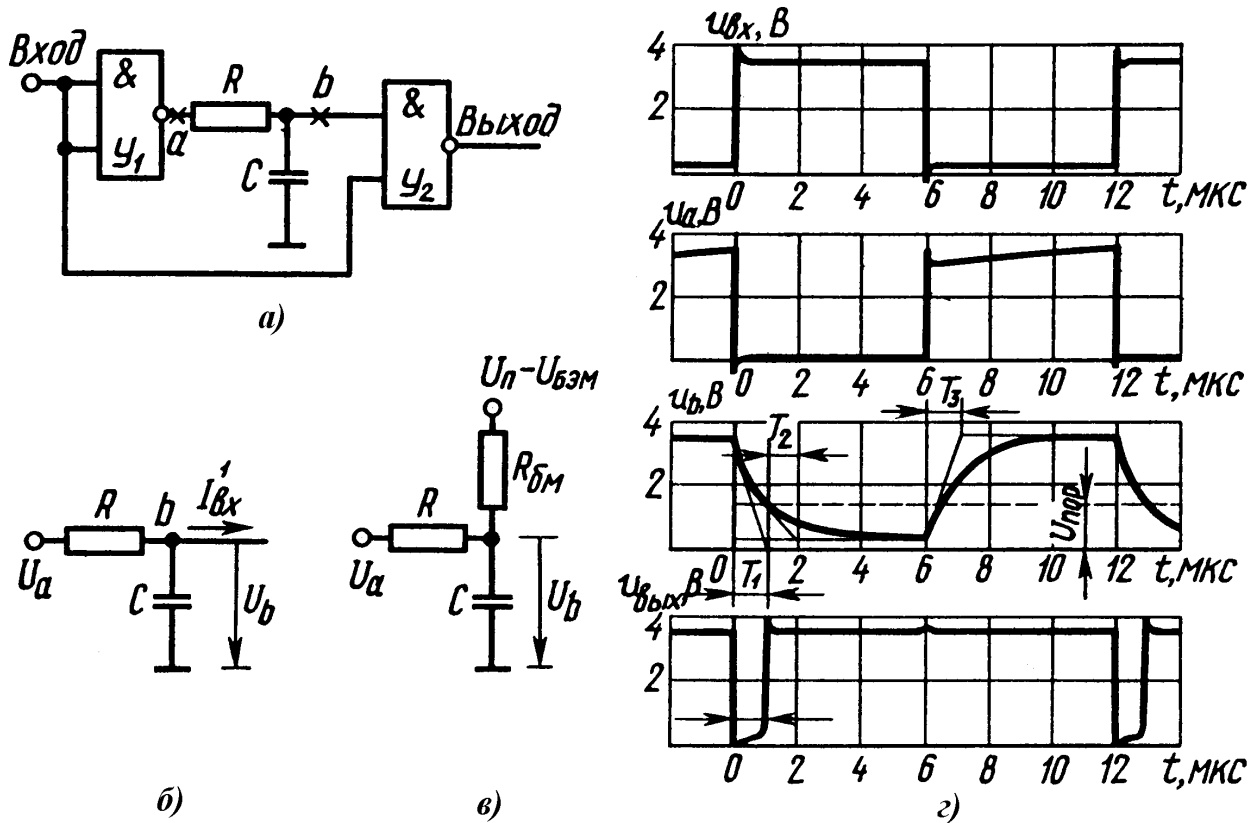


Рисунок 5.11 – Схемы типичная (а), расчетная (б, в) разностного преобразователя с RC-цепью и временные диаграммы его работы (z) ($C = 3.3$ нФ)

Проанализируем работу схемы, показанной на рисунке 5.11. Резистор R выбирается из условия, чтобы при открытом вентиле Y_1 в точке b схемы обеспечивалось напряжение $U^0 < 0.45$ В. Обычно $R = 270$ Ом, а $U^0 \approx 0.3$ В. Анализ схемы проводится для случая, если к моменту прихода фронтов входного сигнала все переходные процессы в ней закончены. К появлению положительного перепада на входе конденсатор C заряжен до уровня $U^1 = 3.6$ В. Сразу после появления положительного перепада на выходе в точке a потенциал фиксируется на уровне $U^0 \approx 0.1 \dots 0.5$ В, и конденсатор C начинает разряжаться в эквивалентной схеме (рисунок 5.11, б) от уровня 3.6 В до уровня $U^0 - RI_{\text{вх}}^1 \approx U^0$ с постоянной времени $T_1 = RC = 270 \cdot 3.3 \cdot 10^{-9} \approx 0.9$ мкс. Схема, изображенная на рисунке 5.11, б, работает до тех пор, пока потенциал U_b не достигнет предельного уровня $U_{\text{ПОР}} \approx 1.4$ В. Продолжительность $\tau_{\text{и}}$ выходного импульса можно вычислить по общей формуле [5]:

$$\tau_{\text{и}} = T_1 \ln \left| \frac{U(\infty) - U_1}{U(\infty) - U_2} \right| = 0.9 \cdot \ln \left| \frac{0.3 - 3.6}{0.3 - 1.4} \right| \approx 1 \text{ мкс}, \quad (5.19)$$

где $U(\infty)$ – предельно возможное значение напряжение; U_1 и U_2 – уровни напряжений, соответствующие началу t_1 и концу t_2 переходного процесса.

По достижении потенциалом U_b уровня $U_{\text{ПОР}}$ эквивалентная схема разряда конденсатора C принимает вид, показанный на рисунке 5.11, в. Здесь

$U_{\text{БЭМ}}$ – падение напряжения база-эмиттер многоэмиттерного транзистора, находящегося во входном каскаде вентиля Y_2 ; $R_{\text{БМ}}$ – сопротивление резистора в цепи базы многоэмиттерного транзистора. В этой схеме конденсатор C разряжается от уровня $U_{\text{ПОР}}$ до уровня $U(\infty) = U^0 \approx 0.3$ В с постоянной времени:

$$T_2 = \frac{R \cdot R_{\text{БМ}}}{R + R_{\text{БМ}}} \cdot C = \frac{270 \cdot 5000}{270 + 5000} \cdot 3.3 \cdot 10^{-9} \approx 0.85 \text{ мкс}, \quad (5.20)$$

где $R_{\text{БМ}} = 5$ кОм – типичное значение сопротивления резистора в цепи базы МЭТ.

С появлением отрицательного перепада на входе схемы потенциал точки a скачком увеличивается до уровня:

$$U_a = \frac{E_{\text{ТТЛ}} R}{R + R_{\text{ТТЛ}}} = \frac{3.6 \cdot 270}{270 + 50} \approx 3.0 \text{ В}, \quad (5.21)$$

где $E_{\text{ТТЛ}} \approx 3.6$ В – эквивалентная ЭДС на выходе закрытого элемента ТТЛ-типа; $R_{\text{ТТЛ}} \approx 50$ Ом – выходное сопротивление закрытого элемента ТТЛ-типа.

Затем потенциал U_a изменяется от 3.0 до 3.6 В, а U_b – от 0.3 до 3.6 В с постоянной времени:

$$T_3 = (R + R_{\text{ТТЛ}})C = (270 + 50) \cdot 3.3 \cdot 10^{-9} \approx 1.06 \text{ мкс}.$$

Более точный анализ показывает, что и зарядка конденсатора происходит в два этапа:

1. Если зарядный ток превышает приблизительно 5 мА, выходная цепь закрытого элемента ТТЛ-типа должна быть представлена в виде $E_{\text{ТТЛ1}} \approx 4$ В, $R_{\text{ТТЛ1}} \approx 130$ Ом.

2. Если ток заряда становится меньше 5 мА, выходная цепь закрытого элемента ТТЛ-типа должна быть представлена в виде $E_{\text{ТТЛ2}} \approx 3.6$ В, $R_{\text{ТТЛ2}} \approx 50$ Ом.

Это обстоятельство нужно учитывать, если РП используется для выделения и отрицательного перепада на его входе.

РП используют для построения детекторов событий, организации импульсного управления у RS -триггеров, устраняющего на их входах запрещенные комбинации сигналов, а также у других типов триггеров; при проектировании последовательных структур; для выработки импульсных сигналов запуска одновибраторов или установочных сигналов для счетчиков, регистров и т.п.; при построении реверсивных счетчиков и регистров и т.д. Перечисленное позволяет отнести РП к многофункциональным элементам, и именно по этой причине в ряде современных серий элементов РП выполняются в виде интегральных схем.

В схеме на рисунке 5.12 интегрального РП 134ХЛ2 используются два транзистора: транзистор $VT1$ выполняет операцию конъюнкции входных переменных $x_1 \dots x_3$, а транзистор $VT2$ – операции запрета и инверсии; вход C – тактовый.

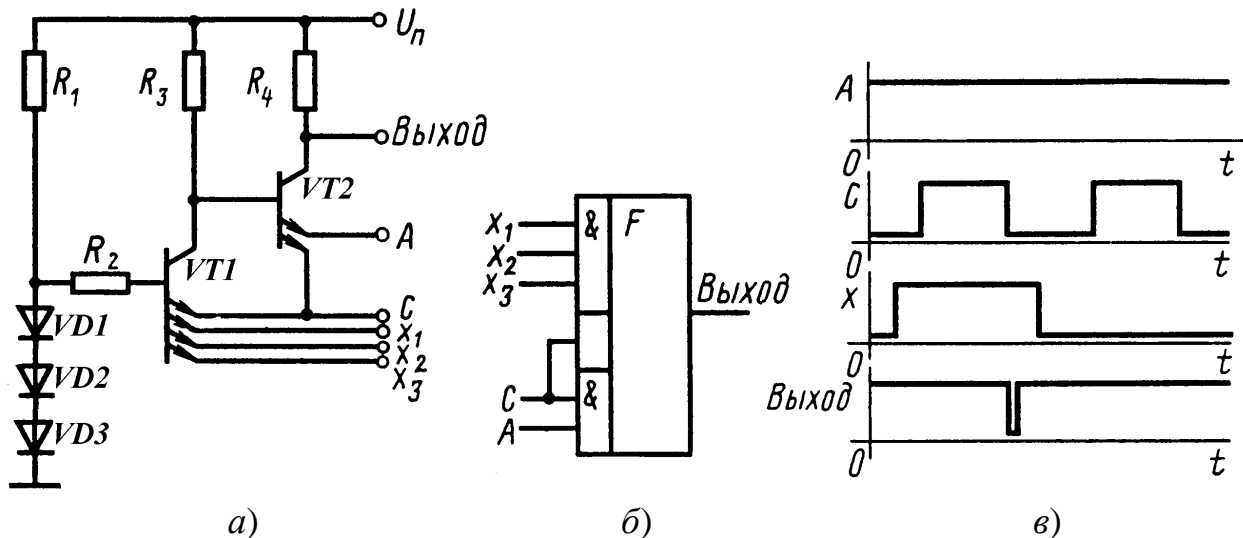


Рисунок 5.12 – Интегральная схема разностного преобразователя 134XJ2 (а), ее функциональное обозначение (б) и временные диаграммы его работы (в)

Требуемое время задержки сигналов, необходимое для формирования выходного импульса, обеспечивается соответствующей очередностью переключения транзисторов, задаваемой разными уровнями напряжения, подаваемыми на их базы. На базу транзистора $VT1$ через резистор R_2 подается напряжение, приблизительно равное 2 В и определяемое диодами $VD1 \dots VD3$, а на базу транзистора $VT2$ через резистор R_3 – напряжение $U_{II} = 5$ В. Как видно из временной диаграммы работы схемы, последняя формирует отрицательный импульс из отрицательного перепада напряжения на тактовом входе. Наличие трех входов x , а также входа A значительно расширяет логические возможности РП.

Рассмотрим *детекторы событий (фронтов)*. Событие в цифровых устройствах – смена логического состояния в какой-нибудь цепи, т.е. положительные или отрицательные перепады (фронты). Детектор фронтов должен формировать импульсы из фронтов любой полярности. Схема детектора фронтов на элементах И-НЕ приведена на рисунке 5.13. Принцип действия схемы основан на использовании задержки распространения сигнала. На рисунке 5.13, б для упрощения рассматриваются импульсы показаны с идеальными фронтами.

При уровне логического 0 на входе РП (и на первом входе вентиля Y_2-1) на выходе вентиля Y_2-1 присутствует уровень логической 1. На втором входе вентиля Y_2-1 действует уровень логической 1 с выхода вентиля Y_1-3 .

Когда входной уровень принимает значение логической 1, на выходе вентиля Y_2-1 уровень логического 0 появляется через отрезок времени, равный времени задержки распространения сигнала в одном вентиле $t_{3,р.ср.}$.

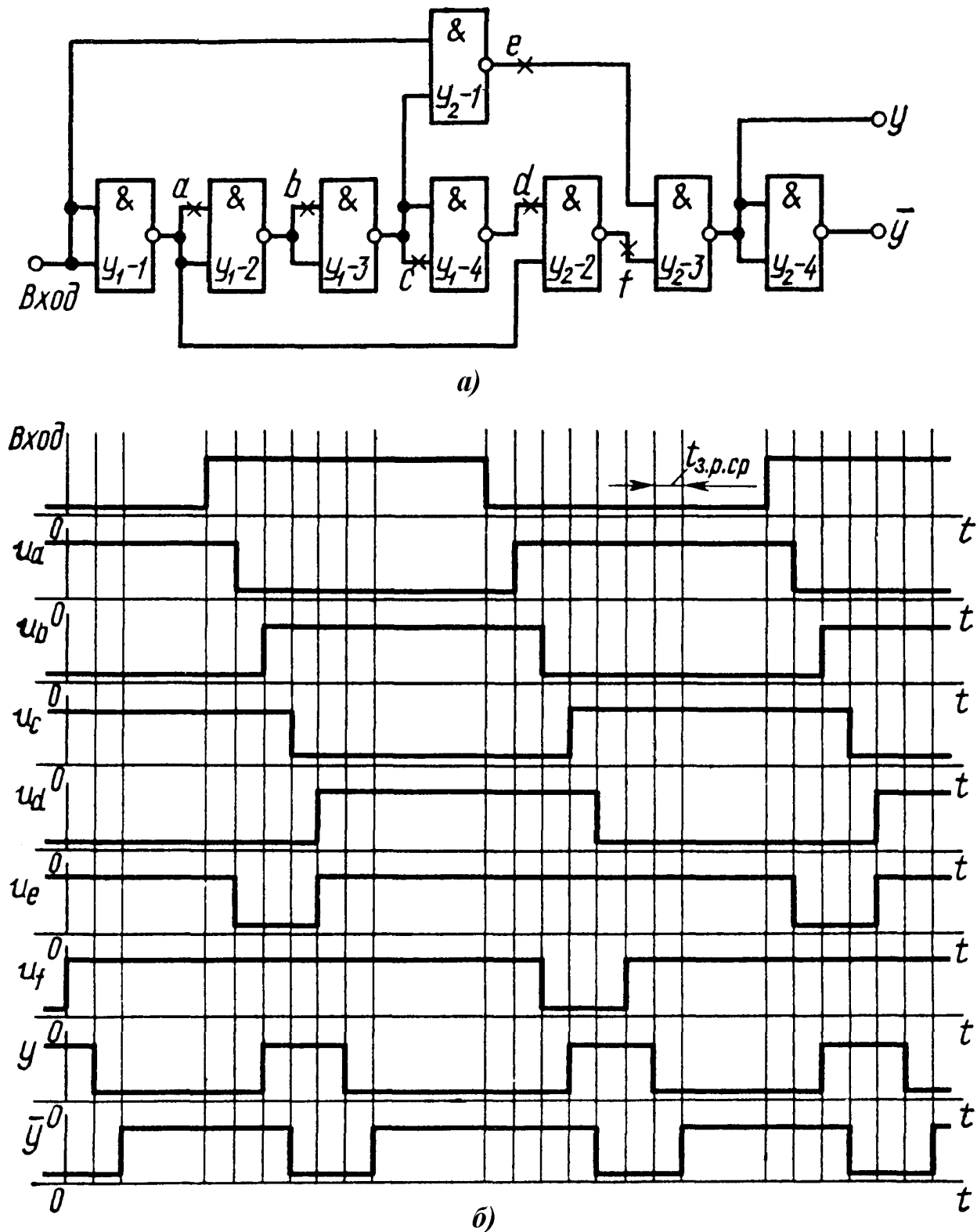


Рисунок 5.13 – Схема детектора фронтов на элементах И-НЕ (а) и временные диаграммы его работы (б)

Между тем входной сигнал, проходя через вентили $Y_{1-1} \dots Y_{1-3}$, уменьшает потенциал на выходе вентилей Y_{1-3} через интервал времени, равный $3t_{з.р.ср}$. При этом на выходе вентилей Y_{2-1} формируется отрицательный импульс с длительностью, равной $3t_{з.р.ср}$. Таким образом, используя четыре вен-

тия, можно формировать импульсы из положительных фронтов входного сигнала. Добавив вентили Y_{1-4} и Y_{2-2} , можно получить отрицательные импульсы из отрицательных фронтов входного сигнала. На выходе вентиля Y_{2-3} будут положительные импульсы от обоих фронтов входного сигнала. При необходимости иметь инверсный выходной сигнал прибавляется еще один вентиль Y_{2-4} . Надо помнить, что продолжительность выходных импульсов рассмотренного детектора фронтов равна $3t_{3.P.CP}$. В цепи у передний фронт выходных импульсов отстает от положительного фронта входных импульсов на две задержки распространения, от отрицательного фронта входных импульсов – на три задержки распространения, а в цепи \bar{y} – на три и четыре задержки распространения, соответственно.

Рассмотренную схему можно использовать в счетчиках событий и в качестве удвоителя частоты в различных цифровых системах. Детектор событий может быть собран и на других логических элементах или их комбинациях.

5.4 Интерфейсные и периферийные микросхемы

5.4.1 Шинные формирователи

Шинные формирователи (ШФ), называемые также приемопередатчиками, шинными драйверами или магистральными вентиль-буферами, включаются между источником информации и системной шиной ЦУ. Они усиливают сигналы по мощности, отключают источник информации от шины, когда он не участвует в обмене, формируют при необходимости требуемые уровни сигналов логической 1 или 0. Двухнаправленные ШФ позволяют в зависимости от сигнала управления передавать сигналы в шину или, напротив, принимать их с шины и передавать приемнику данных. В английской терминологии ШФ обозначаются как BD (Bus Driver).

Различные шинные формирователи отличаются не только разрядностью, но и передачей сигналов в прямом или инвертированном виде, а также прямыми или инверсными сигналами разрешения работы. Отличаются они и электрическими характеристиками.

В серии ИС КР580 имеются ШФ ВА86, а также ШФ инвертированного вида (ШФИ) ВА87 – аналоги микросхем Intel 8286 и Intel 8287. Схема ШФ КР580ВА86 (Intel 8286) показана на рисунке 5.14, а.

Шина A (линии $A_{7:0}$) принимает данные от микропроцессора (МП) или передает их ему, шина B (линии $B_{7:0}$) связана с магистралью, на которую передает информацию или с которой принимает ее. Сигнал \overline{OE} переводит выходы усилителей в третье состояние (при его высоком уровне), либо разрешает их работу (при низком уровне). При разрешении работы направление пере-

дачи зависит от сигнала T (Transmit). Функционирование ШФ подчиняется условиям, указанным в таблице 5.1.

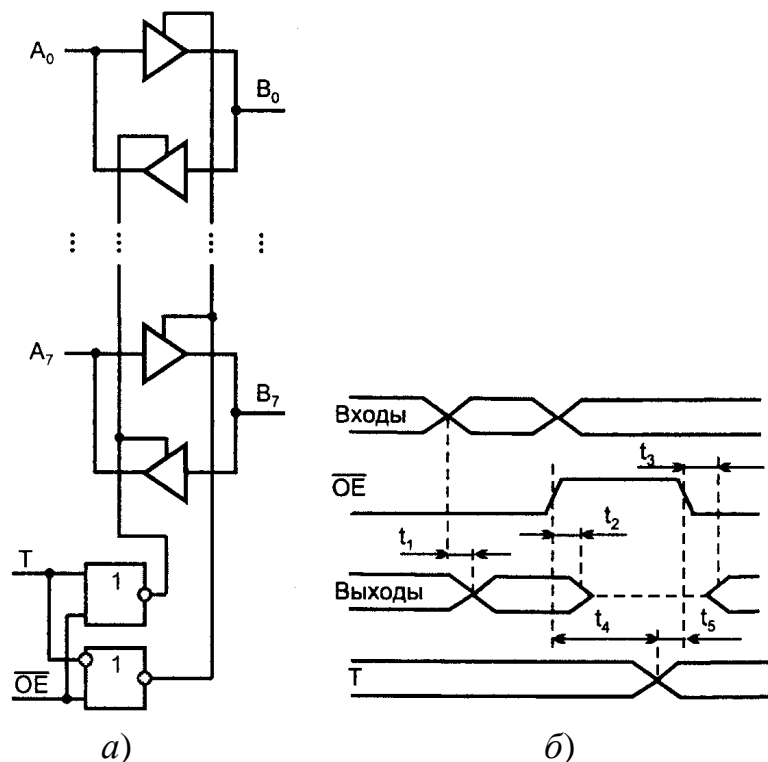


Рисунок 5.14 – Схема шинного формирователя КР580ВА86 (а) и временные диаграммы его работы (б)

Таблица 5.1 – Таблица режимов работы ШФ КР580ВА86

\overline{OE}	T	Режим
1	0	Нет передачи
1	1	Нет передачи
0	1	Передача от A к B
0	0	Передача от B к A

Так как шина A связана с МП, а шина B – с магистралью, для них предусмотрена разная нагрузочная способность: выходы B обеспечивают токи 32 мА и –5 мА (при высоком и низком уровнях выходного напряжения, соответственно); выходы A обеспечивают токи 16 мА и –1 мА.

Уровни выходного напряжения ≥ 2.4 В и ≤ 0.5 В, требуемые уровни входного напряжения ≥ 2.0 В и ≤ 0.8 В.

На временных диаграммах (см. рисунок 5.14, б) показаны задержки сигналов при их распространении через открытые ШФ и относительно изменений управляющих сигналов. Первая задержка t_1 для ШФ составляет 30 нс, для ШФИ – 22 нс; задержка t_2 перехода выходов в состояние «отключено» не превышает 18 нс; задержка t_3 переходов от состояния «отключено» к активным состояниям не более 30 нс. Времена выдержки t_4 и предустановки t_5 сиг-

нала (см. п. 3.1) относительно моментов изменения сигнала \overline{OE} составляют соответственно не менее t_2 и не менее 30 нс.

ШФ выполняются на элементах ТТЛШ. Приведенные временные параметры даны для максимальных нагрузочных токов и емкостей 300 пФ (для выходов B) и 100 пФ (для выходов A).

Шинные формирователи широко представлены в сериях цифровых элементов. Кроме рассмотренных выше, можно указать ШФ серий К589, К555, КР1533, КР1554 и др.

Например, восьмиразрядный ШФ серии КР1533 (технология ТТЛШ) характеризуется следующими параметрами:

- выходной ток 30...112 мА;
- задержка распространения сигнала ≤ 10 нс;
- время выхода из ТС в активное состояние ≤ 20 нс;
- время перехода из активного состояния в ТС 25...40 нс.

Для ШФ серии КР1554 (технология КМОП) параметры таковы:

- выходные токи 86 мА и 75 мА для низкого и высокого уровней выходного напряжения, соответственно, при условии протекания не дольше 20 мс;

- задержки при питании 4.5 В: распространения сигнала ≤ 6 нс; выхода из ТС в активное состояние ≤ 6.5 нс; перехода из активного состояния в ТС ≤ 8.5 нс.

5.4.2 Буферные регистры

Буферные регистры также работают на магистраль, но, в отличие от ШФ, способны хранить данные. Благодаря этому они могут выполнять *временную буферизацию данных*, что составляет важнейшую функцию портов. Буферные каскады с тремя состояниями на выходах регистра обеспечивают портам возможность отключения от магистрали под действием управляющих сигналов, а также необходимую нагрузочную способность.

Через порты ввода данные от внешних устройств (ВУ) поступают в магистраль, а через порты вывода данные с магистрали передаются тому или иному модулю. Порты ввода/вывода могут выполнять обе указанные операции.

В микропроцессорном комплекте (МПК) К580 имеются восьмиразрядные буферные регистры ИР82 и ИР83 (инвертирующий) – аналоги зарубежных ИС Intel 8282 и 8283. Буферный регистр ИР82 (рисунок 5.15, *а*) принимает данные по шине A (линии $A_{7:0}$) в регистр. Сигнал \overline{OE} низким уровнем разрешает работу вентиль-буферов и тем самым передает содержимое регистра на выходную шину, высоким уровнем переводит выходы вентиль-буферов в состояние «отключено». Прием данных в регистр разрешается сигналом stroba STB .

Временные диаграммы работы буферного регистра (рисунок 5.15, б) показывают задержку t_1 сигналов от входа к выходу при $STB = 1$; задержку t_2 от моментов изменения \overline{OE} до перехода к режиму «отключено» и задержку t_3 до выхода из этого режима. Численно эти задержки не превышают 30, 18 и 30 нс, соответственно. Задержка t_4 от момента изменения строба до изменения выхода схемы – не более 45 нс. Время t_5 предустановки сигнала на входе относительно спада строба не лимитировано, время выдержки входного сигнала относительно спада строба $t_6 \geq 25$ нс.

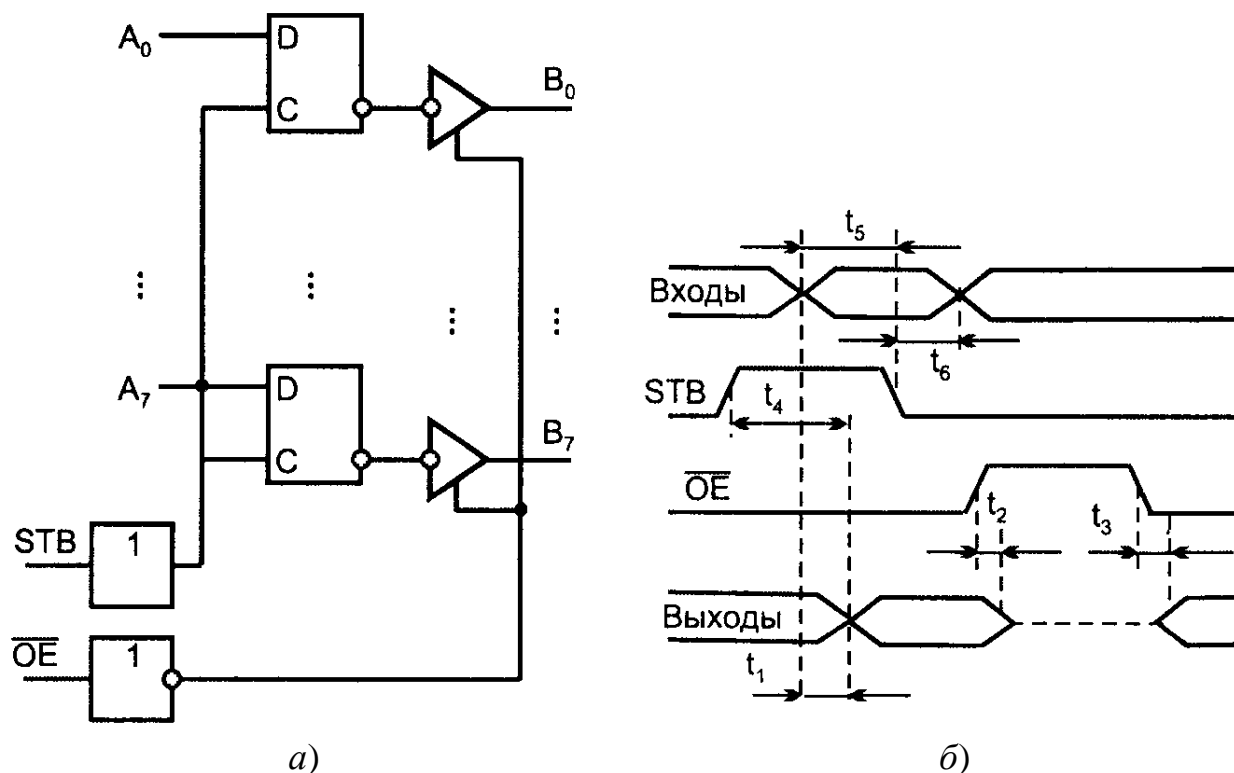


Рисунок 5.15 – Схема буферного каскада КР580ИР82 (а) и временные диаграммы его работы (б)

Буферный регистр ИР83 отличается от порта ИР82 тем, что инвертирует передаваемые данные. Его параметры совпадают с параметрами порта ИР82, отличия имеются только в задержках t_1 и t_4 , которые для порта ИР83 равны максимально 22 и 40 нс.

Примером часто применяемого порта может служить также многоцелевой регистр К589ИР12.

Шинные формирователи и буферные регистры связывают, как правило, выходы МП с внешней средой, поскольку нагрузочная способность МП недостаточна.

Буферные регистры широко представлены в сериях ИС, и в частности, тех, которые указаны выше для ШФ.

В серии КР1533 буферные регистры обеспечивают выходные токи 15...70 мА при максимальных задержках от тактирующего входа около 15 нс, временах выхода из ТС около 20 нс и входа в ТС около 20...30 нс. В серии

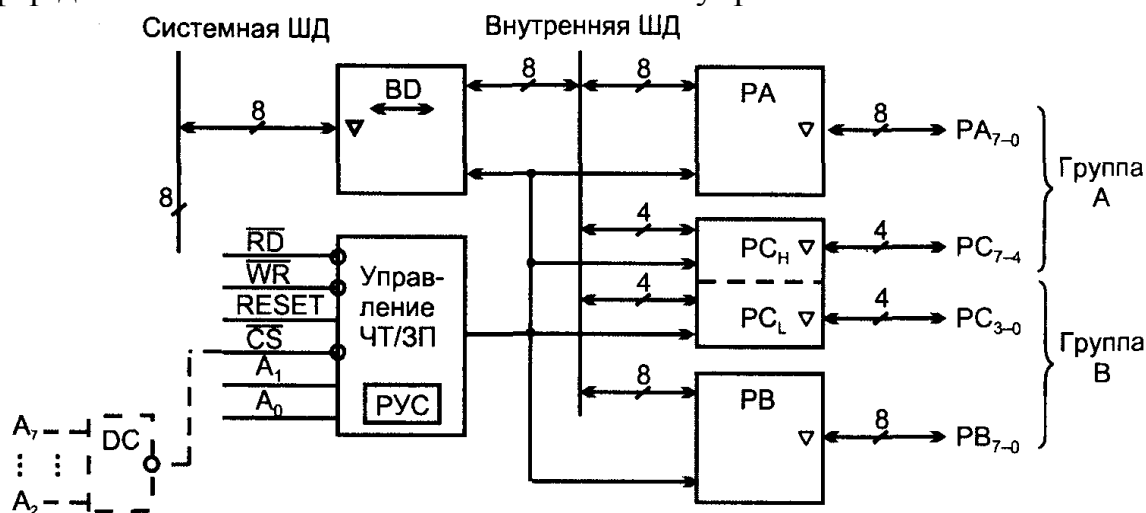
КР1554 выходные токи буферных регистров те же, что и для ШФ, задержки при $U_{П} = 4.5$ В имеют порядок 10 нс.

5.4.3 Параллельные периферийные адаптеры

Шинные формирователи осуществляют непосредственную, а порты – буферизованную во времени передачу данных между МП и системной шиной. Более сложные операции выполняются периферийными адаптерами. *Программируемость адаптеров* обеспечивает им широкую область применения вследствие изменяемости процедур обмена с помощью команд программы, в том числе и во время работы микропроцессорной системы.

В схемах, обслуживающих обмен параллельными данными, как правило, используется базовая структура параллельного периферийного адаптера (ППА) Intel 8255A, имеющего отечественный аналог К580ВВ55А. Эти БИС представляют собою однокристалльные устройства параллельного ввода/вывода и обеспечивают двунаправленный обмен с квитированием¹ или без него при программном обмене, инициатива которого исходит от программы или от запросов прерывания². С помощью ППА внешние устройства, работающие с параллельными кодами, связываются с магистралью системы.

ППА типа 55А (рисунок 5.16) имеет три двунаправленных 8-разрядных порта PA , PB и PC , причем порт PC разделен на два четырехразрядных канала: старший PC_H и младший PC_L . Обмен информацией между каналами A , B , C и шиной данных микропроцессорной системы (МПС) производится через буфер данных BD в соответствии с сигналами управления.



ШД – шина данных

Рисунок 5.16 – Структура параллельного периферийного адаптера

¹ Квитирование – протокол обмена внешнего устройства и микропроцессора, позволяет вести асинхронный обмен с учетом готовности абонента к передаче, т.е. иметь переменный темп обмена соответственно возможностям внешнего устройства

² Прерывание – временная остановка выполняемой программы для обслуживания запроса от внешнего устройства

Блок управления чтением/записью получает стробы чтения и записи \overline{RD} и \overline{WR} , сигнал сброса $RESET$, сигнал выбора адаптера \overline{CS} , получаемый декодированием старших разрядов его адреса, и два младших разряда адреса A_1 и A_0 для адресации внутренних регистров. Внутренних адресуемых объектов 5: три порта (A , B и C), регистр управляющего слова РУС и команда установки/сброса битов порта C BSR (Bit Set/Reset). Адресация и направление передач информации определяются согласно таблице 5.2.

Таблица 5.2 – Адресация и направление передач информации в ПША К580BB55А

A_1	A_0	\overline{RD}	\overline{WR}	\overline{CS}	Операция
0	0	0	1	0	Порт $A \rightarrow$ ШД
0	1	0	1	0	Порт $B \rightarrow$ ШД
1	0	0	1	0	Порт $C \rightarrow$ ШД
1	1	0	1	0	Запрещенная комбинация
0	0	1	0	0	ШД \rightarrow порт A
0	1	1	0	0	ШД \rightarrow порт B
1	0	1	0	0	ШД \rightarrow порт C
1	1	1	0	0	ШД \rightarrow РУС при $D_7 = 1$ ШД \rightarrow BSR при $D_7 = 0$
X	X	1	1	0	Шины отключены
X	X	X	X	X	Шины отключены

Как видно из таблицы, адрес $A_1A_0 = 11$ соответствует передаче управляющих слов РУС ($UC1$) или BSR ($UC2$), причем чтение по этому адресу запрещено, допускается только запись. Передача двух разных УС при одном и том же адресе возможна только потому, что признаком того или иного УС служит значение старшего бита передаваемого слова (D_7). Таким образом, этот бит выполняет дополнительную адресацию управляющих слов.

Работа адаптера начинается после загрузки с ШД в РУС управляющего слова $UC1$, задающего портам адаптера один из трех возможных режимов и направленность порта (ввод или вывод).

Возможны *три режима работы портов*: 0, 1 и 2, причем порт A может работать в любом из трех режимов, порт B только в двух (0 и 1), а режим порта C зависит от режимов портов A и B .

Порт C имеет особенности: в отличие от портов A и B , которые оперируют со словами в целом, разряды порта C могут программироваться и использоваться поодиночке. В частности, любой из восьми разрядов порта C может быть установлен или сброшен программным способом. Это нужно для передач сигналов квитирования при обмене через порты A и B в режимах 1 и 2. При работе порта в режиме 1 для него под сигналы управления требуются три линии, в режиме 2 – пять.

Режимы работы портов:

- режим 0 – однонаправленный ввод/вывод без квитирования, в этом режиме могут работать порты A и B , а также свободные (не занятые передачей служебных сигналов для портов A и B) линии порта C ;
- режим 1 – однонаправленный ввод/вывод с квитированием;
- режим 2 – двунаправленный ввод/вывод с квитированием.

Формат управляющего слова УС1 показан на рисунке 5.17, *а*. Разряд 7 содержит единицу, что является признаком управляющего слова УС1. Разряды 6...3 определяют режим и вид портов A и свободных от служебных сигналов линий порта C_H (старшей половины порта), а разряды 2...0 – то же для порта B и младшей половины порта C (C_L).

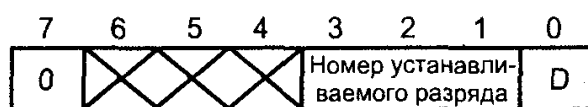
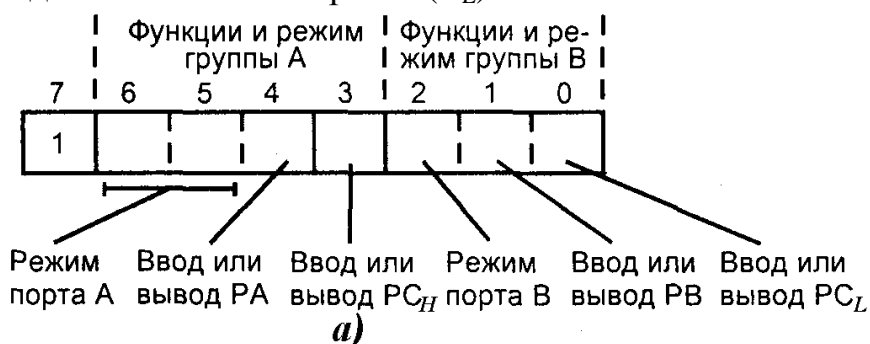


Рисунок 5.17 – Форматы управляющих слов УС1 (*а*) и УС2 (*б*) параллельного периферийного адаптера

Режим порта A выбирается по условиям: 00 – режим 0; 01 – режим 1; 1X – режим 2. Порт B имеет режим 0 или 1 при нулевом или единичном значении разряда 2 соответственно. Единичные значения разрядов 4, 3, 1 означают ввод, нулевые – вывод.

При записи нового УС1 все регистры портов сбрасываются. Управляющее слово УС2 задает значения 0 или 1 одному из разрядов порта C . Для приведения в определенное состояние нескольких выходов порта C нужно подать в адаптер соответствующее число слов УС2. В итоге словами УС2 на выходах порта PC задаются коды, определяющие режим работы ВУ и изменяемые программным способом.

Формат управляющего слова УС2 показан на рисунке 5.17, *б*. Признаком этого слова служит нулевое значение разряда 7. Разряды 6...4 не используются. В разрядах 3...1 размещается двоичный код номера разряда, приводимого в то или иное состояние в порте C данным УС2. В нулевом разряде указывается состояние (0 или 1), которое следует придать данному разряду.

В режиме 0 осуществляется прямой однонаправленный ввод/вывод данных без сигналов их сопровождения. Каждый из четырех портов может

быть использован для ввода или вывода независимо от других, так что возможны 16 вариантов режима 0. При вводе поступающая из ВУ информация адаптером не фиксируется и должна присутствовать на его входе во время действия сигнала чтения. При выводе информация от МП фиксируется в буферном регистре порта по заднему фронту сигнала записи и сохраняется до нового цикла вывода или смены режима работы порта.

При вводе информация выдается на ШД при выполнении микропроцессором команды *IN port*, при выводе – при выполнении команды *OUT port*.

Такой вариант соответствует работе «с отдельной шиной», при которой внешним устройствам принадлежит отдельное адресное пространство. Не исключается и организация обращения к портам, как к ячейкам памяти (интерфейс «с общей шиной»).

В режиме 1 каждая из двух 12-разрядных групп (*A* и *B*) может быть запрограммирована на однонаправленный ввод или вывод с квитированием. При этом входные и выходные данные фиксируются адаптером. По линиям портов C_H и C_L передаются управляющие сигналы. Раздельная установка разряда порта *C* позволяет ему играть роль схемы управления процедурами ввода/вывода, причем битам порта придается определенное функциональное назначение.

Режим 1 рассмотрим в полном объеме, т.к. он хорошо иллюстрирует принципы работы адаптера. При вводе используются следующие управляющие сигналы:

- \overline{STB} – строб загрузки данных в регистр (по заднему фронту);
- *IBF* (Input Buffer Full) – входной буфер полон, сигнал подтверждения загрузки данных;
- *INT* – запрос прерывания.

Временные диаграммы процесса ввода в режиме 1 показаны на рисунке 5.18, *a*.

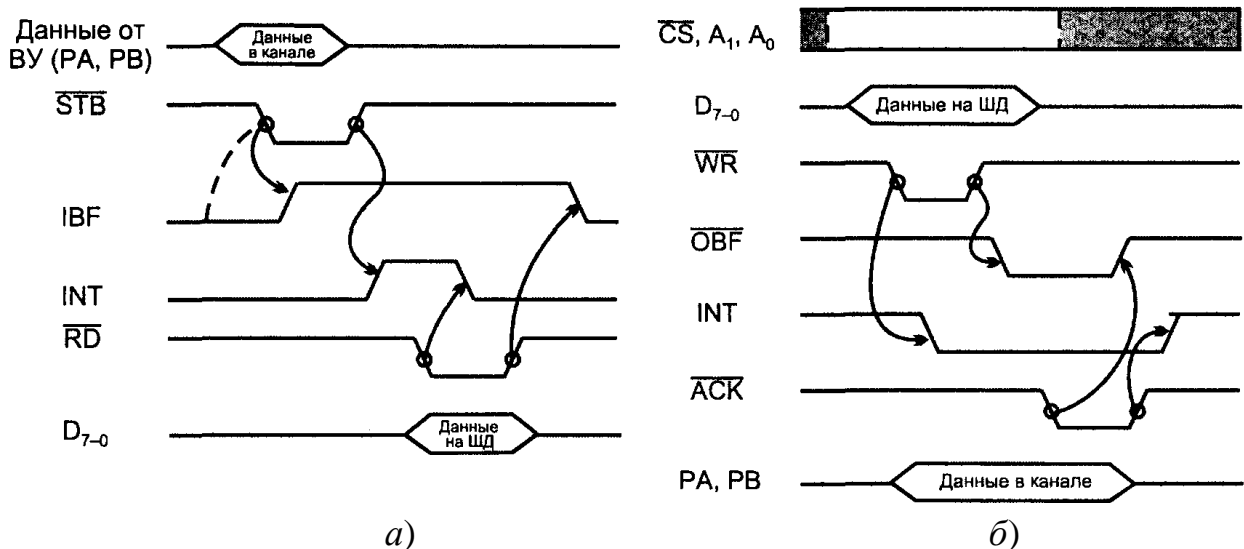


Рисунок 5.18 – Временные диаграммы процессов ввода (*a*) и вывода (*б*) в режиме 1 параллельного периферийного интерфейса

Имея данные для ввода в порт, ВУ при условии $IBF = 0$ вырабатывает сигнал готовности информации \overline{STB} . Передний фронт этого сигнала устанавливает сигнал IBF , запрещающий внешнему устройству ввод следующего слова до освобождения порта. К моменту окончания \overline{STB} данные введены в буфер порта, и если прерывания разрешены (внутренний триггер разрешения прерываний $INTE$ установлен командой программы), то адаптер формирует запрос прерывания INT для МП, переходящего к подпрограмме обслуживания, содержащей команду $IN\ port$. При этом на адаптер поступают сигналы адресации и \overline{RD} . Передний фронт \overline{RD} отмечает начало считывания слова микропроцессором и снимает запрос на прерывание INT . Пока прерывания не разрешены, осуществляется хранение данных в адаптере. Задний фронт \overline{RD} отмечает завершение считывания слова микропроцессором и снимает сигнал IBF , допуская новую запись слова со стороны ВУ.

При выводе используются следующие управляющие сигналы:

- \overline{OBF} (Output Buffer Full) – выходной буфер полон, строб вывода новых данных;
- ACK (Acknowledge) – подтверждение приема внешним устройством;
- INT (Interrupt) – запрос прерывания.

Временные диаграммы вывода в режиме 1 показаны на рисунке 5.18, б. При выводе выполняется команда $OUT\ port$, и процессор устанавливает адрес порта и данные на ШД. При разрешенных прерываниях далее вырабатывается сигнал \overline{WR} , загружающий данные с ШД в буфер адаптера и сбрасывающий запрос прерывания INT . После окончания записи в адаптер формируется сигнал \overline{OBF} , указывающий на готовность данных для ВУ. Приняв данные, ВУ выдает сигнал подтверждения приема ACK , снимающий \overline{OBF} , а по окончании сигнала ACK восстанавливается запрос прерывания (если триггер $INTE$ установлен), что вызывает обслуживание следующего цикла вывода.

Сигналы управления при обменах с квитированием передаются по отдельным линиям порта C , специально для них предназначенным. Распределение управляющих сигналов по этим линиям, формирование в адаптера слова состояния и управляющее слово для ввода через порт A в режиме 1 показаны для примера на рисунке 5.19.

Слева показаны разряды управляющего слова $UC1$, в следующем столбце – разряды слова состояния, относящиеся к порту A , правее обозначено использование разрядов порта C в рассматриваемом режиме. Сигнал IBF отображается в слове состояния и выдается во внешнюю среду для ВУ. Наличие этого сигнала и сигнала разрешения прерывания $INTE$ ведет к выработке запроса на прерывание, отображаемого в слове состояния и поступающего во внешнюю среду через разряд $PC3$. Флажок $INTE$ создает возможность маскирования запросов прерывания, позволяющего запрещать или разрешать работу ВУ. Сигнал \overline{STB} принимается от внешнего устройства в разряд $PC4$. Свободные линии порта C могут быть использованы для простого ввода/вывода.

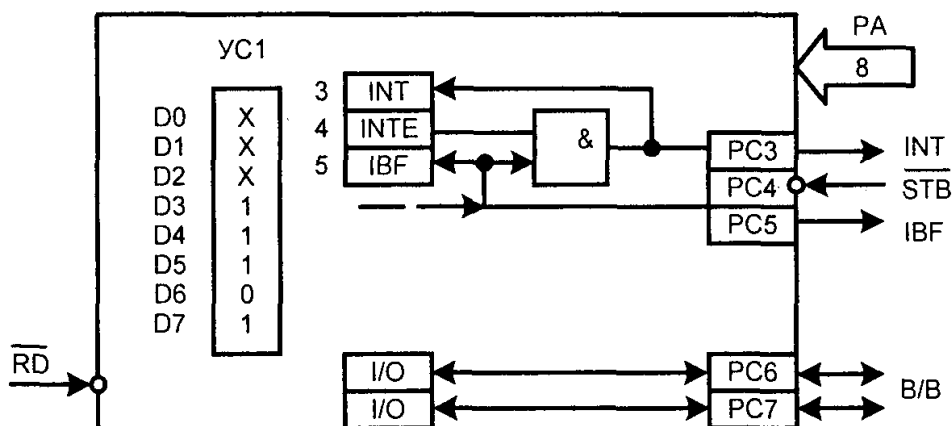


Рисунок 5.19 – Структура порта C, формирование слова состояния и использование разрядов порта C для ввода через порт A в режиме 1

В слове состояния имеются независимые сигналы разрешения прерываний для ввода и вывода. Контроль текущего состояния портов в режимах 1 и 2 путем считывания порта C командой *IN port* позволяет анализировать процесс обмена, которым можно оперативно управлять.

В режиме 2 осуществляются двунаправленные передачи между ШД и ВУ. Особенности функциональной схемы порта A допускают его применение для такого режима. При этом 5 линий порта C передают управляющие сигналы.

Двунаправленный асинхронный обмен через порт A выполняется как последовательность нескольких независимых этапов: записи с ШД в адаптер, ввода в адаптер из ВУ, чтения на ШД, вывода в ВУ, причем некоторые из них могут совмещаться во времени. Используются сигналы управления: \overline{STB} , \overline{IBF} , \overline{OBF} , \overline{ACK} , \overline{INT} , т.е. те же, что и для режима 1.

Ввод в адаптер управляющих слов UC1 и UC2 производится программным способом.

Улучшенный вариант адаптера ВВ55А отличается от предшественника ВВ55 работой с расширенным стробом записи, свойственным, в частности, и микропроцессору К1821ВМ85А.

На рисунке 5.20 дан пример использования ППА в схеме подключения аналого-цифрового преобразователя (АЦП) и цифро-аналогового преобразователя (ЦАП) к МПС, выполняющей задачу цифрового управления некоторым аналоговым объектом.

Состояние объекта отображается сигналом напряжения постоянного тока $U_1(t)$, которое преобразуется в цифровой код N_1 и передается через адаптер процессору. Процессор согласно алгоритму управления объектом вырабатывает сигнал воздействия на него в виде кода N_2 , который далее преобразуется в напряжение $U_2(t)$, воздействующее на объект. Для предотвращения ошибок в работе АЦП на время преобразования «напряжение-код», изменение входного напряжения АЦП должно быть исключено. Поэтому в схему введено устройство выборки-хранения (УВХ), имеющее два режима: слеже-

ния и хранения. В режиме слежения выходное напряжение УВХ повторяет входное, в этом режиме УВХ находится все время за исключением интервалов работы АЦП. Когда АЦП переходит в режим преобразования «напряжение-код», УВХ переводится в режим хранения, и изменение его выходного напряжения прекращается на время преобразования.

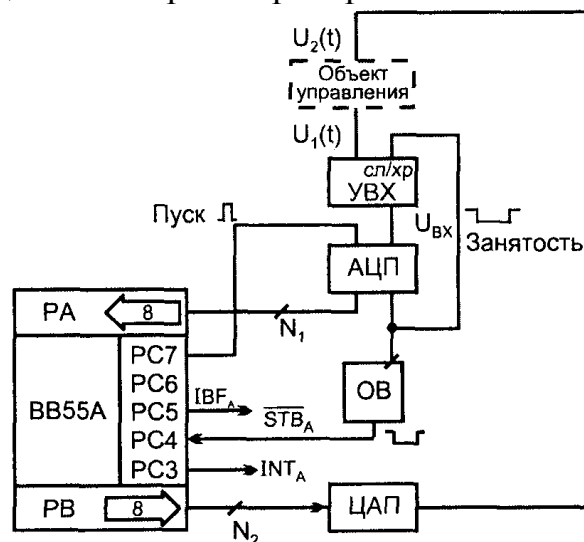


Рисунок 5.20 – Пример схемы использования ПША для подключения АЦП и ЦАП к шинам микропроцессорной системы

Работа схемы происходит следующим образом. Получив сигнал «Пуск» от адаптера, АЦП начинает преобразование «напряжение-код», причем для упрощения схемы принято, что АЦП является восьмиразрядным. При этом АЦП сигналом «Занятость» переводит УВХ в режим хранения. Завершение процесса преобразования отмечается окончанием сигнала «Занятость», т.е. положительным перепадом напряжения на соответствующем выходе АЦП, запускающим одновибратор ОБ, который вырабатывает строб готовности данных \overline{STB}_A для порта ввода PA. Строб загружает данные (код N_1) в порт A адаптера, при этом формируются сигналы IBF_A и INT_A . Сигнал INT_A является запросом процессору на ввод байта из порта A.

Процессор выполняет подпрограмму обслуживания запроса и вводит код N_1 командой *IN port*.

Выработанный процессором код N_2 выводится через порт B адаптера на вход ЦАП. ЦАП представляет собой устройство, всегда готовое к работе (например, схему на основе сетки R-2R [2]), поэтому для него приемлем прямой безусловный вывод. Выходное напряжение ЦАП воздействует на управляемый объект для обеспечения предписанного ему поведения.

Необходимый порядок работы блоков схемы обеспечивается при выполнении фрагмента программы, предусматривающего инициализацию адаптера и выработку сигнала «Пуск», после чего ввод кода в процессор будет обеспечен работой аппаратуры.

Формат управляющего слова $UC1$ определится соображениями: порт A работает как порт ввода с квитированием, а порт B как порт прямого вывода, что задает следующие значения битам $UC1$: $D_7 = 1$ (признак $UC1$), $D_6D_5 = 01$ (режим 1 порта A), $D_4 = 1$ (ввод для порта A), $D_3 = 0$ (эта линия выделена для вывода сигнала «Пуск»), $D_2 = 0$ (режим 0 для порта B), $D_1 = 0$ (вывод для порта B), $D_0 = 0$ (эта линия не используется, и ее состояние безразлично, для определенности принято состояние 0).

Таким образом, $UC1 = (10110000)_2 = (B0)_{16}$.

Формат управляющего слова $UC2$ должен обеспечить разрешение прерываний для порта A , чему соответствует условие $INTE_A = 1$. Так как в качестве флажка $INTE$ в адаптере используется триггер разряда $PC4$, его нужно установить, т.е. принять $D_3D_2D_1 = 100$, $D_0 = 1$. Приняв состояния неиспользуемых разрядов $D_7D_6D_5D_4$ нулевыми, получим $UC2 = (00001001)_2 = (09)_{16}$.

5.4.4 Программируемые связные адаптеры

При увеличении расстояний, на которые передаются данные, параллельные связи становятся неприемлемо сложными и дорогими. В этом случае применяют преобразование параллельных данных в последовательные для их передачи по одной сигнальной линии. Кроме того, многие периферийные устройства (ПУ) оперируют с последовательными кодами и для взаимодействия с процессором нуждаются в преобразовании данных из параллельной формы в последовательную и наоборот. Последовательные передачи используются также при применении обычных телефонных сетей для связи удаленных объектов, что широко распространено в практике.

Тракт передачи последовательных данных в общем случае включает в себя источник и приемник данных, программируемые связные адаптеры (ПСА) и модемы. Такой тракт соответствует взаимодействию процессора с ВУ, оперирующими параллельными кодами, но находящимися на большом расстоянии от процессора.

ПСА преобразуют данные из параллельной формы в последовательную или наоборот и выполняют также некоторые другие функции.

Модемы (модуляторы-демодуляторы) преобразуют двоичные импульсные сигналы (последовательности нулей и единиц) в некоторый аналоговый модулированный сигнал, приспособленный к передаче по узкополосным телефонным линиям. Узкополосность телефонных линий (полоса пропускания около 3 кГц) ограничивает их *бодовую скорость*. В бодах измеряют число состояний канала в секунду. Количество изменений состояний канала в секунду из-за узкополосности линии невелико, и если состояния будут соответствовать просто двоичным цифрам ноль и единица, битовая скорость передачи, измеряемая в битах/с, будет мала. С помощью разных видов модуляции (фазовой, частотной, амплитудной) и их сочетаний получают сигнал, в котором

один бодовый интервал содержит как бы несколько бит, так что битовая скорость в несколько раз выше бодовой. Например, если при фазовой модуляции синусоидального сигнала на бодовом интервале можно задавать четыре фазы сигнала (-90° , 0° , 90° и 180°), то это означает удвоение битовой скорости относительно бодовой. Современные модемы имеют битовые скорости передачи не менее 38.4 Кбит/с.

Система передачи может быть *симплексной*, *полудуплексной* или *дуплексной*. В первом случае данные передаются только в одну сторону, во втором в обе, но с разделением во времени, в третьем – в обоих направлениях одновременно.

Протоколы последовательного обмена задают два его вида: *асинхронный* и *синхронный*. При асинхронном обмене символы передаются по мере их готовности. Интервал между символами может быть различным, хотя интервалы между битами в одном символе фиксированы. При отсутствии готовых данных линия простаивает.

При синхронной передаче символы следуют один за другим слитно, поэтому можно говорить о передаче массива символов – текста. Если очередной символ не готов, передача не останавливается, передатчик посылает в линию специальные символы синхронизации, до тех пор, пока не сможет передать следующий символ данных. Синхронный обмен повышает скорость передачи данных.

При асинхронных передачах *посылка (кадр)*, т.е. группа битов, отображающих символ, имеет следующий формат: начало посылки отмечается нулевым стартовым битом, за ним следуют 5...8 информационных (младшим разрядом вперед), затем идет необязательный бит контроля по модулю 2 (бит четности/нечетности) и заканчивается посылка 1; 1.5 или 2 единичными стоп-битами (рисунок 5.21).



Рисунок 5.21 – Структура кадра для передачи асинхронных передач

В отсутствие передачи линия находится под высоким потенциалом (активная пауза, *марка*), соответствующим логической единице. Появление низкого уровня означает поступление стартового бита, свидетельствующего о последующей передаче известного заранее числа информационных битов. Далее может идти контрольный бит четности (нечетности), назначение и способ выработки которого уже известны [1]. Стоп-бит также используется для проверки правильности передачи, но уже по другому критерию. Контролируется правильность формата посылки. Отсутствие на позиции стоп-бита высокого уровня напряжения свидетельствует об ошибке формата (кадра, обрамления).

Длительность стоп-бита определяет минимальный промежуток между окончанием данного символа и началом следующего. Этот промежуток составляет 1...2 интервала, соответствующих биту.

Различают *две разновидности синхронных передач* – с внутренней и внешней синхронизацией.

При внутренней синхронизации перед массивом данных передаются слова-синхросимволы (одно или два). При отсутствии передачи передатчик не перестает работать, а посылает в линию символы синхронизации, пока не возобновится передача данных. Приемник при этом находится в режиме активного ожидания (в английской терминологии в режиме Hunt – охоты). Он сравнивает каждое принятое слово с символом синхронизации. Если результат сравнения отрицательный, то обращения к данному приемнику нет. Если же опознается синхросимвол данного приемника, то это означает, что передатчик обращается к нему и первое же слово, не являющееся синхросимволом, принимается как информационное, начинающее информационный массив. После начала массива приемник считает передаваемые символы или же сопоставляет их с символами синхронизации, определяя одним из этих способов конец передачи.

Символы данных не разделяются старт и стоп-битами. После символа из 5...8 битов может идти контрольный бит, возможен и контроль по модулю 2 для всего массива, в этом случае контрольный бит появляется в конце передачи данных.

При внешней синхронизации в канал связи вводится дополнительная линия, по которой передается строб-сигнал, отмечающий интервал времени, соответствующий передаче данных. Фронты строба отмечают начало и конец передачи массива, в котором символы по-прежнему передаются слитно (без старт- и стоп-битов).

На рисунке 5.22 показана структура ПСА типа 8251А фирмы Intel, аналогом которого является отечественный ПСА К580ВВ51А. Согласно типу реализуемых протоколов, этот ПСА называют универсальным синхронно-асинхронным приемопередатчиком (УСАПП), чему в английской терминологии соответствует USART – Universal Synchronous/Asynchronous Receiver/Transmitter.

Адаптеры, в которых реализуются только асинхронные протоколы, называются УАПП (UART – Universal Asynchronous Receiver/Transmitter).

В МПС адаптер используется как ВУ, программируется процессором для работы с различной аппаратурой, принимает от процессора символы в параллельной форме и преобразует их в последовательную для передачи или получает последовательные данные и преобразует их в параллельные символы для процессора. Кроме того, адаптер сигнализирует процессору о готовности принять новый символ для передачи или о том, что получил символ для процессора. В любое время процессор может читать слово состояния адаптера.

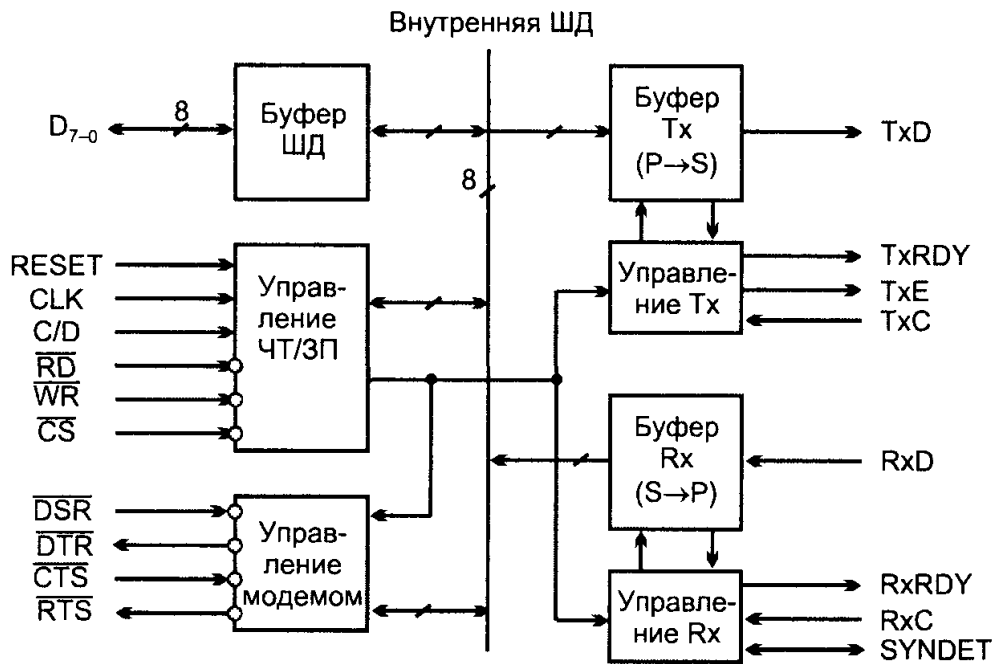


Рисунок 5.22 – Структура программируемого связного адаптера

Буфер ШД – двунаправленный, восьмиразрядный, с тремя состояниями. Он связывает адаптер с системной шиной данных и принимает данные по командам *OUT port*, выдает – по командам *IN port*. Через буфер передаются также управляющие и командные слова и слово состояния адаптера. В буфере имеются регистры данных (входной и выходной), команд и состояния.

Блок управления чтением/записью принимает сигналы от системной шины данных и генерирует сигналы управления работой всех блоков адаптера.

Выводы и сигналы ПСА имеют следующее назначение:

- *RESET* – установка адаптера в исходное состояние, после него адаптер находится в бездействии до записи нового набора управляющих слов для определения задаваемых ему функций. В состояние бездействия адаптер вводится также программой по команде сброса;

- *CLK* – вход тактовой частоты для внутреннего тактирования процессора. Внешние входы и выходы адаптера не привязаны к тактам сигнала *CLK*, но частота этого сигнала должна быть выше битовой частоты передачи данных не менее чем в 30 раз;

- \overline{RD} , \overline{WR} и \overline{CS} – сигналы, смысл которых уже известен (стробы чтения и записи и сигнал выбора микросхемы);

- *C/D (Control/Data)* – указывает на тип передаваемой информации, при единичном значении этого сигнала вводятся управляющие слова или выводится слово состояния адаптера, при нулевом – передаются данные. Вместе с сигналами \overline{RD} и \overline{WR} определяет характер передачи. Обычно на этот вход подключается младший разряд адреса A_0 . Направления передачи и характер информации задаются для адаптера таблицей (таблица 5.3).

Таблица 5.3 – Направления передачи и характер информации для ПСА K580BB51A

C/D	\overline{RD}	\overline{WR}	\overline{CS}	Операция
0	0	1	0	ШД ← данные адаптера
0	1	0	0	Данные адаптера ← ШД
1	0	1	0	ШД ← слово состояния
1	1	0	0	Управляющее слово ← ШД
X	1	1	0	Отключено
X	X	X	1	Отключено

Адаптер имеет набор управляющих входных и выходных сигналов для управления модемом. Модем указан здесь как наиболее типичное устройство, работающее во взаимодействии с ПСА, хотя, в сущности, это сигналы общего назначения, которые могут быть использованы и для управления другими устройствами. Для управления модемом (терминалом) имеются две пары сигналов квитирования:

- \overline{DSR} (*Data Set Ready*) – запрос готовности передатчика терминала, сигнал связан с одноразрядным портом и может быть проверен процессором чтением слова состояния. Низкий уровень этого сигнала говорит о том, что модем (терминал) имеет информацию для передачи процессору;

- \overline{DTR} (*Data Terminal Ready*) – этот сигнал является реакцией на запрос \overline{DSR} . Активизируется соответствующим битом командного слова, если процессором разрешен обмен с модемом. Связан с разрешением модему посылки данных на вход приемника адаптера;

- \overline{RTS} (*Request to Send*) – сигнал связан с одноразрядным выходным портом. Является запросом от адаптера готовности приемника терминала принять данные. Задается программированием соответствующего бита в командном слове, когда процессором разрешен обмен с модемом;

- \overline{CTS} (*Clear to Send*) – сигнал готовности приемника терминала принять данные. Низкий уровень этого сигнала разрешает адаптеру передачу последовательных данных, если установлен бит $TxEN$ в командном слове. При снятии $TxEN$ или \overline{CTS} во время работы передатчика он будет передавать все данные, записанные до запрещения передачи, прежде чем остановится.

Буфер передатчика адаптера (буфер Tx) принимает параллельные данные от буфера ШД, преобразует их в поток последовательных битов, вводит в этот поток служебные символы или биты и выдает составленный им поток битов на вывод TxD по отрицательным фронтам импульсов TxC . Передача начинается после ее разрешения и при условии $\overline{CTS} = 0$. Вывод TxD принимает высокий уровень после сброса, запретов по условиям $TxEN$ или \overline{CTS} , либо при условии «передатчик пуст», связанном с сигналом TxE (*TxEmpty*).

Схема управления передатчиком (управление Tx) вырабатывает следующие внутренние и внешние сигналы для процессов передачи последовательных данных:

- $TxRDY$ – этот выходной сигнал указывает процессору на готовность передатчика адаптера принять символ данных. Сигнал может проверяться чтением слова состояния или использоваться как запрос прерывания (он может маскироваться битом $TxEN$ командного слова). Автоматически сбрасывается передним фронтом строга записи \overline{WR} , когда символ данных загружается из процессора;

- TxE – сигнал устанавливается, когда адаптер не имеет символа для передачи (входной буфер в блоке «буфер ШД» пуст, и после выхода символа из сдвигающего регистра передатчика этот регистр будет нечем загрузить). Сбрасывается после получения символа от процессора, если передача разрешена, и остается высоким, если передача запрещена соответствующим битом командного слова. Сигнал может быть использован для индикации конца режима передачи и оповещения процессора о моменте переключения линии передачи на другое направление в полудуплексном режиме работы. В синхронном режиме высокий уровень сигнала показывает, что символ не был загружен и в поток данных следует вводить синхросимволы. Пока передаются синхросимволы, высокий уровень сигнала сохраняется;

- TxC и RxC – сигналы синхронизации передатчика и приемника, задающие скорость следования последовательных битов. При синхронных передачах бодовая скорость равна частоте TxC (RxC), при асинхронных она является частью частоты TxC (RxC) (это либо 1, либо 1/16, либо 1/64 от TxC или RxC). Очень часто частоты TxC и RxC идентичны. Их синхронности с сигналом CLK не требуется.

Буфер приемника принимает последовательные данные, преобразует их в параллельные, проверяет биты или символы, специфичные для посылок данного типа и посылает принятый символ в процессор. Для приемника ПСА характерны следующие сигналы и выводы.

- RxD этот вывод служит входом последовательных данных. Блок управления приемником Rx обеспечивает управление всеми действиями, связанными с приемом информации. Схемы этого блока предотвращают восприятие неиспользуемой линии данных как L -активной в режиме паузы. Для начала приема требуется появление высокого уровня (марки) на входе RxD после сброса системы. Если это выполняется, то разрешается поиск отрицательного фронта входного сигнала (старт-бита). Истинность старт-бита устанавливается проверкой уровня сигнала в его середине. Ошибки работы адаптера устанавливают соответствующие биты в слове состояния (четности, формата или переполнения, если новая информация замещает старую раньше, чем она была использована).

- $RxRDY$ – выходной сигнал, показывающий, что адаптер имеет символ, готовый к выводу в процессор. Может проверяться чтением слова состояния

или использоваться как запрос прерывания для процессора. Если команда разрешения приема $RxEN$ отсутствует, то сигнал $RxRDY$ находится в состоянии сброса. Отсутствие чтения принятого символа из выходного регистра адаптера до появления следующего ведет к загрузке нового символа и потере старого. Устанавливается ошибка переполнения.

- $SYNDET$ (*SYNC Detect/Break Detect*) – этот вывод в синхронном режиме используется как $SYNDET$ и может быть входом или выходом в зависимости от программирования адаптера. При внутренней синхронизации является выходом и устанавливается как признак выявления синхросимвола в режиме приема. Если запрограммированы два синхросимвола, $SYNDET$ установится в середине последнего бита второго синхросимвола. Сигнал автоматически сбрасывается после операции чтения состояния. Когда используется как входной (режим внешней синхронизации), его появление заставляет адаптер начать прием данных. В асинхронном режиме вывод используется для сигнала *Break Detect*, который устанавливается при низком уровне на интервалах стоп-битов в двух последовательных посылках. Сигнал может быть выявлен чтением слова состояния. Сбрасывается при сбросе адаптера или возвращении входного сигнала к нормальному состоянию (появлению единиц на интервалах стоп-битов).

Адаптер может работать в одном режиме или комбинации совместимых режимов, осуществляя программный условный обмен процессора с ВУ или обмен по прерываниям. Первый вид обмена предусматривает программное чтение слова состояния адаптера и при его готовности выполнение подпрограммы обмена. При обмене по прерываниям сигналы готовности адаптера $TxRDY$ и $RxRDY$ используются как запросы прерывания для процессора.

Появление ошибок не останавливает работу адаптера. Ошибки выявляются установкой триггеров-флажков.

Рассмотрим для примера *временные диаграммы* процесса передачи в асинхронном старт-стопном режиме. В этом режиме после записи в адаптер параллельных данных они автоматически обрамляются старт- и стоп-битами, а при соответствующем программировании и битом контроля по модулю два. Если командным словом CI дано разрешение режима передач ($D_0 = 1$) и от терминала получено условие готовности \overline{CTS} , то на выход TxD начнет поступать поток битов с частотой, равной TxC или $1/16$, или $1/64$ этой частоты в зависимости от программирования адаптера. При отсутствии передачи на выходе TxD действует высокий уровень напряжения (марка). Если командным словом CI задана пауза, то уровень TxD становится низким.

При программном условном обмене (рисунок 5.23) процессор осуществляет регулярный опрос состояния адаптера чтением слова состояния SW (*Status Word*). При готовности адаптера ($TxRDY = 1$, т.е. входной буфер пуст) выдается строб записи \overline{WR} , который передним фронтом снимает сигнал готовности (буфер уже занят), а задним, когда символ уже получен адаптером, начинает процесс передачи кадра (выталкивания символа из регистра сдвига).

Начало выдачи кадра говорит о том, что буфер шины данных освобожден (символ уже в регистре передатчика) и нужно вернуть сигнал $TxRDY$ в состояние логической 1. Вторая запись снимает готовность буфера, и его неготовность продлится до конца передачи первого кадра, за которой произойдет перегрузка символа из входного буфера адаптера в регистр передатчика, освобождение входного буфера и восстановление единичного уровня сигнала $TxRDY$. После чтения SW на интервале неготовности строб записи не вырабатывается. После появления готовности повторяются уже описанные действия.

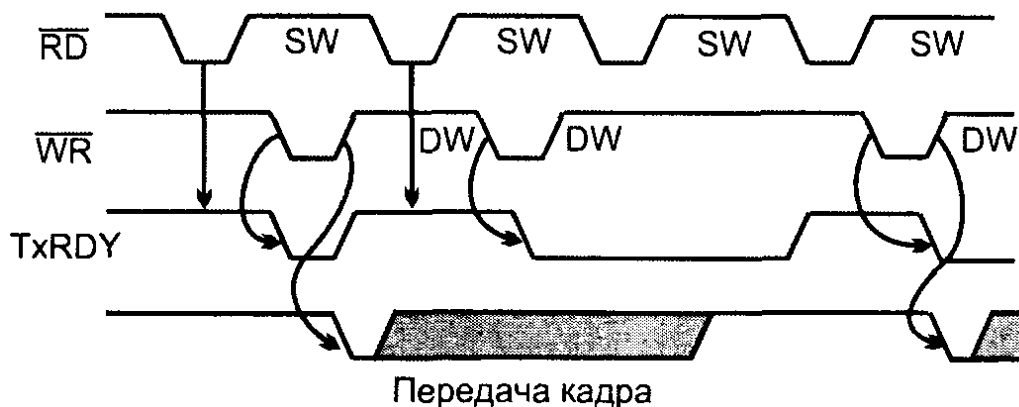


Рисунок 5.23 – Временные диаграммы программного условного обмена с помощью ПСА

Рассмотрим пример подключения ПСА к МП и терминалу (рисунок 5.24). Шина данных может подключаться к выводам адаптера через буфер или непосредственно в зависимости от нагрузочных условий. Селектор адреса SA выдает на выходе низкий логический уровень, разрешающий работу адаптера, в ответ на одну-единственную комбинацию входных сигналов $A_{7:1}$. На вход CLK поданы синхроимпульсы $\Phi 2$ от МП, а частоты передачи и приема (в данном случае равные) получены из частоты $\Phi 2$ с помощью делителя частоты ДЧ. Как требуется условиями работоспособности адаптера, коэффициент деления должен быть ≥ 30 . Делитель частоты имеет четыре выхода с разными частотами. С помощью ключа K можно изменять скорость передачи-приема данных. Остальные соединения понятны без дополнительных пояснений.

Последовательные порты строятся и на основе адаптеров типа UART, например, типа 16550 и 16550A фирмы Texas Instruments. Эти адаптеры во многом подобны адаптеру ВВ51А, но имеют 16-символьные буферы FIFO, предназначенные для приема и передачи данных. Конструктивно они обычно входят в одну БИС с другими схемами.

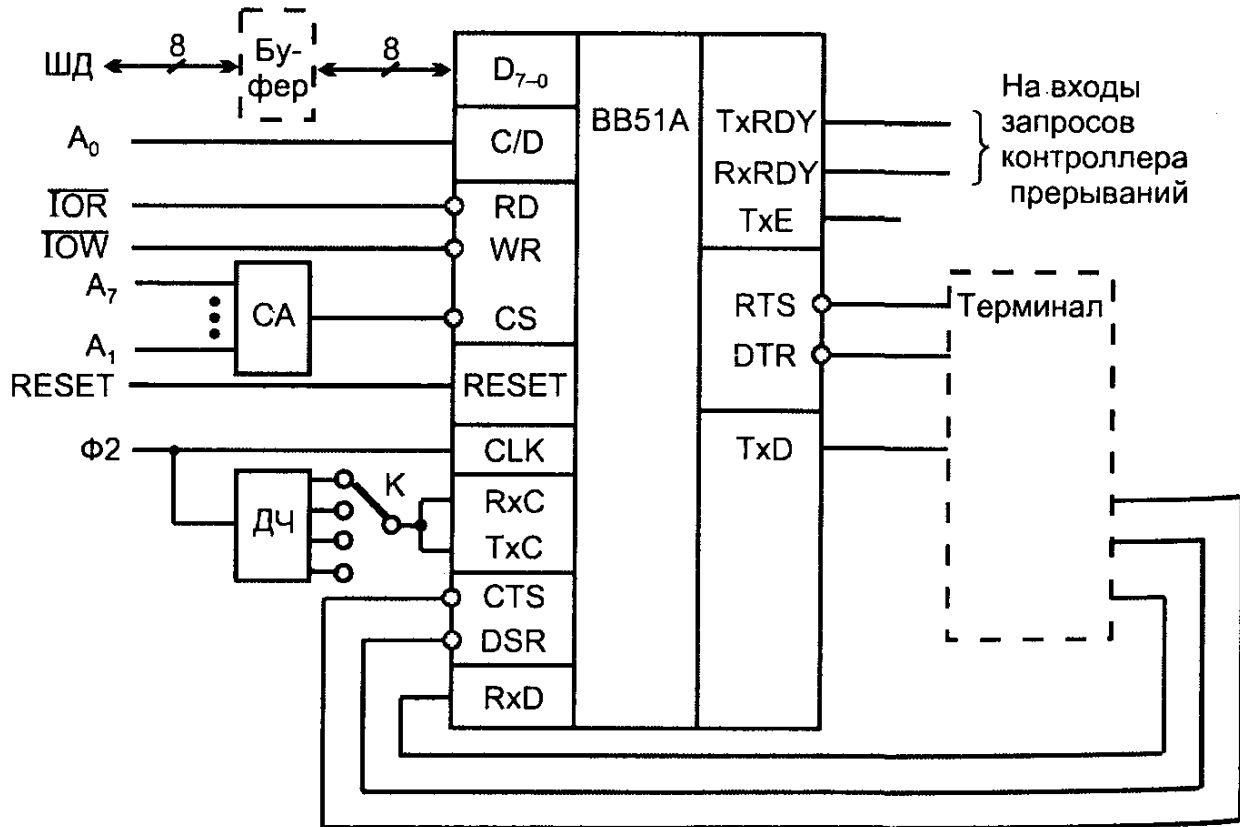


Рисунок 5.24 – Схема подключения ПСА к микропроцессору и терминалу

СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ

1. Угрюмов Е.П. Цифровая схемотехника: Учеб. пособие для вузов. – 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2004. – 800 с.
2. Опадчий Ю.Ф. и др. Аналоговая и цифровая электроника (Полный курс): Учебник для вузов / Ю.Ф.Опадчий, О.П.Глудкин, А.И.Гуров; Под ред. О.П.Глудкина. – М.: Горячая линия-Телеком, 2002. – 768 с.
3. Гусев В.Г., Гусев Ю.М. Электроника: Учеб. пособие для приборостроит. спец. вузов. 2-е изд., перераб. и доп. – М.: Высшая школа, 1991. – 622 с.
4. Браммер Ю.А. Цифровые устройства: Учеб. пособие для вузов / Ю.А.Браммер, И.Н.Пащук. – М.: Высшая школа, 2004. – 229 с.
5. Преснухин Л.Н. и др. Расчет элементов цифровых устройств: Учеб. пособие / Л.Н.Преснухин, Н.В.Воробьев, А.А.Шишкевич; Под ред. Л.Н.Преснухина. – 2-е изд., перераб. и доп. – М.: Высшая школа, 1991. – 526 с.
6. Бойко В.И. и др. Схемотехника электронных схем. Цифровые устройства / В.И.Бойко, А.Н.Гуржий, В.Я.Жуйков, А.А.Зори, В.М.Спивак, В.В.Багрий. – СПб.: БХВ-Петербург, 2004. – 512 с.
7. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства: Учебное пособие для втузов. – СПб.: Политехника, 1996. – 885 с.
8. Калабеков Б.А. Цифровые устройства и микропроцессорные системы: Учебник для техникумов связи. – М.: Горячая линия – Телеком, 2002. – 336 с.
9. Фролкин В.Т., Попов Л.Н. Импульсные и цифровые устройства: Учеб. пособие для вузов. – М.: Радио и связь, 1992. – 336 с.
10. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат. Ленингр. отд-ние, 1986. – 280 с.
11. Потемкин И.С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988. – 320 с.

Учебное издание

Озёркин Денис Витальевич

Схемотехника. Часть 3

Учебное пособие

Формат 60×84 1/16. Усл. печ. л. 8,84

Тираж 200 экз. Заказ

Отпечатано в Томском государственном университете
систем управления и радиоэлектроники.

634050, Томск, пр. Ленина, 40. Тел. (3822) 533018.