



**Кафедра конструирования
и производства радиоаппаратуры**

А.П. КУЛИНИЧ

**СХЕМОТЕХНИКА ЭЛЕКТРОННЫХ
СРЕДСТВ. СХЕМОТЕХНИКА**

ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ТТЛ

Методические указания к выполнению лабораторной работы

ТОМСК 2015

1 ВВЕДЕНИЕ

В ходе выполнения работы предусматривается:

- 1) изучение принципов построения базовых логических элементов транзисторно-транзисторной логики;
- 2) освоение методик определения характеристик интегральных микросхем (ИМС);
- 3) исследование электрических характеристик логических элементов (ЛЭ) цифровых ИМС.

2 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ И ПАРАМЕТРЫ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Элементы, в которых значение логической переменной задается уровнем постоянного напряжения, называют потенциальными. При потенциальном способе представления двоичной переменной двум ее значениям ставятся в соответствие два уровня напряжения: низкий U_H и высокий U_B . Положительной (прямой) логикой называется соответствие единичного значения переменной высокому уровню U_B , отрицательной (инверсной) логикой - соответствие единичного значения переменной низкому уровню U_H .

Работоспособность элементов оценивается совокупностью статических и динамических характеристик и параметров. К основным статическим характеристикам относятся входная (зависимость входного тока от входного напряжения при заданной нагрузке на выходе), выходная (зависимость выходного тока от выходного напряжения при двух состояниях на выходе элемента: "0" и "1") и передаточная (зависимость выходного напряжения от напряжения на одном из входов при заданной нагрузке на выходе подключении остальных входов к "0" или "1") характеристики.

Статические параметры ЛЭ характеризуют свойства ИМС в статическом режиме. К ним относятся:

- напряжение источника питания $U_{ип}$;
- входное $U_{вх0}$ и выходное $U_{вых0}$ напряжения логического нуля (U_0);
- входное $U_{вх1}$ и выходное $U_{вых1}$ напряжения логической единицы (U_1);
- входной $I_{вх0}$, $I_{вх1}$ и выходной $I_{вых0}$, $I_{вых1}$ токи логического нуля и логической единицы;

пороговое напряжение логического элемента $U_{пор}$ - входное напряжение, малые отклонения которого в ту или другую сторону приводят к переходу логического элемента на его выходе из состояния "1" в сос-

стояние "0" или обратно;

логический перепад $\Delta U = U_1 - U_0$;

запас помехоустойчивости - разность напряжений, измеряемых по оси входных напряжений передаточной характеристики в рабочей точке и ближайшей к ней точке с единичным усилением;

помехозащищенность (ПЗ) - разность напряжений, измеренных по оси входных напряжений передаточной характеристики в рабочей точке и пороговым напряжением;

помехоустойчивость (ПУ) - отношение помехозащищенности к логическому перепаду $ПУ = ПЗ / \Delta U$;

коэффициент разветвления по выходу $K_{раз}$, определяющий число входов аналогичных микросхем нагрузок, которые можно одновременно подключить к выходу данной микросхемы;

коэффициент объединения по входу $K_{об}$, объединяющий число входов микросхемы, по которым реализуется логическая функция;

допустимое напряжение статической помехи $U_{ст.п.}$, характеризующее статистическую помехоустойчивость ЛЭ, т.е. его способность противостоять воздействию мешающего сигнала, длительность которого значительно превосходит время переключения микросхемы;

мощность потребления в состояниях логического "1" $P_{пот1}$ и "0" $P_{пот0}$;

средняя потребляемая мощность $P_{пот.ср} = (P_{пот1} + P_{пот0}) / 2$.

Динамические параметры характеризуют свойства ЛЭ в режиме переключения. В основном, это временные параметры ИМС:

время перехода $t_{0,1}$ ($t_{1,0}$) из состояния логического нуля (единицы) в состояние логической единицы (нуля) - интервал времени, в течении которого напряжение на выходе логического элемента переходит от уровня "0" ("1") к уровню "1" ("0"), измеренных при значениях 10% и 90% логического перепада;

время задержки включения $t_{ад1,0}$ (выключения $t_{ад0,1}$) логического элемента - интервал времени между входными и выходными сигналами при переходе напряжения на выходе ЛЭ от уровня "1" к уровню "0" (от уровня "0" к уровню "1"), измеренный на уровне 0,1 (0,9) логического перепада входного сигнала и на уровне 0,9 (0,1) перепада выходного сигнала;

время задержки распространения сигнала при включении $t_{ад.р.1,0}$ (выключении $t_{ад.р.0,1}$) логического элемента - интервал времени между входными и выходными сигналами при переходе напряжения на выходе ЛЭ

от уровня "1" к уровню "0" (от уровня "0" к уровню "1"), измеренный на уровне 0,5 логического перепада входного и выходного сигналов;

среднее время задержки распространения сигнала при переключении логического элемента - $t_{ад.р.ср.} = (t_{ад.р.1,0} + t_{ад.р.0,1}) / 2$.

К основным динамическим характеристикам относятся динамические нагрузочные характеристики (зависимости времен задержки распространения сигнала от емкости нагрузки и коэффициента разветвления $K_{раз}$), зависимость мощности потребления от частоты входного сигнала, характеристика динамической помехоустойчивости - зависимость амплитуды помехи от ее длительности. Эта характеристика существенно зависит от формы сигнала помехи, уровня статической помехоустойчивости и быстродействия ЛЭ (наиболее часто отражает зависимость допустимой амплитуды импульса помехи от длительности этого импульса).

3 ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ СХЕМ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

В данной работе проводятся исследования электрических характеристик типовых вариантов схем логических элементов (ЛЭ) транзисторно-транзисторной логики (ТТЛ). Типовая схема ЛЭ ТТЛ состоит из последовательно соединенных каскада на многоэмиттерном транзисторе, выполняющего функцию логического умножения (И), и транзисторного ключа, выполняющего функцию логического отрицания (НЕ), построенного по схеме простого либо сложного инвертора. Принципиальная схема логического элемента И-НЕ ТТЛ приведена на рисунке 1. Логический элемент содержит последовательно соединенные схему И, образованную многоэмиттерным транзистором VT1 (число эмиттеров может достигать восьми) с включенным в цепь его базы резистором R1, и инвертор, выполняющий функцию НЕ. При анализе схемы многоэмиттерный транзистор (МЭТ) может быть представлен набором (рисунок 2) биполярных транзисторов, коли-

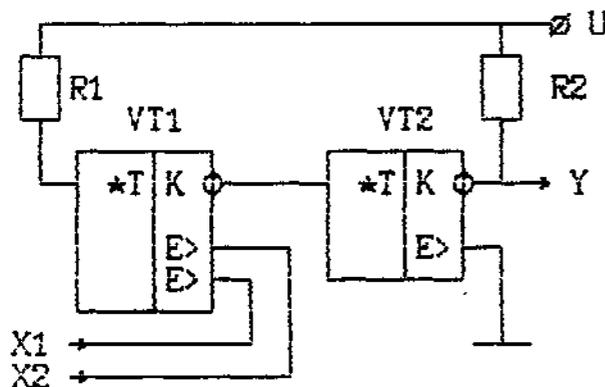


Рисунок 1

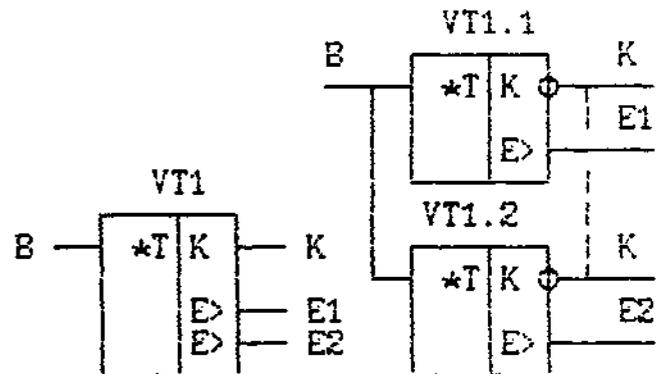


Рисунок 2

чество которых равно числу эмиттеров МЭТ, в котором базы всех транзисторов сведены в один вывод, а коллекторы - в другой. Выходные каскады логических элементов ТТЛ по схеме простого инвертора применяют лишь во внутренних схемах ИМС, в выходных каскадах ТТЛ ИМС обычно используют схемы сложных инверторов.

Рассмотрим работу логического элемента ТТЛ с выходным каскадом, выполненным по схеме сложного инвертора (рисунок 3). Коллекторный переход МЭТ VT1 всегда смещен в прямом направлении. Пусть на входах ЛЭ (эмиттеры транзистора VT1) присутствуют сигналы X1 и X2, величина которых соответствует уровню логической "1" (обычно это уровень, близкий к напряжению питания E); эмиттерные переходы VT1 в данном случае смещены в обратном направлении. При этом течет ток по цепи: источник питания E, резистор R1, коллекторный переход VT1, эмиттерные переходы VT2, VT4. Этот ток держит транзисторы VT2, VT4 открытыми и насыщенными. Транзисторы VT2, VT3, VT4 образуют сложный инвертор. Каскад на транзисторе VT2 является предварительным усилителем с парафазным выходом, транзисторы VT3, VT4 работающие в противофазе, составляют эмиттерный повторитель с динамической нагрузкой.

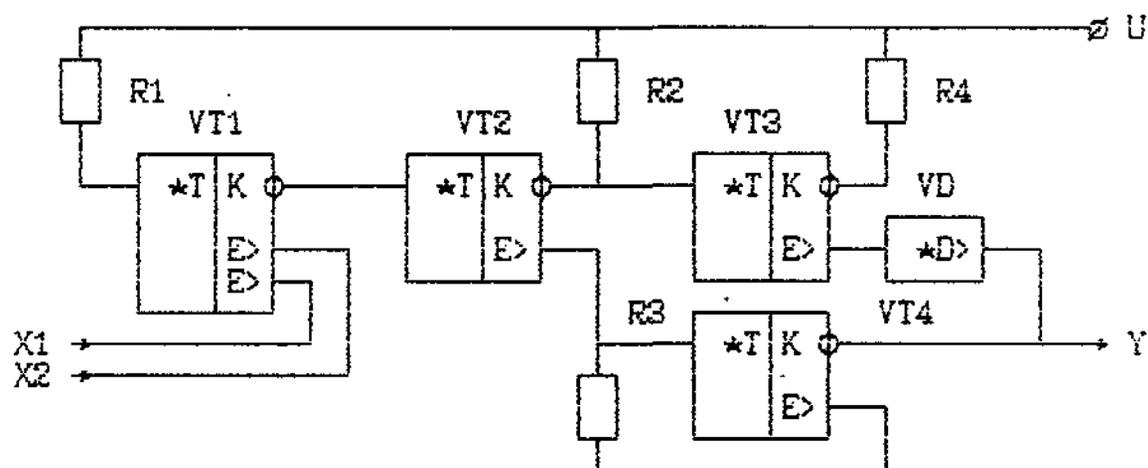


Рисунок 3

При уровнях входных сигналов X1 и X2, соответствующих логической "1", транзистор VT2 открыт и его токи протекают по резисторам R2 и R3, вызывая на них падения напряжений, понижающие потенциал на базе транзистора VT3 и повышающие - на базе транзистора VT4. В конечном итоге это приводит к тому, что транзистор VT4 оказывается открыт и насыщен, а транзистор VT3 заперт, поэтому напряжение на выходе сложного инвертора соответствует уровню логического "0" (напряжение коллектор-эмиттер насыщенного транзистора составляет около 0,1В).

Полагая напряжение на переходе база-эмиттер насыщенного тран-

эмиттера равным приблизительно 0,7 В, а на переходе база-коллектор МЭТ - порядка 0,7 В, можно оценить уровни входного напряжения, соответствующие логической "1".

Пусть теперь один из входных сигналов (для определенности X1) имеет низкий уровень напряжения ($\sim 0,1$ В) - уровень логического "0". Эмиттерный переход X1 транзистора VT1 смещается в прямом направлении и прямой ток этого перехода протекает по цепи, включающей источник питания E, резистор R1, первый эмиттерный переход VT1, источник сигнала X1. При этом падение напряжения на резисторе R1 растет, потенциал на коллекторе VT1 (т.е. и на базе VT2) падает и транзистор VT2 запирается. Отсутствие тока транзистора VT2 приводит к повышению потенциала на базе транзистора VT3 и понижению потенциала на базе транзистора VT2, запирая транзистор VT4; а транзистор VT3, работающий с ним в противофазе - отпирается. На выходе ЛЭ формируется уровень напряжения, равный

$$U_{\text{вых1}} = E - R1 \cdot I_{\text{н}} / (1 + \beta_3) - U_{\text{бэ3}} - U_{\text{вд}},$$

где $I_{\text{н}}$ - ток нагрузки;

β_3 - коэффициент передачи по току транзистора VT3;

$U_{\text{вд}}$ - падение напряжения на открытом диоде (порядка 0,7 В).

При небольших токах нагрузки выходное напряжение при номинальном источнике питания составляет около 3,6 В. В наихудших условиях эксплуатации по техническим условиям на элементы ТТЛ выходное напряжение не должно быть менее 2,4 В, соответствующее уровню логической единицы. Диод VD - элемент стабилизации, служит для надежного запиравания транзистора VT3 при открытом VT4. Напряжение на базе транзистора VT3 равно

$$U_{\text{б3}} = U_{\text{сэ2}} + U_{\text{бэ4}}.$$

Напряжение на эмиттере транзистора VT3 при отсутствии диода VD было бы равно

$$U_{\text{э3}} = U_{\text{сэ4}}.$$

При отсутствии диода напряжение на переходе база-эмиттер транзистора VT3 при открытом транзисторе VT2 было бы равно напряжению на переходе база-эмиттер открытого транзистора VT4. Введение диода уменьшает напряжение на переходе база-эмиттер транзистора VT3, что приводит к запираанию транзистора VT3.

Из анализа передаточной характеристики логического элемента следует, что при переходе схемы из состояния логического "0" в состояние логической "1" на начальном участке (при низком уровне вход-

ного напряжения) напряжение на базе транзистора VT2 примерно равно входному напряжению и "следит" за ним при изменении последнего. При входном напряжении, равном примерно 0,7 В транзистор VT1 открывается и начинают течь его токи. Пока транзистор VT4 закрыт, его входное сопротивление велико, велико также входное сопротивление транзистора VT3, который в данном случае работает в активном режиме (как эмиттерный повторитель). Поэтому напряжение на коллекторе VT2 изменяется по отношению ко входному с коэффициентом, приблизительно равным отношению сопротивлений резисторов R2 и R3 - ($R2/R3=1,6$). Следует помнить, что выходное напряжение отличается от напряжения на коллекторе транзистора VT2 (базе VT3) приблизительно на величину $U_{\text{бэз}} + U_{\text{вд}}$, пока транзистор VT3 находится в активном режиме. Поэтому с ростом входного напряжения выше уровня 0,7 В на передаточной характеристике начинается спад выходного напряжения.

При дальнейшем росте входного напряжения при уровне примерно 1,4 В начинает открываться транзистор VT4. Динамическое сопротивление перехода база-эмиттер транзистора VT4 шунтирует резистор R3 и коэффициент усиления каскада на транзисторе VT2 резко возрастает. При некотором входном напряжении наблюдается момент, когда все транзисторы схемы открыты; в этом случае элемент TTL-типа потребляет от источника максимальный ток. Именно поэтому при переключении элемента TTL-типа на фронтах наблюдаются реакции скачки тока, потребляемого от источника питания.

Переход база-эмиттер транзистора VT4 ограничивает дальнейшее нарастание напряжения на эмиттере транзистора VT2 на уровне 0,7 В, а на коллекторе МЭТ на уровне 1,4 В, что, в свою очередь, ограничивает нарастание напряжения базы МЭТ на уровне 2,1 В. Во входную цепь начинает втекать ток инверсно включенного МЭТ. Потенциал на коллекторе VT2 снижается настолько, что транзистор VT3 запирается, транзисторы VT2 и VT4 переходят в насыщение, при этом на выходе получается низкое напряжение, соответствующее напряжению логического нуля.

Передаточная характеристика схемы, приведенной на рисунке 3 имеет недостаток из-за наличия участка с зависимостью выходного напряжения от входного на интервале входных напряжений от 0,7 В до 1,4 В, что приводит к уменьшению помехоустойчивости логического элемента. Для уменьшения этой зависимости используют схему с заменой резистора R3 на корректирующую цепочку VT2, R2, R4 (рисунок 4). В этой схеме ток через транзистор VT4 не течет до тех пор, пока напряжение

4 ОПИСАНИЕ ЛАБОРАТОРНОЙ УСТАНОВКИ

Лабораторная установка УМ16 предназначена для исследования основных характеристик интегральных микросхем и содержит два канала формирования прямоугольных импульсов, формирователь пилообразного напряжения, блок нагрузок и разъем для печатной платы с исследуемой микросхемой. На лицевой панели нанесена мнемосхема установки с коммутационными гнездами с приборами управления и контроля. На задней стенке расположены выключатель питания и гнезда контроля напряжения.

Ручки управления формирователями импульсов выведены в левой части лицевой панели. Функциональное назначение каждого органа управления обозначено условными знаками. С помощью органов управления первого канала (Ik) и второго канала (IIk) можно изменять уровни логических "0" и "1" и длительность импульсов. Формирователь пилообразного напряжения имеет регулировку амплитуды. Задержка импульсов первого канала относительно импульсов второго канала осуществляется ручками ГРУБО τ ЗАДЕРЖКИ и ПЛАВНО τ ЗАДЕРЖКИ. Установка содержит коммутатор, позволяющий на экране однолучевого осциллографа наблюдать одновременно последовательности импульсов первого и второго каналов. Выход коммутатора выведен на гнездо ОСЦИЛ. Смещение сигналов второго канала относительно первого по вертикали регулируется ручкой СМЕЩЕНИЕ ЛУЧА. Блок нагрузок состоит из шести магазинов (R, L, C). Изменение величины нагрузок осуществляется дискретно с помощью шести переключателей. На макете имеется два источника напряжения U1 и U2, напряжение на выходе которых может изменяться плавно в пределах от 0,6 до 5,6 В. Ручки плавной регулировки напряжения расположены на лицевой панели воле контрольных приборов.

Исследуемые ИМС расположены на отдельных сменных платах и подключаются к лабораторной установке с помощью универсального разъема. На каждой плате нанесена мнемосхема исследуемой ИМС, поясняющая соответствие выводов ИМС коммутационным гнездам лабораторной установки. Необходимые коммутации выполняют с помощью соединительных проводников. Для подключения штекеров различного диаметра предусмотрены переходные гнезда. Питание на исследуемую ИМС подают от источника напряжения U1 или U2. Гнезда "+" и "-" источника напряжения, выбранного для питания исследуемой ИМС, подключают к гнездам макета в соответствии с мнемосхемой, нанесенной на плату. Антиавонные диоды уже включены в схемы некоторых логических элементов.

Внимание: проводник, огибающий разъем с исследуемой ИМС и имеющий на мнемосхеме символы " \perp ", в действительности соединения с корпусом не имеет.

5 ПРЕДВАРИТЕЛЬНАЯ ПОДГОТОВКА

5.1 Изучить работу типовых вариантов базовых каскадов ТТЛ по материалам лекций и рекомендуемой в данном руководстве литературы.

5.2 В схеме одного из ЛЭ, заданных преподавателем, условное графическое обозначение транзистора, выполненное с использованием печатающих устройств, заменить его стандартным изображением.

5.3 Составить структурные схемы для исследования статических характеристик ЛЭ (входной, выходной, передаточной), динамических характеристик ЛЭ, характеристик помехоустойчивости ЛЭ, потребляемой мощности ЛЭ.

5.4 Используя результаты расчета характеристик насыщенного ключа оценить поведение статических характеристик ЛЭ с простым инвертором (рисунок 1). В расчетах полагать: транзисторы - кремниевые с коэффициентом $\beta=10$, сопротивления резисторов $R_1 - 10 \text{ кОм}$, $R_2 - 1 \text{ кОм}$.

5.5 Рассчитать напряжение на выходе сложного инвертора ЛЭ при отсутствии нагрузки.

5.6 Оценить параметры помехоустойчивости ЛЭ с простым инвертором.

6 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

6.1 С помощью электронного вольтметра снять зависимость выходного напряжения ЛЭ от величины входного напряжения (передаточная характеристика ЛЭ по постоянному току) при максимально возможной нагрузке и при ее отсутствии. В качестве источника входного напряжения на макете УМ-16 можно использовать выход одного из его каналов при отсутствии выходных импульсов. Построить характеристику и рассчитать параметры помехоустойчивости ЛЭ.

6.2 Проверить правильность функционирования ЛЭ. Составить таблицу истинности.

6.3 С помощью электронного вольтметра и дополнительного резистора, включенного между входом ЛЭ и источником входного напряжения, снять зависимость входного тока ЛЭ от величины входного напряжения

(входная характеристика ЛЭ по постоянному току). По результатам исследований оценить величину резистора R_1 ЛЭ.

6.4 Снять зависимость выходного напряжения ЛЭ от величины сопротивления нагрузки, включенной между выходом ЛЭ и положительным (отрицательным) выводом источника питания при нулевом и единичном входном сигнале. По графику выходной характеристики определить допустимый коэффициент разветвления по выходу.

6.5 С помощью дополнительного резистора, включенного в цепь питания ИМС, определить мощности потребления в статическом режиме.

6.6 С помощью осциллографа измерить параметры входных и выходных импульсов ЛЭ при максимально возможной нагрузке и при ее отсутствии. На эяорах представить временные параметры импульсов.

6.7 Снять зависимость тока потребления при переключении ЛЭ. Измерить мощность потребления ЛЭ в динамическом режиме (без учета нагрузки). Оценить потребляемую мощность при максимально возможной для данной частоты следования импульсов.

6.8 Повторить исследования по п.п. 6.1...6.7 для других типов ЛЭ. Сравнить характеристики исследуемых ИМС.

7 КОНТРОЛЬНЫЕ ВОПРОСЫ

7.1 Назначение, состав, работа ЛЭ ТТЛ.

7.2 Назначение, состав, работа каскада, реализующего логическую функцию И (НЕ).

7.3 Достоинства и недостатки выходного каскада, выполненного по схеме простого (сложного) инвертора.

7.4 Указать элементы и их характеристики, оказывающие наиболее существенное влияние на длительность фронта (величину задержки) выходного сигнала ЛЭ.

7.5 Указать элементы и их характеристики, оказывающие наиболее существенное влияние на потребляемую мощность ЛЭ в статическом и динамическом режимах.

7.6 Сравнить по параметрам помехоустойчивости схемы ЛЭ с простым и сложным инвертором.

7.7 Объединение выходов ТТЛ ИМС.

7.8 Состав и работа схемы ЛЭ с тремя выходными состояниями.

7.9 ЛЭ И-ИЛИ-НЕ, расширение логических функций.

7.10 Основные статические характеристики и параметры ЛЭ.

7.11 Основные динамические характеристики и параметры ЛЭ.

8 СОДЕРЖАНИЕ ОТЧЕТА

Результаты проведенных исследований оформляются в рабочей тетради. Отчет по лабораторной работе должен содержать: цель исследований; результаты предварительной подготовки в виде расчетов и структурных схемы для исследования характеристик анализируемых устройств; структурные схемы проводимых исследований; результаты исследований в виде таблиц и графиков; анализ полученных результатов.

9 РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

9.1 Преснухин А.А., Воробьев Н.В., Шинкевич А.А. Расчет элементов цифровых устройств. - М.: Высшая школа, 1991.

9.2 Фролов В.П. Импульсные и цифровые устройства. - М.: Радио и связь, 1992.

9.3 Букреев И.А., Горячев Н.В., Мансуров Б.М. Микроэлектронные схемы цифровых устройств. - М.: Радио и связь, 1990.

9.4 Цифровая и вычислительная техника /Под ред. Э.В.Евреинова. М.: Радио и связь, 1991.

9.5 Угримов С.П. Проектирование узлов ЭВМ. - М.: Высшая школа, 1987.

9.6 Шило В.Л. Популярныe цифровые микросхемы. - М.: Радио и связь, 1988.