

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение
высшего профессионального образования
«Томский государственный университет систем управления и
радиоэлектроники»

Кафедра электронных приборов

Информационные технологии в электронике

ТЕСТИРОВАНИЕ ОЗУ

Методические указания к лабораторной работе
для студентов направления «Электроника и микроэлектроника»
(специальность «Электронные приборы и устройства»

2012

Колегов Алексей Анатольевич

Тестирование ОЗУ = Информационные технологии в электронике: методические указания к лабораторной работе для студентов направления «Электроника и микроэлектроника» (специальность «Электронные приборы и устройства» / А.А. Колегов; Министерство образования и науки Российской Федерации, Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования Томский государственный университет систем управления и радиоэлектроники, Кафедра электронных приборов. - 2-е изд. - Томск: ТУСУР, 2012. - 15 с.

Целью данной лабораторной работы является ознакомление студентов с наиболее общими представлениями о методах тестирования запоминающих устройств (ЗУ).

Важная роль в обеспечении надежности ЗУ отводится методам и средствам их контроля на различных этапах производства и эксплуатации

Предназначено для студентов очной и заочной форм, обучающихся по направлению «Электроника и микроэлектроника» (специальность «Электронные приборы и устройства») по дисциплине «Информационные технологии в электронике».

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«Томский государственный университет систем управления и
радиоэлектроники»

Кафедра электронных приборов

УТВЕРЖДАЮ

Зав.кафедрой ЭП

_____ С.М. Шандаров

« ____ » _____ 2012 г.

Информационные технологии в электронике

ТЕСТИРОВАНИЕ ОЗУ

Методические указания к лабораторной работе
для студентов направления «Электроника и микроэлектроника»
(специальность «Электронные приборы и устройства»

Разработчик

_____ А.А.. Колегов

« ____ » _____ 2012 г.

Содержание

1 Введение.....	5
2 Теоретическая часть.....	6
2.1 Тесты для полупроводниковых оперативных запоминающих микросхем.....	6
2.2 Тесты для ОЗУ.....	10
2.3 Методические указания для выполнения лабораторной работы.....	12
3 Экспериментальная часть.....	13
3.1 Задание на работу.....	13
3.2 Содержание отчета.....	13
Литература.....	13

1 Введение

Целью данной лабораторной работы является ознакомление студентов с наиболее общими представлениями о методах тестирования запоминающих устройств (ЗУ).

Важная роль в обеспечении надежности ЗУ отводится методам и средствам их контроля на различных этапах производства и эксплуатации.

Различают следующие виды контроля ЗУ:

- контроль статических параметров — входных и выходных напряжений, входных и выходных токов, токов потребления от источников питания и т.д.;
- контроль динамических параметров — времени выборки, параметров временной диаграммы входных сигналов и т.д.;
- контроль функционирования (или функциональный контроль), обеспечивающий проверку работоспособности ЗУ в заданных условиях эксплуатации.

С увеличением степени интеграции ЗУ все большее значение приобретает функциональный контроль, при котором проверяется работоспособность всех узлов ЗУ, а также взаимовлияние различных его элементов. Проверка функционирования ЗУ при предельных значениях параметров временной диаграммы позволяет отбраковывать ЗУ и по динамическим параметрам.

При проведении функционального контроля на выходы ЗУ подается тестовая последовательность, состоящая из набора элементарных тестов. Каждый элементарный тест представляет собой совокупность сигналов, подаваемых на входы ЗУ в фиксированный момент времени. Реакция ЗУ на элементарный тест, проявляющаяся в виде сигналов на его выходах, фиксируется и сравнивается с эталонной информацией, соответствующей исправному устройству.

Тестовые последовательности (далее просто тесты) для ЗУ ориентированы на выявление характерных видов отказов. Вследствие большой емкости современных ЗУ тесты для контроля отличаются большой длительностью и сложностью. Различные требования к времени прохождения теста и ориентация на преимущественное выявление определенных, наиболее характерных для данного типа ЗУ, дефектов породили большое разнообразие используемых тестов.

Существенные различия имеются между способами функционального контроля оперативных ЗУ и ЗУ с постоянной или редко изменяемой информацией.

При контроле оперативных ЗУ с помощью устройства контроля формируются входные тестовые последовательности. Считываемые из ЗУ данные (при исправном ЗУ) полностью определяются сформированной

устройством контроля тестовой информацией.

Тесты для ЗУ могут отличаться от тестов запоминающих микросхем (ЗМ). При проверке ЗУ нет необходимости проверять взаимовлияние между запоминающими элементами (ЗЭ) различных микросхем, так как оно отсутствует. Вследствие этого продолжительность контроля может быть уменьшена.

2 Теоретическая часть

2.1 Тесты для полупроводниковых оперативных запоминающих микросхем

Для контроля полупроводниковых ЗМ используются различные тестовые последовательности. Каждый тест характеризуется различной длительностью и степенью выявления отказов. В зависимости от числа циклов обращения при контроле тесты можно условно разделить на следующие группы: типа N циклов, типа N^2 циклов, типа N^3 циклов, типа $N^{3/2}$ циклов, тесты регенерации. В табл. 2.1 приведены наиболее распространенные тесты и отказы, которые они выявляют. Полная последовательность обращений к ЗМ для всех рассматриваемых тестов, кроме теста «Дождь», выполняется как с прямой, так и с инверсной информацией.

«Последовательная запись и считывание (Марш)». В матрицу ЗЭ последовательно записываются 1 (0). Затем информация последовательно считывается. Тест обладает слабыми контролирующими свойствами, так как проверяет лишь схемы записи и считывания ЗМ.

Таблица 2.1

Тип теста	Длительность прохождения теста, циклы	Обнаруживаемые отказы и сбои								
		В матрице			В дешифраторе			Вследствие изменения динамических параметров		
		Отсутствие записи	Ложная запись	Ложное считывание	Отсутствие выборки	Многоадресная выборка	Неоднозначная выборка	Времени выборки	Времени восстановления после записи	Периода регенерации
Типа N циклов										
1. Последовательная запись и считывание	4N	+	0	0	0	0	0	-	0	0
2. Шахматный код	4N	+	-	0	-	0	0	-	0	0
3. Считывание-запись в прямом и обратном направле-	5N	+	+	-	-	-	-	-	-	0

Окончание табл. 2.1

Тип теста	Длительность прохождения теста, циклы	Обнаруживаемые отказы и сбои								
		В матрице			В дешифраторе			Вследствие изменения динамических параметров		
		Отсутствие записи	Ложная запись	Ложное считывание	Отсутствие выборки	Многоадресная выборка	Неоднозначная выборка	Времени выборки	Времени восстановления после записи	Периода регенерации
ниях										
4. Последовательное заполнение со считыванием (Марш)	10N	+	+	-	-	-	-	-	-	0
5. Диагональ	$2(2N+2N^{1/2})$	+	-	0	+	-	+	-	0	0
6. Четность (нечетность) адреса	4N	+	-	0	+	-	+	-	0	0
7. Обращение к прямому и дополняющему адресам	10N	+	-	-	+	-	+	-	-	0
8. Обращение к соседним адресам	128N	+	+	-	-	-	0	-	-	0
9. Считывание по столбцам	8N	+	-	-	-	-	+	-	0	0
Типа N^2 циклов										
10. Бегущая 1 (0)	$2(N^2+2N)$	+	+	+	-	-	-	-	-	0
11. Попарное считывание	$2(2N^2+2N)$	+	+	+	+	+	+	+	-	0
12. Попарное считывание с модификацией	$2(3N^2+3N)$	+	+	+	+	+	+	+	-	0
13. Попарная запись-считывание	$2(4N^2-2N)$	+	+	+	+	+	+	+	-	0
14. Попарная запись-считывание с полным перебором	$2(8N^2-8N)$	+	+	+	+	+	+	+	+	0
Типа N^3 циклов										
15. Дождь (полный период, малый период)										
16. Бегущий столбец	N^3, N^2	+	+	+	+	+	+	-	-	0
17. Бегущая 1 (0) в столбце	$2(N^{3/2}+3N)$	+	+	+	-	-	-	-	0	0
18. Бегущая строка	$2(N^{3/2}+4N)$	+	+	+	+	-	-	-	0	0
19. Бегущая 1 (0) в строке	$2(N^{3/2}+3N)$	+	+	+	-	-	-	-	0	0

Тип теста	Длительность прохождения теста, циклы	Обнаруживаемые отказы и сбои								
		В матрице			В дешифраторе			Вследствие изменения динамических параметров		
		Отсутствие записи	Ложная запись	Ложное считывание	Отсутствие выборки	Многоадресная выборка	Неоднозначная выборка	Время выборки	Время восстановления после записи	Период регенерации
20. Попарное считывание по строке	$2(N^{3/2}+4N)$	+	+	+	+	-	-	-	0	0
21. Попарное считывание по столбцу	$2(2N^{3/2}+3N)$	+	+	+	+	-	+	-	-	0
22. Попарное считывание по диагонали	$2(2N^{3/2}+3N)$	+	+	+	+	-	+	-	-	0
23. Попарная запись-считывание по строке и столбцу с полным перебором	$2(2N^{3/2}+3N)$	+	+	+	+	+	+	-	-	0
24. Сдвигаемая диагональ	$2(16N^{3/2}+16N)$	+	+	+	+	+	+	+	+	0
Тесты регенерации										
25. Статический	$2(N^{3/2}+3N)$									
26. Шахматный код с регенерацией	$2(t_{\text{рег}}+2N)$	+	+	-	+	+	+	-	0	0
27. Возбуждение матрицы чтением строк	$2(N^{1/2}t_{\text{рег}}+2N)$	+	0	0	0	0	0	0	0	+
28. Возбуждение матрицы многократной записью со считыванием по столбцам	$2t_{\text{рег}}+3N$	+	0	0	-	0	0	0	0	+
29. Возбуждение матрицы многократным считыванием из столбца	$2(N^{1/2}t_{\text{рег}}+4N)$	+	0	0	-	0	0	0	0	+
30. Возбуждение матрицы обращением по квадрату	$2(N^{1/2}t_{\text{рег}}+2N)$	+	0	+	-	0	0	0	0	+
	$2(Nt_{\text{рег}}+2N)$	+	-	+	-	0	0	0	0	+

Примечание: + — эффективный контроль; - — частичный контроль; 0 — не контролирует

«Последовательное заполнение со считыванием». Алгоритм проверки для данного теста приведен в табл. 2. 2.

Таблица 2.2

Номер цикла	Циклы теста «Последовательное заполнение со считыванием»	Назначение циклов
1	Запись 1 по всем адресам	Запись исходной информации
2	Считывание 1, запись 0. Повторение для всех адресов, начиная с младшего	Контроль сохранения 1 при записи 0 по младшим адресам
3	Считывание 0, запись 1. Повторение для всех адресов, начиная с младшего	Контроль сохранения 0 при записи 1 по младшим адресам и записи 0 в цикле 2
4	Считывание 1, запись 0. Повторение для всех адресов, начиная со старшего	Контроль сохранения 1 при записи 0 по старшим адресам и записи 1 в цикле 3
5	Считывание 0, запись 1. Повторение для всех адресов, начиная со старшего	Контроль сохранения 0 при записи 1 по старшим адресам и записи 0 в цикле 4
6	Считывание 1 по всем адресам	Контроль сохранения 1 при записи 1 в цикле 5

Тесты для многоразрядных запоминающих микросхем

В многоразрядных ЗМ возможны взаимовлияние входных и выходных разрядных шин и цепей, а также паразитные связи между усилителями и формирователями разных разрядов. При отказах подобного рода невозможно получить разнородную (нулевую и единичную) информацию в связанных разрядах. Для обнаружения таких отказов можно использовать следующие тесты.

Последовательное заполнение разрядов 1 и 0. Во все ЗЭ матрицы последовательно записывается однородная информация (фон), которая затем считывается. Тест повторяется $2n$ раз с многоразрядными словами фона вида $00...0$, $10...0$, $11...0$ и т.д. до $11...1$, затем от $11...1$, $01...1$, $00...1$ и т.д. до $00...0$ (n — разрядность слова ЗМ). Длина теста $4nN$ циклов. При прохождении данного теста в любых разрядах ЗМ создаются условия для хранения, приема и выдачи разнородной информации. Поэтому случай любого любого разнородного взаимодействия будет выявлен.

Данный тест аналогичен ранее рассмотренному тесту «Последовательная запись и считывание». В обоих тестах одинаковая последовательность операций записи и считывания, отличие состоит лишь в том, что для разных разрядов тест проводится с разными значениями фона и тестового

слова. Например, если записывается слово 10...0, то для первого разряда ЗМ тест проводится со значением фона 1, а для остальных — с 0.

«Адресный код». Если разрядность ЗМ больше или равна разрядности кода адреса, то код адреса может быть записан в выбранное слово. Тест заключается в записи и последующем чтении по каждому адресу ЗМ числа, которое равно коду адреса. Тест обеспечивает частичный контроль адресной части и имитирует обращение с псевдослучайной информацией. В каждом разряде контролируемой ЗМ после записи хранится некоторый шахматный код. Длина теста $2N$.

Также для проверки ЗУ используется «Сдвигаемый адресный код» и так называемые «Тяжелые тесты».

2.2 Тесты для ОЗУ

Модули памяти полупроводниковых ЗУ состоят из набора ЗМ и элементов электроники обрамления, предназначенных для дешифрации адреса столбца ЗМ и согласования входов и выходов ЗМ со схемами управления по нагрузочной способности и, в ряде случаев, по уровням сигналов.

С точки зрения тестирования МП и ЗУ имеют особенности по сравнению с ЗМ: большая информационная емкость; отсутствие взаимовлияния между ЗЭ различных ЗМ.

При тестировании МП и ЗУ возможны два подхода: тест запускается по всем адресам МП или ЗУ либо выбранным тестом отдельно проверяется каждый столбец ЗМ, а проверка выборки столбца ЗМ осуществляется тестом, контролирующим дешифраторы (рис. 2.1).

При прогоне теста по всем адресам МП число циклов проверки

$$N_{цпр} = D_T N_{МП}^v, \quad (2.1)$$

где D_T — коэффициент, определяемый типом теста; v — степень теста.

В случае последовательной проверки столбцов ЗМ в МП длительность проверки

$$N'_{\sigma r \sigma} = D_T (N_{\sigma})^v \frac{N_{i i}}{N_{\sigma}} + D_T \left(\frac{N_{i i}}{N_{\sigma}} \right)^v. \quad (2.2)$$

Так как число столбцов ЗМ в МП много меньше емкости ЗМ, то

$$N'_{цпр} \approx D_T (N_{ЗМ})^v \frac{N_{МП}}{N_{ЗМ}} = N_{цпр} \frac{1}{(N_{МП}/N_{ЗМ})^{v-1}}. \quad (2.3)$$

Выигрыш по быстродействию для способа последовательного контроля столбцов ЗМ зависит от типа используемого теста. Для тестов типа N циклов выигрыш по быстродействию отсутствует, так как для этих тестов $v = 1$.

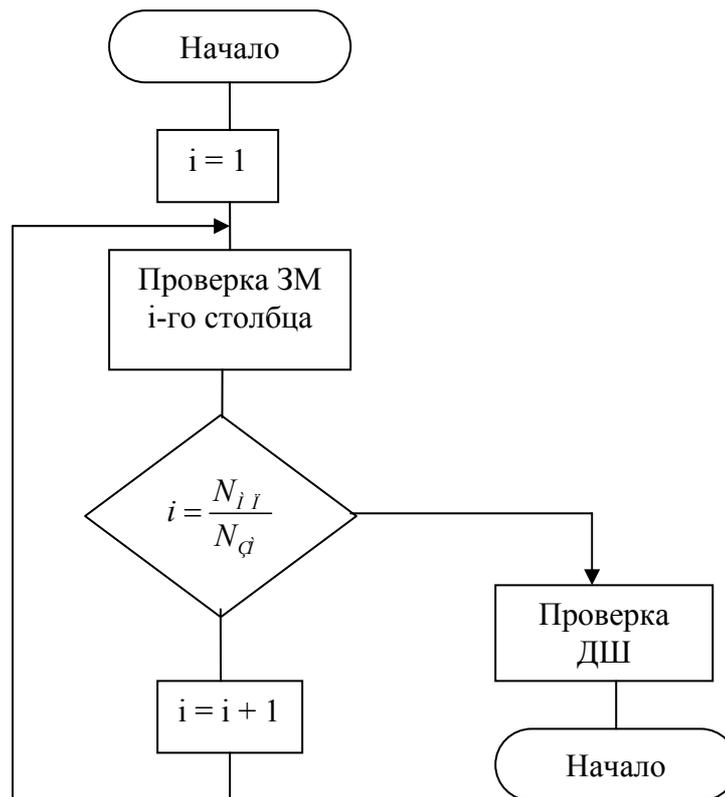


Рисунок 2.1 — Схема алгоритма тестирования модуля памяти

Для тестов типа N^2 циклов длительность проверки МП уменьшается в $N_{МП}/N_{ЗМ}$ раз, а тестов типа $N^{3/2}$ циклов — в $\sqrt{N_{МП} / N_{ЗМ}}$ раз. Тесты типа N^2 циклов непригодны для контроля ЗУ большой емкости вследствие значительной длительности проверки. В этих случаях необходимо использовать либо тесты типа N , либо тесты типа $N^{3/2}$ циклов. Конкретный тип теста выбирается по результатам исследований используемых ЗМ.

С точки зрения области применения тесты ЗУ могут быть разделены на тесты для технологического производственного контроля и тесты для контроля ЗУ на этапе эксплуатации.

Тесты для технологического производственного контроля применяют при наладке МП и ЗУ, а также для прямо-сдаточных и других видов испытаний устройств. Эти тесты должны проверять МП и ЗУ в наиболее тяжелых условиях. Они должны обеспечивать максимальные значения помех по цепям питания при переключении ЗМ, наихудшие значения временных задержек внутренних и выходных сигналов ЗМ, наиболее тяжелые для используемых ЗМ адресные переходы и распределения информации.

В качестве базового теста в этом случае целесообразно использовать модификации тестов типа $N^{3/2}$ циклов (или N^2 для ЗУ малой емкости) или модификации тестов типа N («Марш»), если последние оказываются наи-

более тяжелыми для применяемых ЗМ. Испытания ЗУ необходимо проводить при предельных значениях питающих напряжений и рабочих температур.

На этапе эксплуатации тесты применяются для контроля работоспособности ЗУ и поиска неисправного элемента. Большинство отказов в этом случае связано с устойчивым нарушением работоспособности ЗЭ или цепей выборки, записи и считывания данных. Поэтому для уменьшения длительности контроля достаточно использовать тесты, проверяющие функционирование элементов ЗУ (например, тест «Марш» с шахматным распределением информации в различных разрядах слова). Могут использоваться комбинации простейших тестов: например, контроль ЗЭ и цепей записи и считывания данных проводят с помощью теста «Последовательная запись и считывание», а контроль адресных цепей — на одном из тестов, проверяющих правильность выборки ЗЭ, например Адресный код.

2.3 Методические указания для выполнения лабораторной работы

Для выполнения лабораторной работы необходим персональный компьютер или ноутбук. Объектом тестирования будет оперативная память компьютера. В современных компьютерах объем такой памяти велик, что намного увеличит время проведения теста по всем адресам, поэтому предлагается проверить 32768 доступных адресов средствами языка программирования PASCAL. Например, можно организовать доступ к памяти с помощью оператора `mem[seg:addr]`, где `seg` взять в таблице 2.3 и `addr` от 0 до 32767. Следует отметить, что в настоящее время существует много тестов памяти ОЗУ, они работают по методам, описанным ранее. Тест памяти может занимать более 4 часов и запускается с внешнего носителя (CD, floppy). В нашей лабораторной работе мы наглядно продемонстрируем работу метода «Последовательное заполнение разрядов 1 и 0» на небольшом объеме памяти.

Таблица 2.3 — Варианты заданий

№ Варианта	Seg	№ Варианта	Seg
Окончание табл. 1.3	10000	6	15000
2	11000	7	16000
3	12000	8	17000
4	13000	9	18000
5	14000	10	19000

3 Экспериментальная часть

3.1 Задание на работу

1. Организовать цикл по всем тестируемым адресам, записывая в каждый адрес 0 (инициализация).

2. Организовать цикл по словам фона. Так как адресу соответствует 1 байт информации, то необходимо проверить 8 разрядов информации, поэтому словами фона будут 00000000, 10000000, 11000000 и т.д. до 11111111. Что соответствует циклу для i от 1 до 8, в котором слово фона будет равно в десятичном эквиваленте $2^i - 1$.

3. В теле цикла, организованного в пункте 2, организовать цикл по всем тестируемым адресам, в этом цикле необходимо считать информацию и сравнить с ранее записанной, если информация ошибочна, то необходимо инкрементировать количество ошибок на единицу. Записать в адрес следующую информацию, соответствующую текущему слову фона.

4. Организовать работу пунктов 2 и 3 в обратном направлении, т.е. от слова фона 11111111 до 00000000.

5. Выходными данными программы будут интервал тестируемых адресов и количество ошибок. Реализовать путем вывода на экран или в файл.

3.2 Содержание отчета

Отчет должен содержать:

1. Титульный лист.
2. Цель.
3. Название используемого метода тестирования.
4. Алгоритм используемого метода тестирования в виде блок-схемы и в текстовом виде.
5. Листинг программы.
6. Выводы.

Литература

1. Кудинов Ю.И., Пащенко Ф.Ф. Основы современной информатики: Учебное пособие. 2-е изд., испр. - СПб.: Издательство "Лань", 2011. - 256 с.: ISBN 978-5-8114-0918- http://e.lanbook.com/books/element.php?pl1_cid=25&pl1_id=2024
2. Аналоговая и цифровая электроника. Полный курс : Учебник для вузов / Ю. Ф. Опадчий, О. П. Глудкин, А. И. Гуров ; ред. О. П. Глудкин. - М. : Горячая линия-Телеком, 2005. - 768 с - ISBN 5-93517-002-7
3. Электронные приборы и устройства на их основе: Справочная книга/ Ю. А. Быстров, С. А. Гамкрелидзе, Е. Б. Иссерлин, В. П. Черепанов. -М.: РадиоСофт, 2002.- 656 с. ISBN 5-93037-082-6 (в пер.)
4. Микропроцессорные структуры: Инженерные решения : Справочник / Борис Владимирович Шевкопляс. - Дополнение первое. - М. : Радио и связь, 1993. - 252[4] с. -

ISBN 5-256-00973-7 (в пер.)

5. Цифровые устройства и микропроцессорные системы : Учебник для средних специальных учебных заведений связи / Б. А. Калабеков. - 2-е изд., перераб. и доп. - М. : Горячая линия-Телеком, 2007. - 336 с. : ил., табл. - ISBN 5-93517-008-6 135 экз

6. Защита информации в компьютерных системах и сетях / Ю. В. Романец, П. А. Тимофеев, В. Ф. Шаньгин ; ред. : В. Ф. Шаньгин. - 2-е изд., перераб и доп. - М. : Радио и связь, 2001. - 376 с. - ISBN 5-256-01518-4

Учебное пособие

Колегов А.А.

Тестирование ОЗУ

Методические указания к лабораторной работе
по дисциплине «Информационные технологии в электронике»

Усл. печ. л. _____ Препринт
Томский государственный университет
систем управления и радиоэлектроники
634050, г.Томск, пр.Ленина, 40