

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное
учреждение высшего профессионального образования

«ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ СИСТЕМ
УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ»
(ТУСУР)

Кафедра телевидения и управления
(ТУ)

УТВЕРЖДАЮ

Заведующий кафедрой ТУ, профессор

_____ И.Н. Пустынский

« _____ » _____ 2012 г.

МЕТОДИЧЕСКИЕ УКАЗАНИЯ

по практическим занятиям и самостоятельной работе по
дисциплине

«Цифровые устройства и микропроцессоры»,

«Вычислительная техника и информационные технологии»

Для специальности 210302 (радиотехника)

Для специальности 210 401 (физика и техника оптической связи)

РАЗРАБОТАЛ

_____ Потехин В.А.

« _____ » _____ 2012 г.

Потехин В.А. Методические указания по практическим занятиям и самостоятельной работе по дисциплине «Цифровые устройства и микропроцессоры», «Вычислительная техника и информационные технологии» Для специальности 210302 (радиотехника) Для специальности 210 401 (физика и техника оптической связи). – Томск: кафедра ТУ, ТУСУР, 2012. – 21 с.

Данное учебно-методическое пособие (УМП) призвано оказать помощь студентам, изучающим такие курсы как «Цифровые устройства и микропроцессоры», «Вычислительная техника и информационные технологии». В первую очередь пособие рассчитано оказать методическую помощь при выполнении плановой контрольной работы.

© Потехин В.А., 2012

© Кафедра Телевидения и управления, ТУСУР, 2012

Содержание

1. Введение	4
2. Программа лекционного курса.....	5
3. Список рекомендуемой литературы.....	6
4. Основы теории цифровых устройств	7
4.1 Перевод чисел из одной системы счисления в другую	7
4.2 Основные законы алгебры логики.....	11
4.3 Минимизация логических функций с помощью карт Карно ..	12
5. Примеры решения задач	14
5.1 Варианты заданий к контрольной работе	15

1. Введение

Данное учебно-методическое пособие (УМП) призвано оказать помощь студентам, изучающим такие курсы как «Цифровые устройства и микропроцессоры», «Вычислительная техника и информационные технологии». В первую очередь пособие рассчитано оказать методическую помощь при выполнении плановой контрольной работы.

2. Программа лекционного курса

2.1. Общие сведения о цифровых микросхемах: классификация, система условных обозначений ИС, основные характеристики логических элементов.

2.2. Арифметические основы цифровых устройств. Позиционная система счисления, перевод чисел из одной системы счисления в другую. Формы представления чисел в цифровых устройствах, двоичная арифметика. Кодирование отрицательных чисел. Суммирование чисел со знаками. Умножение сложение двоичных чисел.

2.3. Логические основы цифровых устройств. Основные законы и положения алгебры логики. Элементарные логические функции. Представление переключательных функций. Минимизация логических функций.

2.4. Базовые логические элементы ТТЛ, ТТЛШ, КМОП,

2.5. Цифровые устройства комбинационного типа: шифраторы, дешифраторы, мультиплексоры, арифметические устройства, арифметическо-логические устройства, схемы сравнения цифровых кодов, преобразователи кодов, схемы контроля правильности передачи информации, шинные формирователи, приемопередатчики.

2.6. Устройства последовательностного действия. Триггерные ячейки R-S-типа, синхронные одноступенчатые триггеры, D-триггеры, счетные триггеры, универсальные J-K триггеры.

2.7. Регистры. Параллельные регистры, сдвигающие регистры, реверсивные регистры, кольцевые регистры-счетчики.

2.8. Счетчики. Двоичные суммирующие счетчики с последовательным переносом, вычитающие двоичные счетчики, реверсивные двоичные счетчики, двоичные счетчики с параллельным переносом, десятичные счетчики.

2.9. Программируемые делители. Программируемые делители с предварительной установкой, программируемые делители на кольцевых счетчиках.

2.10. Динамическая индикация.

3. Понятия о цифровых автоматах.

4. Аналого-цифровые и цифро-аналоговые преобразователи

3. Список рекомендуемой литературы

3.1. Вениаминов В.Н., Лебедев О. Н., Мирошниченко А. И. Микросхемы и их применение: Справ. пособие. – 3-е изд., перераб. и доп. – М.: Радио и связь, 1989. – 240 с.

3.2. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат. Ленингр. отделение, 1986. – 280 с.

- 3.3. Калабеков Б.А. Цифровые устройства и микропроцессорные устройства: Учебник для техникумов связи. – М.: Горячая линия–Телеком, 2000.–336 с.
- 3.4. Потехин В.А. Цифровые устройства. Учебное пособие. – Томск: Томский межвузовский центр дистанционного образования, 2002. – 263 с.
- 3.5. Шарапов А.В. Цифровые и микропроцессорные устройства: Учебное пособие для вузов. – Томск: Томский государственный университет систем управления и радиоэлектроники, 1998. – 161 с.

3.1 Список дополнительной литературы

- 3.1.1. Браммер Ю.А., Пащук И.Н. Импульсные и цифровые устройства: Учеб. для студентов электрорадиоприборостроительных сред. спец. заведений. – 6-ое изд., перераб. и доп. – М.: Высш. шк., 1999. – 351 с.
- 3.1.2. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. – М.: Радио и связь, 1990. – 304 с.
- 3.1.3. Нешумова К.А. Электронные вычислительные машины и системы. Учеб. для техникумов спец. ЭВТ. – 2-е изд., доп. и перераб. – М.: Высш. шк., 1989. – 366 с.
- 3.1.4. Хоровиц П., Хилл У. Искусство схемотехники: Пер. с англ.– Изд. 6-ое. – М.: Мир, 2001. – 704 с.
- 3.1.5. Шило В.Л. Популярные цифровые микросхемы: Справочник. – М.: Металлургия, 1988. – 352 с.
- 3.1.6. Цифровые интегральные микросхемы: Справочник/ М.И. Богданович и др.– Минск.: Беларусь, 1991. – 493. с.
- 3.1.6. Цифровые интегральные микросхемы: Справочник/ Мальцев П.П., Долидзе Н.С., Критенко М.И. и др. – М.: Радио и связь, 1994. –240 с.

4. Основы теории цифровых устройств

4.1 Перевод чисел из одной системы счисления в другую

Метод деления/умножения

Правило перевода целых чисел. Для перевода целого числа N_p , представленного в системе счисления с основанием p , в систему счисления с основанием q необходимо данное число делить на основание q (по правилам системы с основанием p) до получения целого остатка, меньшего q . Полученное частное снова необходимо разделить на основание q и т.д., пока последнее частное не станет меньше q . Число N_q в новой системе счисления представится в виде упорядоченной последовательности остатков в порядке, обратном их получению. Причем цифру старшего разряда дает последнее частное.

Пример 1. Перевести десятичное число 3567_{10} в двоичный код, результат проверить.

число	делитель	остаток	
3567	2	1	(младший разряд)
1783	2	1	
891	2	1	
445	2	1	
222	2	0	
111	2	1	$3567_{10} = 110111101111_2$
55	2	1	
27	2	1	
13	2	1	
6	2	0	
3	2	1	
1	2	1	(старший разряд)
0			

$$\begin{aligned} \text{Проверка: } 110111101111_2 &= \\ 1 \cdot 2^{11} + 1 \cdot 2^{10} + 0 \cdot 2^9 + 1 \cdot 2^8 + 1 \cdot 2^7 + 1 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 &= \\ 2048 + 1024 + 256 + 128 + 64 + 32 + 8 + 4 + 2 + 1 &= 3567_{10}. \end{aligned}$$

Пример 2. Перевести десятичное число 3567_{10} в восьмеричный код, результаты проверить.

число	делитель	остаток	
3567	8	7	(младший разряд)
445	8	5	$3567_{10} = 6757_8$
55	8	7	
6	8	6	(старший разряд)

Проверка: $6757_8 = 6 \cdot 8^3 + 7 \cdot 8^2 + 5 \cdot 8^1 + 7 \cdot 8^0 = 3072 + 448 + 40 + 7 = 3567_{10}$.

Пример 3. Перевести десятичное число 3567_{10} в шестнадцатеричный код, результат проверить.

число	делитель	остаток	
3567	16	15	(младший разряд)
222	16	14	$3567_{10} = DEF_{16}$
13	16	13	(старший разряд)
0			

Проверка: $DEF_{16} = 13 \cdot 16^2 + 14 \cdot 16^1 + 15 \cdot 16^0 = 3328 + 224 + 15 = 3567_{10}$.

Правило перевода правильной дроби. Перевод правильной дроби N_p , представленной в системе счисления с основанием p , в систему с основанием q заключается в последовательном умножении этой дроби на основание q (по правилам системы счисления с основанием p), причем перемножению подвергаются только *дробные* части. Дробь N_q в системе счисления с основанием q представится в виде упорядоченной последовательности **целых** частей произведений в порядке их получения, где цифра старшего разряда является первой цифрой первого произведения. Если требуемая точность перевода есть q^{-k} , то число последовательных произведений равно k .

Пример 1. Перевести десятичную дробь $0,3567_{10}$ в двоичную систему счисления с точностью до 2^{-12} .

0,3567	0,7134	0,4268	0,8536	0,7072	0,4144	0,8288
$\times \underline{2}$	$\times \underline{2}$	$\times \underline{2}$	$\times \underline{2}$	$\times \underline{2}$	$\times \underline{2}$	$\times \underline{2}$
0,7134	1,4268	0,8536	1,7072	1,4144	0,8288	1,6578

0,6578	0,3156	0,6312	0,2624	0,5248	0,0496
$\times \underline{2}$	$\times \underline{2}$	$\times \underline{2}$	$\times \underline{2}$	$\times \underline{2}$	$\times \underline{2}$
1,3156	0,6312	1,2624	,5248	1,0496	0,0992
<hr style="width: 100%; border: 0; border-top: 1px solid black; margin: 0;"/> направление чтения →					

Искомое число в двоичном коде будет равно $0,101101101010_2 = 0,35645_{10}$.

Проведем проверку перевода:
 $0,101101101010_2 = 1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} + 1 \cdot 2^{-4} + 0 \cdot 2^{-5} + 1 \cdot 2^{-6} + 1 \cdot 2^{-7} + 0 \cdot 2^{-8} + 1 \cdot 2^{-9} + 0 \cdot 2^{-10} + 1 \cdot 2^{-11} + 0 \cdot 2^{-12} = 0,3567$.

Пример 2. Перевести $0,3567_{10} =$ в восьмеричный код с точностью q^{-4} .

$$\begin{array}{r} 0,3567 \quad 0,8536 \quad 0,8288 \quad 0,6304 \\ \times \quad 8 \quad \times \quad 8 \quad \times \quad 8 \quad \times \quad 8 \\ \hline 2,8536 \quad 6,8288 \quad 6,6304 \quad 5,0432 \\ \hline \text{направление чтения} \rightarrow \end{array}$$

Восьмеричный код числа $0,3567_{10} = 0,2665_8$.

Проверка перевода: $0,2665_8 = 2 \cdot 8^{-1} + 6 \cdot 8^{-2} + 6 \cdot 8^{-3} + 5 \cdot 8^{-4} = 0,35667_{10}$.

Пример 3. Перевести число $0,3567_{10}$ в шестнадцатеричный код с точностью q^{-3} .

$$\begin{array}{r} 0,3567 \quad 0,7072 \quad 0,3152 \\ \times \quad 16 \quad \times \quad 16 \quad \times \quad 16 \\ \hline 5,7072 \quad 11,3152 \quad 5,0432 \\ \hline \text{направление чтения} \rightarrow \end{array}$$

Шестнадцатеричный код числа $0,3567_{10} = 5B5_{16}$.

Проверка перевода дает: $5B5_{16} = 5 \cdot 16^{-1} + 11 \cdot 16^{-2} + 5 \cdot 16^{-3} \cong 0,356689_{10} \cong 0,35669$.

При переводе смешанных чисел необходимо отдельно перевести целую и дробную части, а полученные результаты объединить.

Перевод чисел из восьмеричной, шестнадцатеричной системы счисления и обратно.

Для перевода числа из *восьмеричной* системы счисления в *двоичную* каждую цифру этого числа необходимо записать трехразрядным двоичным числом (*триадой*). При этом восьмерично-двоичный код совпадает с двоичным.

Пример. $(235,275)_8 = 010 \ 011 \ 101, 010 \ 111 \ 101_{8-2} = 10011101,010111101_2$
 $2_{10} \ 3_{10} \ 5_{10}, 2_{10} \ 7_{10} \ 5_{10}$

Для перевода числа из *двоичной* системы счисления в *восьмеричную* необходимо разбить это число вправо и влево от запятой на триады и записать каждую группу цифрой в *восьмеричной системе*. Крайние неполные триады дополняются нулями.

Пример. $10101,0111_2 = 010 \ 101, 011 \ 100_{8-2} = 25,34_8$
 $2_8 \ 5_8, 3_8 \ 4_8$

Для перевода числа из *шестнадцатеричной* системы счисления в *двоичную* необходимо каждую цифру этого числа записать *тетрадой*, при этом шестнадцатерично-двоичный код совпадает с двоичным, поскольку $16 = 2^4$.

Пример 1. $9D,5E_{16} = 1001 \ 1101, 0101 \ 1110_{16-2} = 10011101,0101111_2$
 $9_{10} \ 13_{10}, 5_{10} \ 14_{10}$

Для перевода числа из *двоичной* системы счисления в *шестнадцатеричную* необходимо разбить это число вправо и влево от

запятой на тетрады и каждую тетраду представить шестнадцатеричной цифрой.

$$\text{Пример 2. } 111100,10101_2 = 0111\ 1100, 1010\ 1000_{16-2} = 7C, A8_{16}.$$
$$7_{16} \quad C_{16}, \quad A_{16} \quad 8_{16}$$

Основными недостатками двоичной системы счисления являются большая длина разрядной сетки по сравнению с другими системами счисления, необходимость перевода исходных числовых данных из десятичной системы счисления в двоичную, а результатов решения – из двоичной в десятичную.

Двоично-десятичная система счисления BD (Binary Decimals) имеет основание $d = 10$, и каждая цифра (0, 1, 2, 3, 4, 5, 6, 7, 8, 9) изображается в этой системе счисления четырехразрядным двоичным числом, называемым *тетрадой*. Она используется в ЭВМ не только в качестве вспомогательной системы счисления при вводе и выводе данных, но и в качестве основной при решении задач, когда в ЭВМ вводится и выводится большое количество чисел, а вычислений над ними производится мало. Десятичные числа в двоично-десятичной системе счисления кодируются в прямом нормально-взвешенном коде 8-4-2-1, т.е. каждую цифру десятичного числа необходимо заменить соответствующей тетрадой двоичных чисел.

Для перевода десятичного числа в двоично-десятичный код десятичный символ следует заменить его двоичным изображением в виде тетрады.

$$\text{Пример 3. } 91,37_{10} = 1001\ 0001, 0011\ 1111_{2-10}$$
$$9_{10} \quad 1_{10}, \quad 3_{10} \quad 7_{10}$$

Для перевода двоично-десятичного числа в десятичное необходимо исходный код разбить на тетрады вправо и влево от запятой (неполные тетрады дополнить нулями) и заменить полученные тетрады соответствующими десятичными символами.

$$\text{Пример 4. } 11001,00111_{2-10} = 0001\ 1001, 0101\ 1000 = 19,58_{10}$$
$$1_{10} \quad 9_{10}, \quad 5_{10} \quad 8_{10}$$

4.2. Основные законы алгебры логики

В алгебре логики имеется четыре основных закона:

1. *Переместительный*, или закон *коммутативности* для операций сложения и умножения соответственно:

$$A \vee B = B \vee A;$$

$$A \cdot B = B \cdot A.$$

2. *Сочетательный*, или закон *ассоциативности* для сложения и умножения соответственно:

$$(A \vee B) \vee C = A \vee (B \vee C);$$

$$(A \cdot B) \cdot C = A \cdot (B \cdot C).$$

3. *Распределительный*, или закон *дистрибутивности* для сложения и умножения соответственно:

$$(A \vee B) \cdot C = A \cdot C \vee B \cdot C;$$

$$(A \cdot B) \vee C = (A \vee C) \cdot (B \vee C).$$

4. Закон *двойственности* или *инверсии* (*правило де Моргана*) сложения и умножения соответственно: $\overline{A \vee B} = \overline{A} \cdot \overline{B}$; $\overline{A \cdot B} = \overline{A} \vee \overline{B}$.

Справедливость этих законов можно доказать с помощью таблиц истинности сложных логических связей, описываемых законом, или с помощью логических преобразований.

Для преобразований логических выражений пользуются легко доказываемыми тождествами:

$$A \vee 0 = A;$$

$$A \cdot 0 = 0;$$

$$\overline{\overline{A}} = A.$$

$$A \vee 1 = 1;$$

$$A \cdot 1 = A;$$

$$A \vee A = A;$$

$$A \cdot A = A;$$

$$A \vee \overline{A} = 1;$$

$$A \cdot \overline{A} = 0;$$

С помощью законов алгебры логики и тождеств могут быть доказаны соотношения, получившие названия правил:

поглощения

$$A \vee A \cdot B = A,$$

$$A \cdot (A \vee B) = A,$$

и склеивания

$$A \cdot B \vee A \cdot \overline{B} = A;$$

$$(A \vee B)(A \vee \overline{B}) = A.$$

Эти правила широко используют для преобразования переключательных функций с целью их упрощения.

Из правила де Моргана вытекают следствия:

$$A \vee B = \overline{\overline{A} \cdot \overline{B}},$$

$$A \cdot B = \overline{\overline{A} \vee \overline{B}},$$

с помощью которых появляется возможность выражать дизъюнкцию через конъюнкцию и отрицание, а конъюнкцию – через дизъюнкцию и отрицание. Законы двойственности справедливы для любого числа переменных.

Формы переключательной функции являются *двойственными*, если одна получается из другой путем замены всех символов операции И на символы операции ИЛИ и наоборот; всех нулей на единицы и наоборот. Например, для функции

$$X = \overline{(A \vee B)}(B \vee C) \vee AC$$

двойственной функцией будет

$$X_{\text{ДВ}} = \overline{AB} \vee BC \quad (A \vee C).$$

В булевой алгебре при отсутствии в выражении скобок вводится следующий *порядок действий*: первыми выполняются операции отрицания, далее – конъюнкции, затем – дизъюнкции. Наличие в выражении скобок изменяет обычный порядок действий: в первую очередь должны выполняться операции внутри скобок.

Основные законы и правила широко используются для минимизации логических функций алгебраическими методами. Другим способом минимизации логических функций является использование карт Карно (Вейча).

4.3 Минимизация логических функций с помощью карт Карно

Метод минимизации карт Карно (Вейча) находит широкое применение для минимизации переключательных функций 3–6 аргументов, поскольку обеспечивает простоту получения результата.

На рисунке 4.1 приведены карты Карно для четырех $f(x_4, x_3, x_2, x_1)$ аргументов с нанесенными на них номерами минтермов функции $f(x_4, x_3, x_2, x_1)$, где x_4 – старший разряд, x_1 – младший. Аргументы функции делятся на две группы: комбинации значений аргументов одной группы приписываются столбцам таблицы, комбинации значений аргументов другой группы – строкам таблицы. Столбцы и строки обозначаются комбинациями, соответствующими последовательности чисел в коде Грея, потому что в этом случае склеивающиеся клетки находятся рядом.

Карта Карно определяет значение функции на всех возможных наборах аргументов и, следовательно, является таблицей истинности. Карты Карно компактны и удобны для поиска склеиваемых членов переключательной функции СДНФ. Объясняется это тем, что два любых минтерма, находящихся в клетках, расположенных рядом друг с другом, являются соседними. Они могут быть заменены одной конъюнкцией, содержащей на одну переменную меньше. Группа из четырех минтермов, расположенных в соседних клетках, может быть заменена конъюнкцией, содержащей на две переменные меньше. В общем случае группа из 2^k соседних клеток будет заменена одной конъюнкцией с $n - k$ аргументами, при общем числе переменных равно n .

		X2					
		X1					
		00	01	11	10		
X3	00	M0 0	M1 1	M3 3	M2 2	X3	X4
	01	M4 4	M5 5	M7 7	M6 6		
	11	M12 12	M13 13	M15 15	M14 14		

		X2					
		X1					
		00	01	11	10		
X3	00	M0 0	M1 1	M3 3	M2 2	X3	X4
	01	M4 4	M5 5	M7 7	M6 6		
	11	M12 12	M13 13	M15 15	M14 14		

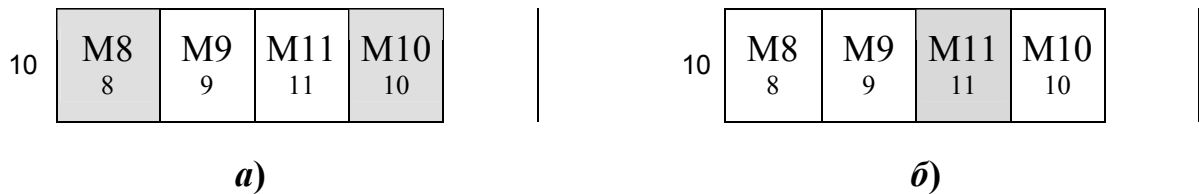


Рисунок 4.1 – Карты Карно: для 4-х аргументов

Минимизацию переключательных функций будем вести на основании следующих правил:

- все клетки, содержащие 1, объединяются в замкнутые области;
- каждая область должна представлять собой прямоугольник или квадрат с числом клеток 2^k ;
- клетки, расположенные на противоположных гранях таблицы, являются соседними, так как карту можно сворачивать в цилиндр по горизонтали и по вертикали;
- угловые клетки, расположенные на противоположных углах являются соседними, в том числе все четыре угловые клетки объединяются в одну область;
- области могут пересекаться и одни и те же клетки могут входить в разные области;
- клетки, значение функции в которых не определено (Φ), могут принимать любое значение (0 или 1);
- необходимо стремиться к тому, чтобы число областей было минимальным, а каждая область содержала возможно большее число клеток.

Пример 1. Минимизировать функцию четырех аргументов (рис. 5.1, a): $F = M0 \vee M2 \vee M8 \vee M10$.

Минимизированная функция равна: $F = \overline{X}_3 \overline{X}_1$.

Пример 2. На рисунке 4.1, б приведена функция:

$$F = M3 \vee M4 \vee M5 \vee M7 \vee M11 \vee M12 \vee M13 \vee M15.$$

Ее минимизированное выражение –

$$F = X_3 \overline{X}_2 + X_2 X_1.$$

5. Примеры решения задач

Задача 1. Реализовать булеву функцию $F = [(A \equiv B) + C(B \otimes C)] \cdot D$ на логических элементах ИЛИ-НЕ серии К555.

Преобразовать логическую функцию к базису ИЛИ-НЕ:

$$\begin{aligned} F &= [(A \equiv B) + C(B \otimes C)] D = [AB + \overline{A} \cdot \overline{B} + C(B\overline{C} + \overline{B}C)] D = \\ &= (AB + \overline{A} \overline{B} + C \cdot B \cdot \overline{C} + \overline{B} \cdot C \cdot C) \cdot D = (AB + \overline{A} \overline{B} + 0 + \overline{B} \cdot C) \cdot D = \\ &= (\overline{\overline{A} + \overline{B}} + \overline{A + B} + \overline{B + C}) \cdot D = Y4 \cdot D = \overline{\overline{Y4} + \overline{D}}, \end{aligned}$$

где $Y4 = \overline{A} + \overline{B} + A + B + B + \overline{C}$.

Инверторы организуем на двухвходовых ячейках К555ЛЕ1, логическое сложение сигналов – на трехвходовых логических ячейках ИЛИ-НЕ типа К555ЛЕ4, выходную функцию получим на ячейке ИЛИ-НЕ К555ЛЕ1 (рис. 6.1).

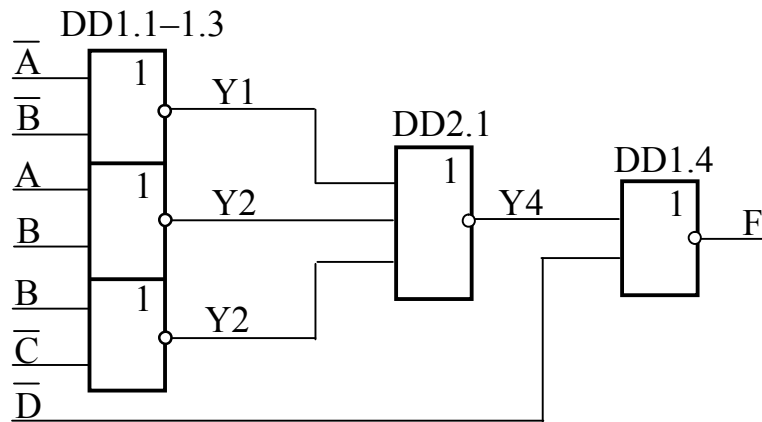


Рисунок 5.1 – Схемная реализация устройства

На реализацию устройства требуется два корпуса микросхемы К555, причем в корпусе К555ЛЕ4 две трехвходовые ячейки остались свободными.

Задача 2. Реализовать булеву функцию $F = (A \equiv B)\bar{C}$ на логических элементах ИЛИ-НЕ серии К555.

Задачу можно решить двумя способами.

Преобразуем логическую функцию к базису ИЛИ-НЕ:

$$F = (A \equiv B)\bar{C} = (AB + \bar{A} \cdot \bar{B})\bar{C} = AB\bar{C} + \bar{A} \cdot \bar{B} \cdot \bar{C} = \overline{\overline{AB\bar{C} + \bar{A} \cdot \bar{B} \cdot \bar{C}}} = \overline{\overline{AB\bar{C}} + \overline{\bar{A} \cdot \bar{B} \cdot \bar{C}}} = \overline{\overline{AB\bar{C}} + \overline{\bar{A} + \bar{B} + \bar{C}}} = \overline{\overline{AB\bar{C}} + A + B + C}.$$

Инверторы организуем на двухвходовых ячейках К55ЛЕ1, логическое сложение сигналов – на трехвходовых логических ячейках ИЛИ-НЕ К555ЛЕ4, выходную функцию получим на такой же ячейке (рис. 6.2).

На реализацию устройства понадобилось два корпуса микросхемы К555, причем в корпусе К555ЛЕ1 одна двухвходовая ячейка осталась свободной.

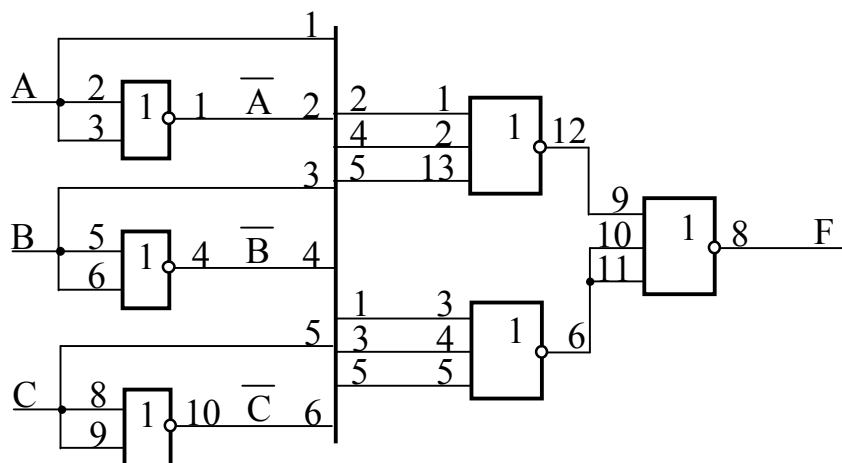


Рисунок 5.2 – Схемная реализация устройства

Второй вариант преобразования функции:

$$F = (A \equiv B)\bar{C} = (AB + \bar{A} \cdot \bar{B})\bar{C} = (\overline{\overline{A + B + A + B}}) \cdot \bar{C} = \overline{\overline{\overline{A + B + A + B}}} + C.$$

Функция может быть реализована на двухвходовых ячейках ИЛИ-НЕ, как показано на рисунке 5.3.

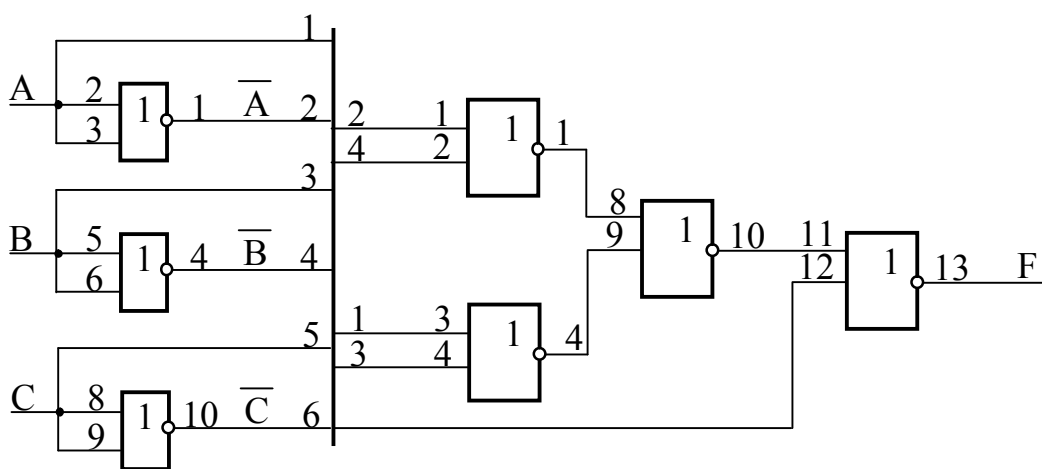


Рисунок 5.3 – Схемная реализация устройства

Для реализации функции требуется две микросхемы К555ЛЕ1 и по-прежнему одна ячейка оказывается свободной.

Задача 3. На каких наборах двоичного кода на входе дешифратора (A3A2A1= 4-2-1) загорится светодиод, если входы В-С-D-E комбинационной схемы (рис. 6.4) подключили к следующим выходам дешифратора?

Таблица 6.1

№ задания						Ответ								
	Входы	B	C	D	E	Номер набора	0	1	2	3	4	5	6	7
1	Выходы DC	2	3	5	6	Горит	-	-	1	1	-	-	-	-

Светодиод загорится только в том случае, если на выходном логическом элементе будет низкий уровень напряжения.

Активными уровнями на выходе дешифратора являются логические нули. В связи с чем сигнал $Y1 = \overline{BC}$ будет иметь высокий уровень на наборах 2 ($A1 \cdot \overline{A2}$) и 3 ($A1 \cdot A2$). Логическое произведение $Y2 = Y1 \cdot D$ будет равно лог.1 на этом же наборе.

Затем $Y2$ перемножается на E (с инверсией сигнала на выходе):

$$Y = \overline{Y2 \cdot E} = \overline{Y1 \cdot D \cdot E} = \overline{B \cdot C \cdot D \cdot E}.$$

Нулевой уровень напряжения данная функция может иметь только на наборах, с которыми связаны входы B и C (они имеют двойную инверсию).

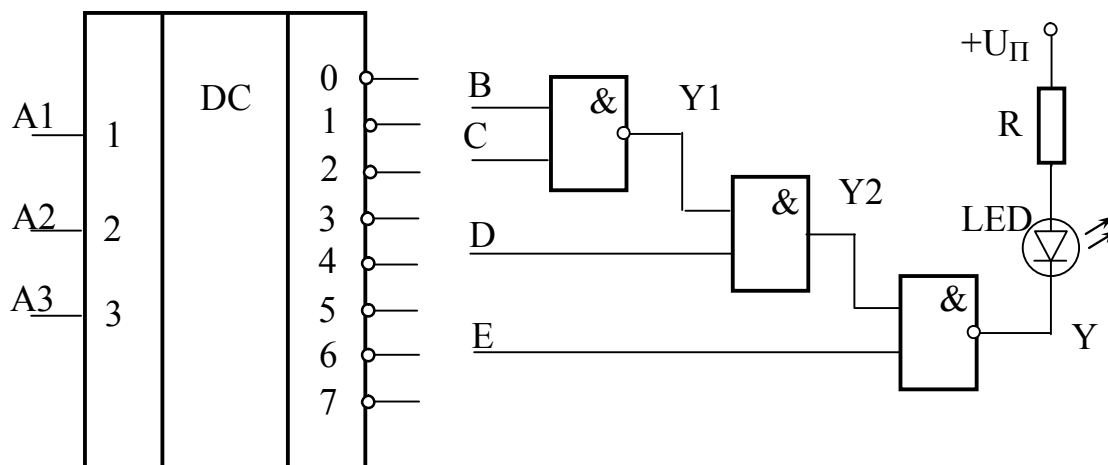


Рисунок 5.4 – Дешифратор и комбинационная схема

Следовательно, светодиод будет гореть на наборах «два» и «три».

Задача 4. Какой символ загорится на индикаторе, если после установки счетчика в исходное нулевой состояние на его вход поступило N тактовых импульсов (рис. 6.5).

Ответ может содержать следующие символы: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F.

Для решения задачи необходимо знать структуру и функциональные

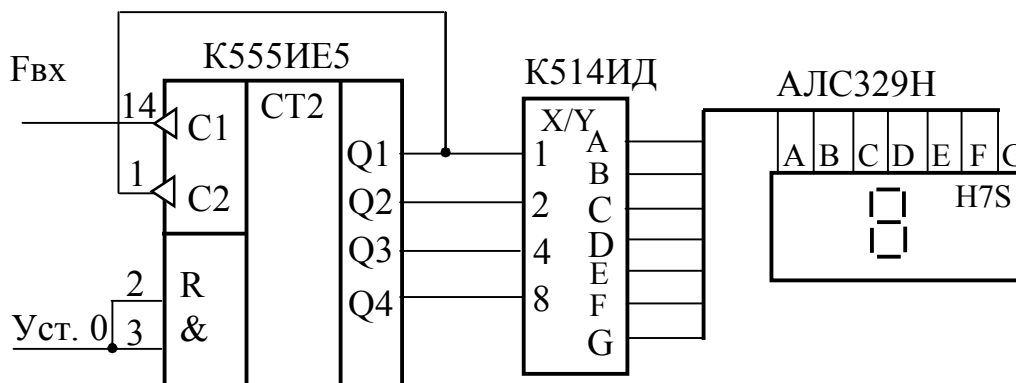


Рисунок 5.5 – Функциональная схема устройства

возможности используемого счетчика. В качестве примера рассмотрим построение двоично-десятичного счетчика K555IE5 и двоичного счетчика K555IE20.

Микросхема K155IE5 – четырехразрядный двоичный суммирующий счетчик с последовательным переносом (рис. 5.6), выполненный на двухступенчатых триггерах JK-типа. Счетчик имеет два счетных входа C1 и C2 и два входа установки нуля R01 и R02. В состав микросхемы входит четыре триггера, первый из которых выполнен изолированно (его выход Q1 – вывод 12 не задействован). Три следующих триггера включены последовательно, т.е. выход каждого предыдущего (Q2, Q3, Q4) соединен с входом последующего. При последовательном включении всех триггеров, когда тактовые импульсы поступают на вход C1 (14), а выход Q1 соединяется с входом C2 (1), получается счетчик-делитель на 16, работающий в коде 8-4-2-1.

Если последовательность входных импульсов периодична, то частота сигналов на каждом выходе счетчика Q1– Q4 будет в 2, 4, 8 и 16 раз ниже входной. Приведение счетчика к исходному нулевому состоянию осуществляется путем подачи сигналов высокого уровня на входы R (логическое И).

Микросхема K555IE20 представляет собой сдвоенный двоично-десятичный счетчик с коэффициентом деления на два и пять, с общим сбросом (рис. 5.7). Первый триггер счетчика имеет собственный счетный вход C1 (15) и обеспечивает деление частоты на два – выход Q1 (вывод 3 (13)). Второй, третий, четвертый триггеры образуют делитель на пять, вход

которого 4(12) и выходы триггеров Q2 – 5(11), Q3 – 6(10), Q4 – 7(9). Счетчик работает в нормально взвешенном коде 8-4-2-1.

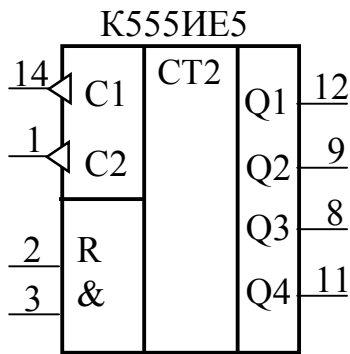


Рисунок 5.6

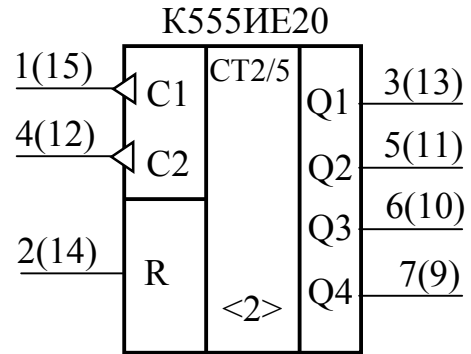


Рисунок 5.7

При использовании в схеме, представленной на рисунке 6.5, двоичного счетчика K555IE5 в стандартном его включении нетрудно определить, какое число высветится на индикаторе. Например, на вход 14 поступило 25 тактовых импульсов. Так как информационная емкость счетчика $N = 2^4 = 16$, а различные состояния 0 – 15, то после прохождения 16 импульсов начнется новый цикл. После 25-ого импульса в счетчике зафиксируется цифра девять (1001). Дешифратор преобразует двоичный код в код управления семисегментового индикатора и он высветит цифру «девять».

При изменении схемы включения счетчика или схемы подсоединения дешифратора надо внимательно проанализировать работу счетчика для выяснения соответствия состояний счётчика высвечиваемым символам на индикаторе.

Задача 5. Определите коэффициент деления $K_{\text{дел}}$ (количество импульсов поступающих на вход счетчика, которое вызывает появление выходного сигнала) программируемого делителя частоты, изображенного на рисунке 6.8, если загружаемые коды $K1 = 5$, $K2 = 7$.

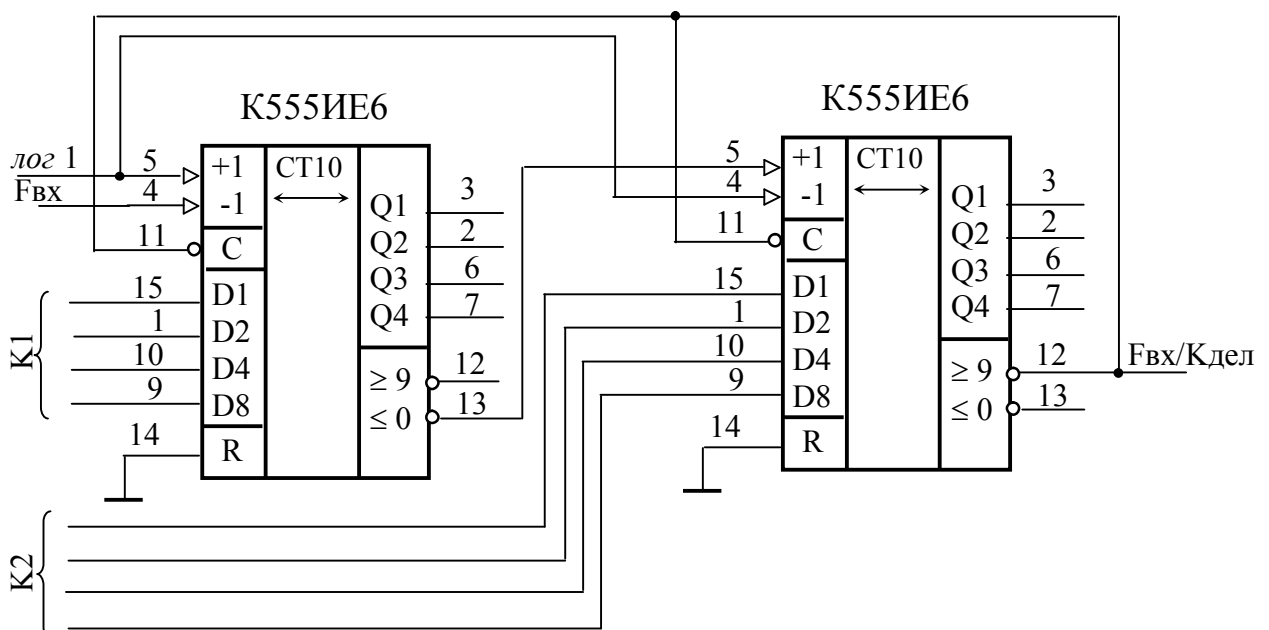


Рисунок 5.8 – Программируемый делитель

Два двоично-десятичных счетчика включены последовательно. Загрузка счетчика по параллельным входам происходит во время нахождения выходного счетчика в состоянии «девять». При этом в первый счетчик запишется двоичный код 0101, а во второй – 0111.

Первый счетчик работает в режиме вычитания, сигнал переноса во второй счетчик формируется на выходе « ≤ 0 ». Первый перенос сформируется при поступлении на счетчика пяти импульсов (счетчик пройдет состояния 4, 3, 2, 1, 0). Следующие переносы будут формироваться при прохождении каждого десятого импульса.

Второй счетчик работает в режиме суммирования. Первый перенос поступит на его вход после пяти тактовых импульсов, пришедших на вход первого счетчика. При этом второй счетчик из состояния «семь» перейдет в состояние «восемь». Через десять тактовых импульсов счетчик перейдет в состояние «девять», после чего на его выходе сформируется сигнал переноса, который можно использовать в качестве выходного, и вновь произойдет загрузка счетчиков.

Общий коэффициент деления будет равен 15.

Задача 6. Микросхема K555ИПЗ (рис. 6.9) предназначена для действий с двумя четырехразрядными двоичными словами: $A = A_3A_2A_1A_0$ и $B = B_3B_2B_1B_0$. Конкретный вид операции, выполняемой микросхемой, задается 5-разрядным кодом на выходах $MS_3S_2S_1S_0$. Всего АЛУ способно выполнить $2^5 = 32$ операции: 16 логических и 16 арифметических и арифметико-логических. Кроме того, имеется вход приема сигнала переноса C .

На выходах $F_0F_1F_2$ и F_3 формируются результаты логических преобразований и арифметических действий. На выходе переноса C_{n+4} образуется сигнал старшего (пятого) разряда при выполнении арифметических операций.

Слова A и B , подлежащие обработке, могут быть представлены в положительной либо отрицательной логике. Таблицы истинности для каждого варианта логики различны. Для положительной логики действительна таблица 4.1. Старший разряд кода выбора операции (вход M) определяет характер действий, выполняемых АЛУ. Когда на этом входе сигнал высокого уровня, АЛУ производит логические операции поразрядно над каждой парой бит слов A и B , одновременно этот сигнал запрещает переносы между разрядами.

При $M = 0$ АЛУ выполняет арифметическо-логические операции. При этом логические операции выполняются

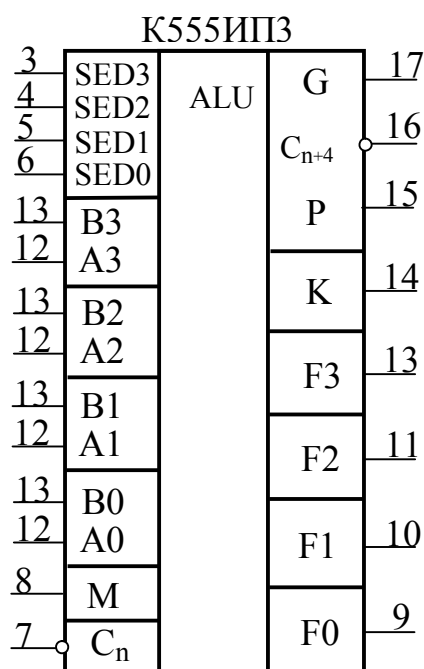


Рисунок 5.9

поразрядно, а арифметические – с переносом. Результаты арифметических операций выражены в *дополнительном* коде. Как отмечалось, числа в дополнительном и в обратном коде связаны простым соотношением $N_{\text{доп}} = N_{\text{обр}} + 1$ или $N_{\text{обр}} = N_{\text{доп}} - 1$. Поэтому в тех строках таблицы, где указана операция «минус 1», результат арифметических действий представлен в *обратном* коде.

Выходной результат формируется с учетом состояния входа переноса. Оба сигнала переноса – входной C и выходной C_4 – инверсные относительно сигналов на входах A и B , т.е. когда слова A и B – в положительной логике, сигналу переноса отвечает низкий уровень напряжения на соответствующем выходе, а в отрицательной логике – наоборот.

Если АЛУ выполняет логико-арифметическую операцию, логическая функция реализуется поразрядно, а арифметическая с переносом. Например, входному коду $MS_3S_2S_1S_0 = 01000$ отвечает операция $A\bar{B}$ плюс A , где $A\bar{B}$ – логическое умножение двух слов, а знак «+» обозначает арифметическую операцию сложения произведения $A\bar{B}$ со словом A .

При использовании АЛУ в качестве компаратора сигнал снимают с выхода $A = B$ (вывод 14). Этот выход с открытым коллектором, к источнику питания его следует подключать через внешний резистор 1 кОм. Режим компаратора обеспечивается при $M = 0$ и $S_3S_2S_1S_0 = 0110$. Когда числа A и B равны, на выходе $A = B$ формируется сигнал высокого уровня.

Пример. На арифметическо-логическом устройстве К555ИПЗ (рис. 5.9) реализовать функцию, заданную следующим двоичным кодом на управляющих входах $MS_3S_2S_1S_0 = 01000$, если $C_i A = A_3A_2A_1A_0 = 0101$ и $B = B_3B_2B_1B_0 = 1001$. Арифметическая операция реализуемая АЛУ на этом наборе:

$$F = A + (A \wedge B).$$

Логически умножим $A (0101)$ и $B (1001)$ получим $(A \wedge B) = 0001$. Теперь произведем арифметическое сложение $A (0101)$ и произведения (0001) .

Полученный результат будет равен:

$$F = A + (A \wedge B) = 0101 + 0001 = 0110.$$

Учитывая, что перенос в старший разряд на выход C_{n+4} (16) выдается в инверсном виде (перенос отсутствует), то окончательный результат будет таким:

$$F = \bar{C}_{n+4} F_3 F_2 F_1 F_0 = 10010.$$

Операции, выполняемые в АЛУ представлены в таблице 5щ.1.

Таблица 5.1

Выбор функции					M = 1, логические операции	M = 0, арифметические операции	
№	S ₃	S ₂	S ₁	S ₀		C _n = 0	C _i = 1
0	0	0	0	0	\overline{A}	A	A + 1
1	0	0	0	1	$\overline{A \vee B}$	$A \vee B$	$A \vee B + 1$
2	0	0	1	0	$\overline{A \wedge B}$	$A \vee \overline{B}$	$A \vee \overline{B} + 1$
3	0	0	1	1	0	- 1	0
4	0	1	0	0	$\overline{A \wedge B}$	$A + (A \wedge \overline{B})$	$A + (A \wedge \overline{B}) + 1$
5	0	1	0	1	\overline{B}	$(A \vee B) + (A \vee \overline{B})$	$(A \vee B) + (A \vee \overline{B}) + 1$
6	0	1	1	0	$A \oplus B$	$A - B - 1$	$A - B$
7	0	1	1	1	$A \wedge \overline{B}$	$(A \wedge \overline{B}) - 1$	$(A \wedge \overline{B})$
8	1	0	0	0	$\overline{A} \vee B$	$A + (A \wedge B)$	$A + (A \wedge B) + 1$
9	1	0	0	1	$\overline{A} \oplus B$	A + B	$A + B A + 1$
10	1	0	1	0	B	$(A \vee \overline{B}) + (A \wedge B)$	$(A \vee \overline{B}) + (A \wedge B) + 1$
11	1	0	1	1	$A \wedge B$	$(A \wedge B) - 1$	$(A \wedge B)$
12	1	1	0	0	1	A + A	A + A + 1
13	1	1	0	1	$A \vee \overline{B}$	$(A \vee B) + A$	$(A \vee B) + A + 1$
14	1	1	1	0	$A \vee B$	$(A \vee \overline{B}) + A$	$(A \vee \overline{B}) + A + 1$
15	1	1	1	1	A	A - 1	A

При использовании АЛУ в качестве цифрового компаратора сигнал снимают с выхода, который обозначен $A = B$. Выход выполнен с открытым коллектором, следовательно к источнику питания его следует подключать через резистор 1 кОм. Режим компаратора реализуется при $M=0$ и $S_3S_2S_1S_0=0110$. Высокий логический сигнал образуется, если $A0 - A3 = B0 - B3 = 1$, при этом $F_0 = F_1 = F_2 = F_3 = 1$.