

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«Томский государственный университет систем управления и
радиоэлектроники»

Кафедра электронных приборов

ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ

Методические указания к лабораторной работе
для студентов направления «Электроника и микроэлектроника»
(специальность «Электронные приборы и устройства»)

2012

Бородин Максим Викторович
Саликаев Юрий Рафаельевич

Исследование дешифраторов : методические указания к лабораторной работе для студентов направления «Электроника и микроэлектроника» (специальность 210105 – Электронные приборы и устройства) / М.В. Бородин, Ю.Р. Саликаев; Министерство образования и науки Российской Федерации, Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования Томский государственный университет систем управления и радиоэлектроники, Кафедра электронных приборов. - Томск : ТУСУР, 2012. – 13 с.

Лабораторная работа выполняется с использованием программной среды QUCS (Quite Universal Circuit Simulator) и заключается в моделировании цифровых цепей. Для обработки результатов и оформления отчёта могут применяться различные математические и офисные программные средства.

Предназначено для студентов очной и заочной форм, обучающихся по направлению «Электроника и микроэлектроника» (специальность 210105 – Электронные приборы и устройства) по дисциплине «Математические модели и САПР электронных приборов и устройств»

© Бородин Максим Викторович, 2012
© Саликаев Юрий Рафаельевич, 2012

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«Томский государственный университет систем управления и
радиоэлектроники»

Кафедра электронных приборов

УТВЕРЖДАЮ
Зав.кафедрой ЭП
_____ С.М. Шандаров
« ____ » _____ 2012 г.

ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ

Методические указания к лабораторной работе
для студентов направления «Электроника и микроэлектроника»
(специальность «Электронные приборы и устройства»)

Разработчик
_____ М.В. Бородин
_____ Ю.Р. Саликаев
« ____ » _____ 2012 г

Содержание

1 Введение	5
2 Лабораторная работа. Исследование дешифраторов	5
2.1 Цель работы	5
2.2 Краткие сведения из теории.....	5
2.2.1 Комбинационные схемы	5
2.2.2 Дешифраторы.....	5
2.2.3 Использование дешифратора в качестве демультимплексора.....	8
2.3 Порядок проведения экспериментов.....	8
2.4 Контрольные вопросы	10
3 Содержание отчета.....	11
Список рекомендуемой литературы.....	11

1 Введение

Лабораторная работа выполняется с использованием программной среды QUCS (Quite Universal Circuit Simulator) и заключается в моделировании цифровых цепей. Для обработки результатов и оформления отчёта могут применяться различные математические и офисные программные средства.

При выполнении работы используются следующие приборы и элементы: цифровые источники; логические элементы.

2 Лабораторная работа. Исследование дешифраторов

2.1 Цель работы

1. Ознакомление с принципом работы дешифраторов.
2. Исследование влияния управляющих сигналов на работу дешифраторов.
3. Реализация и исследование логических схем на основе дешифраторов.

2.2 Краткие сведения из теории

2.2.1 Комбинационные схемы

Комбинационной схемой называется логическая схема, реализующая однозначное соответствие между значениями входных и выходных сигналов. Для реализации комбинационных схем используются логические элементы, выпускаемые в виде интегральных схем. В этот класс входят интегральные схемы дешифраторов, шифраторов, мультиплексоров, демультиплексоров, сумматоров.

2.2.2 Дешифраторы

Дешифратор – логическая комбинационная схема, которая имеет n информационных входов и 2^n выходов. Обычно n равно 2, 3 или 4. На рис. 2.1 изображена схема, выполняющая функции дешифратора с $n = 2$, активным уровнем является уровень логической единицы. На входы В, А можно подать следующие комбинации логических уровней: 00, 01, 10, 11, всего 4 комбинаций.

Схема имеет 4 выхода, на одном из которых формируется высокий потенциал, на остальных – низкий. Номер этого единственного выхода, на котором формируется активный (нулевой) уровень, соответствующий числу N , определяемому состоянием входов В, А следующим образом: $N = B \cdot 2^1 + A \cdot 2^0$.

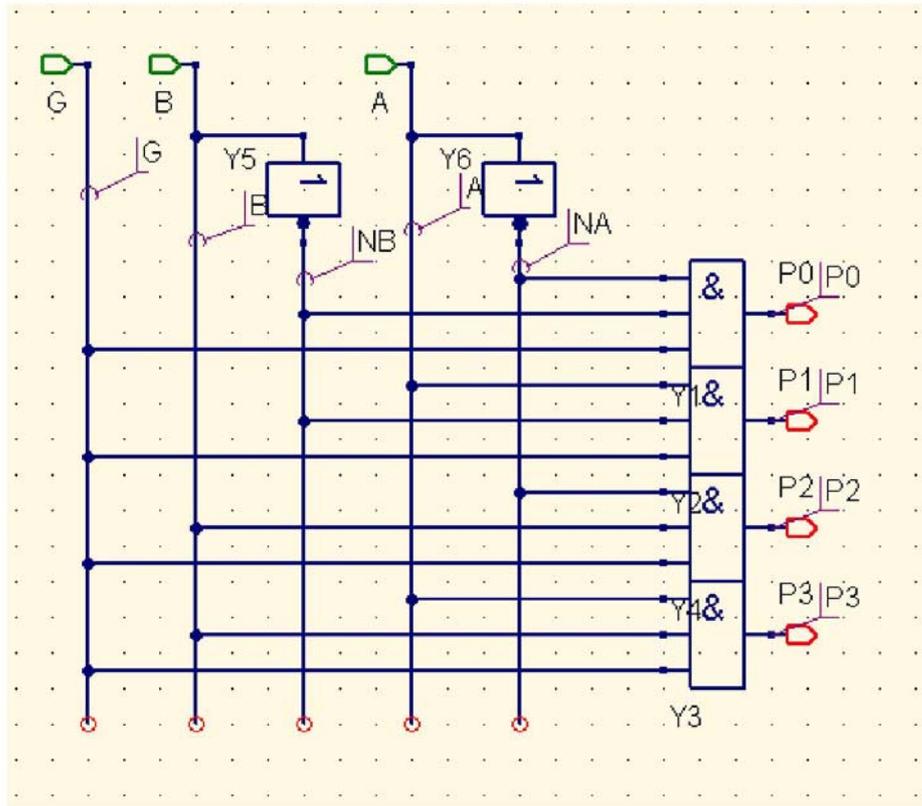


Рисунок 2.1

На схемах такой дешифратор может обозначаться как показано на рисунке 2.2.

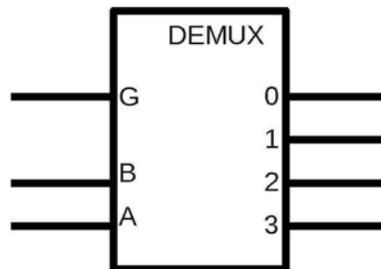


Рисунок 2.2

Для дешифратора с $n=3$ (рис.3), по аналогии, номер выхода с активным уровнем будет определяться следующим образом:

$$N = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0.$$

В данном случае активный уровень будет иметь низкий потенциал. Например, если на входы подана комбинация логических уровней 011, то из восьми выходов микросхемы ($Y_0, Y_1 \dots Y_7$) на выходе с номером $N = 3$ установится нулевой уровень сигнала ($Y_3 = 0$), а все остальные выходы будут иметь уровень логической единицы. Этот принцип формирования выходного сигнала можно описать следующим образом:

$$Y_i = \begin{cases} 0, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^2 \cdot C + 2^1 \cdot B + 2^0 \cdot A \end{cases}$$

Видно, что уровень сигнала на выходе Y_3 описывается выражением:

$$Y_3 = \overline{\overline{C \cdot B \cdot A}} = 0.$$

В таком же виде можно записать выражения для каждого выхода дешифратора:

$$\begin{aligned} Y_0 &= \overline{\overline{C \cdot B \cdot A}}, & Y_4 &= \overline{\overline{C \cdot B \cdot A}}, \\ Y_1 &= \overline{\overline{C \cdot B \cdot A}}, & Y_5 &= \overline{\overline{C \cdot B \cdot A}}, \\ Y_2 &= \overline{\overline{C \cdot B \cdot A}}, & Y_6 &= \overline{\overline{C \cdot B \cdot A}}, \\ Y_3 &= \overline{\overline{C \cdot B \cdot A}}, & Y_7 &= \overline{\overline{C \cdot B \cdot A}}. \end{aligned}$$

Помимо информационных входов A, B, C дешифраторы обычно имеют дополнительные входы управления G . Сигналы на этих входах, например, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится уровень логической единицы. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым (рис.2.1, 2.2) или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом – уровень логического нуля. На рис.3 представлен дешифратор с одним инверсным входом управления. Принцип формирования выходного сигнала в этом дешифраторе с учетом сигнала управления описывается следующим образом:

$$Y_i = \begin{cases} 1 \cdot \overline{G}, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^2 \cdot C + 2^1 \cdot B + 2^0 \cdot A \end{cases}$$

У дешифратора с несколькими входами управления функция разрешения, как правило, представляет собой логическое произведение всех разрешающих сигналов управления. Например, для дешифратора 74138 с одним прямым входом управления G_1 и двумя инверсными G_2A и G_2B

функции выхода Y_i и разрешения G имеют вид:
$$Y_i = \begin{cases} 1 \cdot G, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^2 \cdot C + 2^1 \cdot B + 2^0 \cdot A \end{cases}, \quad G = G_1 \cdot \overline{G_2A} \cdot \overline{G_2B}$$

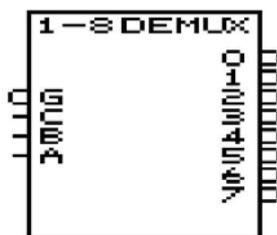


Рисунок 2.3

Обычно входы управления используются для каскадирования (увеличения разрядности) дешифраторов или при параллельной работе нескольких схем на общие выходные линии.

2.2.3 Использование дешифратора в качестве демультиплексора

Дешифратор может быть использован и как демультиплексор – логический коммутатор, подключающий входной сигнал к одному из выходов. В этом случае функцию информационного входа выполняет один из входов разрешения, а состояние входов С, В, и А задает номер выхода, на который передается сигнал со входа разрешения.

2.3 Порядок проведения экспериментов

Внимание! При создании проекта *не* используйте пробелы и русские символы в названии проекта и схем. При размещении временных диаграмм в отчете учтите, что диаграмма может не поместиться полностью в окно просмотра. В этом случае вместо одного скриншота можно использовать несколько, с соответствующими участками диаграммы на каждом, или зарисовать диаграмму в соответствующем масштабе.

Задание 1. Создание дешифратора 3×8 средствами QUCS.

Создайте в QUCS новый проект. По аналогии с дешифратором приведенным на рис.2.1, создайте схему дешифратора с $n=3$, *инверсным* входом управления и *низким активным уровнем на выходах*. В дальнейшем она будет использована в качестве подсхемы для других экспериментов. Поэтому входные выводы схемы должны обозначаться портами типа *in*, а выходные – портами типа *out*, как на рис.2.1. Не забудьте сохранить подсхему. Для дальнейшей работы потребуется создать компактное обозначение полученного дешифратора. Как это сделать, можно узнать в справочной системе QUCS (кнопка F1). После создания и редактирования обозначения (см. рис.2.2 и 2.3), сохраните его.

Задание 2. Исследование принципа работы дешифратора 3×8 в основном режиме.

Для исследования дешифратора создайте схему, как показано на рис.2.4. Проведите моделирование и получите таблицу истинности и временную диаграмму для этой схемы, изменяя свойства цифровых источников так, чтобы перебрать все возможные комбинации сигналов на входе. Эти данные должны быть приведены в отчете. Обратите внимание на работу управляющего входа.

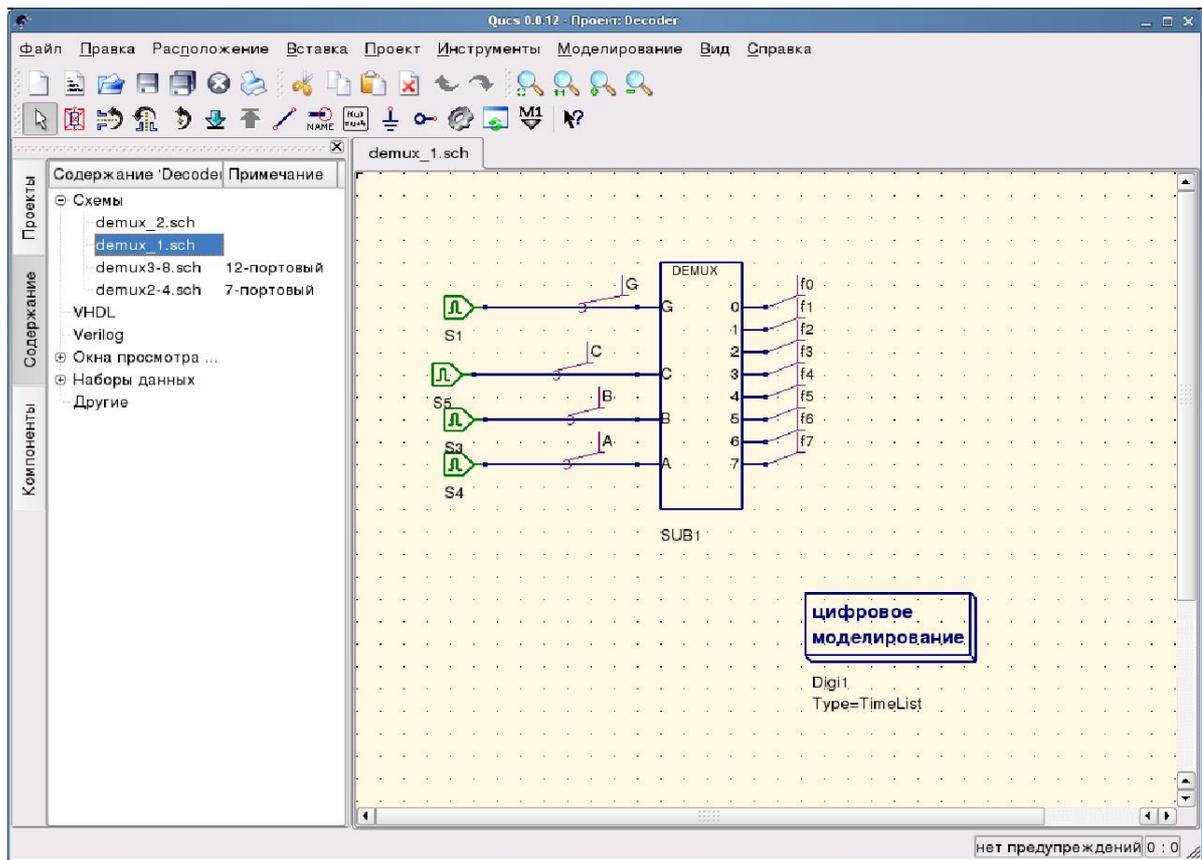


Рисунок 2.4

Задание 3. Исследование принципа работы дешифратора 3×8 в режиме 2×4 .

1. В схеме рис. 2.4 подключите вход С к общему проводу (земле), задав $C = 0$. Получите таблицу истинности дешифратора и временную диаграмму его работы.

2. Прделайте пункт 1 при $C = 1$, для чего вход С подключите к источнику логической единицы. Получите таблицу истинности дешифратора и временную диаграмму его работы.

3. Прделайте пункт 1, заземлив вход В ($B = 0$), а на входы А и С подавая все возможные комбинации логических уровней. Получите таблицу истинности и временную диаграмму, в отчете укажите номера выходов, на которых уровень логического сигнала не изменяется. Рабочие

схемы и полученные данные приведите в отчете.

Задание 4. Исследование работы дешифратора в качестве демультиплексора.

В схеме из задания 2 измените параметры цифровых источников таким образом, чтобы продемонстрировать работу дешифратора в качестве демультиплексора. Управляющий вход G в данном случае играет роль информационного, а входы A , B и C задают выход, на который передается информация.

Задание 5. Исследование дешифратора 3×8 с логической схемой на выходе.

Создайте схему, как показано на рис.2.5. Получите таблицу истинности функции f и временную диаграмму. Приведите их в отчете. По таблице запишите аналитическое выражение функции и занесите полученное выражение в отчет.

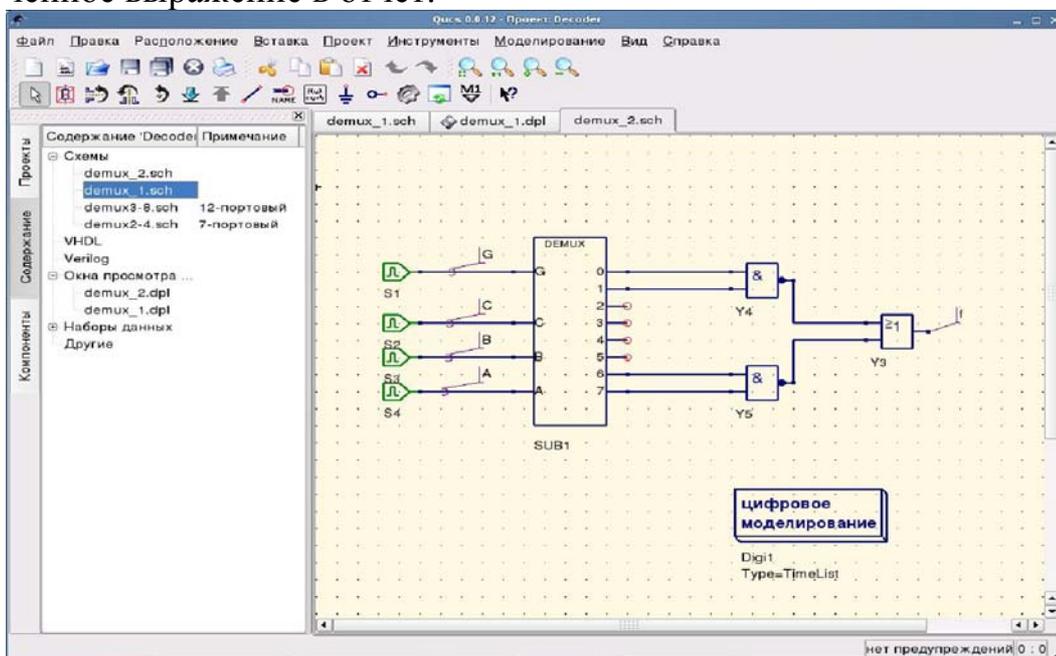


Рисунок 2.5

2.4 Контрольные вопросы

1. Какие логические функции выполняет дешифратор?
2. Каково назначение входов управления в дешифраторе, как влияет сигнал управления на выходные функции дешифратора?
3. Какие дополнительные логические элементы необходимы для реализации логических функций n аргументов на основе дешифратора с прямыми выходами? А с инверсными?
4. Как выглядит схема дешифратора 2×4 , выполненная в базисе И, ИЛИ, НЕ? Входы дешифратора A , B , выходы Y_0 , Y_2 , Y_3 . Сколько элементов каждого типа для этого требуется?
5. Как надо видоизменить схему дешифратора 2×4 в предыдущем

случае, чтобы оснастить её прямым управляющим входом? Инверсным? Обозначьте входы дешифратора A , B , управляющий вход G или \bar{G} , выходы Y_0, Y_1, Y_2, Y_3 .

6. Как из двух дешифраторов 2×4 сделать один дешифратор 3×8 ?

7. Как на основе нескольких дешифраторов 2×4 с управляющим входом сделать дешифратор 4×16 ? Сколько дешифраторов 2×4 потребуется для решения этой задачи, если не использовать другие элементы?

8. Как на основе дешифратора 2×4 сделать схему, фиксирующую совпадение двух бит ($A = B = 1, A = B = 0$) и реализующую функцию $F = AB + (\text{not}A) \cdot (\text{not}B)$?

9. Как на основе дешифратора сделать логическую схему, реализующую функцию $F = A\bar{B} \bar{A}B$?

3 Содержание отчета

По лабораторной работе необходимо составить отчёт, который должен содержать:

- титульный лист;
- цель работы;
- краткие сведения из теории, содержащие расчётные формулы;
- схемы, собранные при проведении экспериментов в среде QUCS;
- результаты расчётов и экспериментов в виде таблиц и графиков;
- ответы на контрольные вопросы;
- выводы по проведённой работе.

Список рекомендуемой литературы

1. Основы компьютерного моделирования наносистем / Ибрагимов И.М., Ковшов А.Н., Назаров Ю.Ф. – М.: Изд-во «Лань», 2010.- 384 с. ISBN 978-5-8114-1032-3: http://e.lanbook.com/books/element.php?pl1_cid=25&pl1_id=156
2. Моделирование компонентов и элементов интегральных схем / Петров М.Н., Гудков Г.В. - М.: Изд-во «Лань», 2011.- 464 с. ISBN 978-5-8114-1075-0 http://e.lanbook.com/books/element.php?pl1_cid=25&pl1_id=661
3. Основы автоматизированного проектирования [Текст] : учебник для вузов / Е. М. Кудрявцев. - М. : Академия, 2011. - 304 с. - ISBN 978-5-7695-6004-0
4. Математические модели и САПР электронных приборов и устройств: учебное пособие / Ю. Р. Саликаев.- Томск: ТУСУР, 2012. - 131 с. Препринт. Режим доступа: <http://edu.tusur.ru/training/publications/>
5. Машинные методы анализа и проектирования электронных схем :

/ И. Влаха, К. Сингхал ; пер.: А. Ф. Обьедков, Н. Н. Удалов, В. М. Демидов ; ред. пер. А. А. Туркина. - М. : Радио и связь, 1988. - 560 с. - ISBN 5-256-00054-3

6. Компьютерное моделирование и проектирование: учебное пособие / Ю. Р. Саликаев.- Томск: ТУСУР, 2012. - 94 с. Препринт. Режим доступа: <http://edu.tusur.ru/training/publications/2548>

7. Норенков И. П. Основы автоматизированного проектирования: Учебник для вузов. – М.: МГТУ им. Н. Э. Баумана, 2000. – 360 с.

Учебное пособие

Бородин М.В., Саликаев Ю.Р.

Исследование дешифраторов

Методические указания к лабораторной работе

Усл. печ. л. _____. Препринт
Томский государственный университет
систем управления и радиоэлектроники
634050, г.Томск, пр.Ленина, 40