

Министерство образования и науки Российской Федерации  
Федеральное государственное бюджетное образовательное  
учреждение  
высшего профессионального образования  
«Томский государственный университет систем управления и  
радиоэлектроники»

Кафедра электронных приборов

**Основы оптоинформатики**

**ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ  
ИНТЕГРАЛЬНЫЕ СХЕМЫ  
ДЛЯ РЕАЛИЗАЦИИ НЕЙРОННЫХ СЕТЕЙ**

Методические указания к лабораторной работе  
для студентов направления «Фотоника и оптоинформатика»

2012

## **Слядников, Евгений Евгеньевич**

Программируемые логические интегральные схемы для реализации нейронных сетей = Основы оптоинформатики: методические указания к лабораторной работе для студентов направления «Фотоника и оптоинформатика» / Е.Е. Слядников; Министерство образования и науки Российской Федерации, Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования Томский государственный университет систем управления и радиоэлектроники, Кафедра электронных приборов. - Томск : ТУСУР, 2012. - 19 с.

Предназначено для студентов очной и заочной форм, обучающихся по направлению «Фотоника и оптоинформатика» по курсам «Основы оптоинформатики».

Министерство образования и науки Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего профессионального образования  
«Томский государственный университет систем управления и  
радиоэлектроники»

Кафедра электронных приборов

УТВЕРЖДАЮ  
Зав.кафедрой ЭП  
\_\_\_\_\_С.М. Шандаров  
«\_\_\_» \_\_\_\_\_ 2012 г.

Основы оптоинформатики

ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ  
ДЛЯ РЕАЛИЗАЦИИ НЕЙРОННЫХ СЕТЕЙ

Методические указания к лабораторной работе  
для студентов направления «Фотоника и оптоинформатика»

Разработчик

д-р физ.-мат. наук, проф. каф.ЭП  
\_\_\_\_\_Е.Е. Слядников  
«\_\_\_» \_\_\_\_\_ 2012 г

2012

## Содержание

1 Введение.....	5
2 Теоретическая часть.....	6
2.1 Особенности реализации нейрочипов на ПЛИС.....	6
2.2 Архитектура аппаратной нейронной сети.....	10
2.3 Структура нейрочипа .....	14
2.4 Система команд нейрочипа .....	16
3.3 Экспериментальная часть.....	16
3.3.1 Оборудование .....	16
3.3.2 Задание на работу .....	16
3.3.3 Методические указания по выполнению работы.....	16
3.3.4 Содержание отчета .....	16
Список литературы .....	17

## 1 Введение

Несмотря на то, что нейронные сети как научно-технический объект существует более полувека, основные способы их практической реализации ограничиваются областью программного моделирования в различных средах визуального проектирования. Программные реализации преобладают над аппаратными. Кроме того, аппаратные реализации вследствие своей относительной дороговизны до сих пор не имеют повсеместного распространения. Однако, их удельный вес в общем количестве мировых технологических разработок неуклонно растет. На настоящий момент существуют несколько архитектурных реализаций искусственных нейронных сетей. К ним относятся:

Каскадируемая архитектура, состоящая из нескольких микропроцессоров высокой разрядности, снабженных памятью для хранения весовых значений и связанных между собой локальной шиной;

RBF-архитектура, реализующая основные принципы RBF-сетей;

Систолические нейропроцессоры, принцип действия которых заключается в использовании процессорной матрицы из набора простых по структуре обрабатывающих элементов, через которую идет непрерывный поток данных, изменяемых каждым элементом;

Сигнальные процессоры(DSP), отличающиеся сравнительно низкой стоимостью и обладающие большой внутренней памятью, что позволяет реализовывать достаточно крупные ИС;

Нейросигнальные процессоры, которые в отличие от обычных DSP имеет дополнительные архитектурные решения, например, использование помимо стандартного ядра сопроцессора для обработки входных векторов;

Аналоговая архитектура. Нейроны в аналоговых ИС представляются пороговыми усилителями с сигмовидной передаточной функцией;

Гибридная архитектура, сочетающая в себе как аналоговые, так и цифровые подходы к аппаратной реализации ИС.

Кроме этого, в последнее время развивается тенденция использования в качестве элементной базы для аппаратной реализации ПЛИС(FPGA)-программируемых логических интегральных схем. Данный интерес объясняется появлением на рынке высокочастотных ПЛИС. Они становятся все более быстродействующими и менее энерго потребляемыми.

Технологические особенности ПЛИС делают их удобным объектом для использования в аппаратной реализации. Возможность восстановления структуры устройства с помощью внутреннего статического ОЗУ позволяет реализовывать алгоритмы обучения ИС. При разработке проектов на ПЛИС используется принцип одноканальной синхронизации, для реализации которого в ПЛИС синхросигналы распространяются по быстродействующей древовидной сети, обеспечивающий почти одновременный одновременный приход фронта синхроимпульса на синхровходы всех внутренних триггеров. Синхросигнал может вырабатываться и внутри самой ПЛИС.

Данное свойство позволяет облегчить задачу построения многослойных конфигураций НС. Современные ПЛИС практически невозможно программировать «вручную». Для разработки проектов используются специальные интегрированные среды программирования и языки параллельного программирования (VHDL). Это позволяет снять зависимость разработок НС от конструктивных особенностей конкретной ПЛИС, улучшить переносимость, а также создавать библиотеки стандартных нейросетевых модулей, что выгодно отличает нейросетевые проекты на ПЛИС от других.

Еще одной немаловажной особенностью ПЛИС, делающей привлекательными разработки НС на этой элементной базе, является то обстоятельство, что любая ПЛИС состоит из множества однотипных элементов, что повышает надежность работы микросхемы и упрощает проектирование НС.

## **2 Теоретическая часть**

### **2.1 Особенности реализации нейронных сетей на ПЛИС**

В последние годы резко возрос интерес к использованию ПЛИС в качестве элементной базы нейровычислителей. Этому способствовало появление на рынке высокочастотных ПЛИС и продолжающаяся тенденция к снижению их цены, а, следовательно, и конечной стоимости разработок. Напряжение питания ПЛИС с каждым новым поколением этих микросхем постоянно уменьшается, что позволяет снижать энергопотребление при увеличении быстродействия. Современные ПЛИС изготавливаются такими известными производителями, как Altera, Atmel, Xilinx и многими другими.

Технологические особенности FPGA(ПЛИС) делают их удобным объектом для использования в качестве элементной базы аппаратной реализации нейронных сетей. К ним относятся необходимость восстановления структуры устройства с помощью внутреннего статического ОЗУ, что позволяет реализовать алгоритмы обучения нейронной сети. При разработке проектов на ПЛИС используется принцип одноканальной синхронизации, для реализации которого в ПЛИС синхросигналы распространяются по древовидной сети, что обеспечивает одновременность прихода синхроимпульсов на синхровходы внутренних триггеров.

Данное свойство позволяет облегчить задачу построения многослойных конфигураций НС. Современные ПЛИС практически невозможно программировать «вручную». Для разработки проектов используются специальные интегрированные среды программирования и языки параллельного программирования (VHDL). Это позволяет снять зависимость разработок НС от конструктивных особенностей конкретной ПЛИС, улучшить переносимость, а также создавать библиотеки стандартных нейросетевых модулей, что выгодно отличает нейросетевые проекты на ПЛИС от других.

Особенности функционирования ПЛИС позволяют использовать их для реализации параллельных нейровычислителей с гибридной архитектурой, когда блок управления данными, т.е. выборка из памяти производится сигнальным процессором DSP, а логика управления на ПЛИС.

В настоящее время множество фирм в мире занимается разработкой и выпуском различных ПЛИС, однако, лидерство делят две фирмы Xilinx и ALTERA. Выделить продукцию какой-либо одной из этих фирм невозможно, так как по техническим характеристикам они различаются очень мало.

В настоящее время фирма ALTERA выпускает семь семейств СБИС ПЛИС. Основные характеристики наиболее популярных из них приведены в таблице 2.1.

Таблица 2.1 - Характеристики ПЛИС фирмы ALTERA

Характеристики	Семейства СБИС			
	MAX 7000E(S)	MAX 9000	FLEX 8000A	FLEX 10K
Архитектура	Матрицы И-ИЛИ	матрицы И-ИЛИ	Таблицы перекодировки	таблицы перекодировки
Логическая емкость	600-5000	6000-12000	2500-16000	10000-100000
Внутренняя память	нет	Нет	Нет	6-24 Кбит
Число пользовательских выводов	36-164	60-216	68-208	59-406

Компания Xilinx выпускает семь серий ПЛИС двух типов:

1. FPGA - Field Programmable Gate Array
2. CPLD - Complex Programmable Logic Device.

Каждая серия содержит от одного до нескольких семейств, в свою очередь состоящих из ряда кристаллов различной ёмкости, быстродействия, типов корпуса.

Основные особенности ПЛИС Xilinx:

- значительный объём ресурсов - до 4 млн. системных вентилях на кристалл
- высокая производительность с системными частотами до 300 МГц;
- технологические нормы - до 0.18 мкм на шести слоях металла;
- высокая гибкость архитектуры с множеством системных особенностей: внутреннее распределённое и блочное ОЗУ, логика ускоренного переноса, внутренние буфера с третьим состоянием и т. д.;
- возможность инициализации и верификации через JTAG;
- возможность программирования непосредственно в системе;

- широкая номенклатура кристаллов по типу исполнения;
- конкурентоспособная стоимость;
- низкое энергопотребление;
- короткий цикл проектирования и быстрое время компиляции;
- развитые и недорогие средства проектирования;
- возможность перевода проектов в заказные схемы Xilinx .

При изготовлении ПЛИС фирмой Xilinx используются три основные технологии:

- на основе SRAM (тип FPGA), при этом конфигурация ПЛИС хранится во внутреннем "теневом" ОЗУ, а инициализация осуществляется из внешнего массива памяти. По данной технологии выполнены серии: Spartan, Virtex, XC3000, XC4000, XC5200;

- на основе FLASH (тип CPLD), в данном случае конфигурация сохраняется во внутренней энергонезависимой FLASH - памяти и в любой момент времени может быть перегружена непосредственно из РС. По данной технологии выполнена серия XC9500;

- на основе EEPROM (тип CPLD), в данном случае конфигурация сохраняется во внутренней энергонезависимой EEPROM - памяти и в любой момент времени может быть перегружена непосредственно из ПЭВМ. По данной технологии выполнена серия CoolRunner.

В качестве примера аппаратной реализации на ПЛИС, рассмотрим нейрочип для обработки двоичной информации, выполненный на ПЛИС Spartan компании Xilinx.

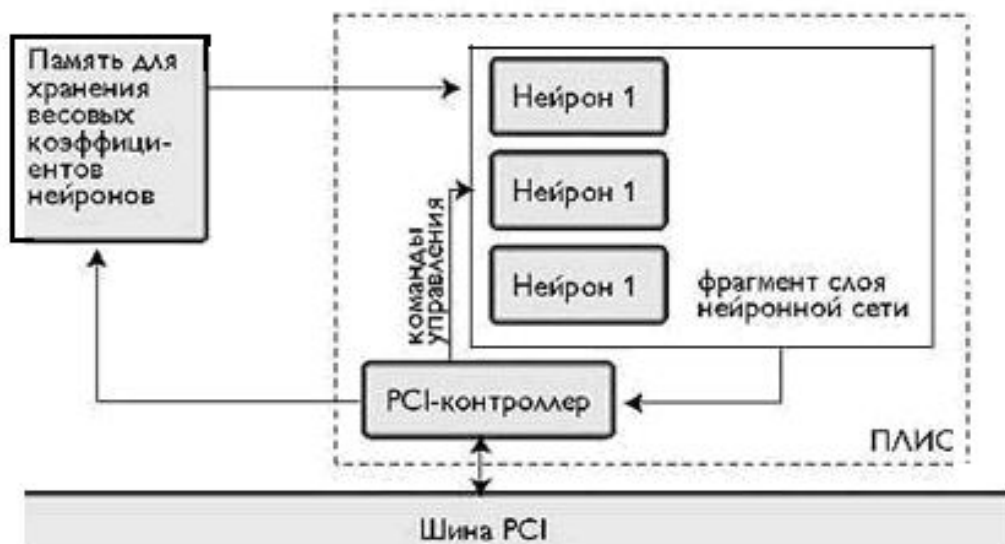


Рисунок 2.1 - Функциональная схема нейрочипа на ПЛИС

Поскольку в нейрочипе не реализован контур адаптации, то весовые коэффициенты нейронной сети должны быть вычислены заранее. Работа нейрочипа состоит из двух фаз: фазы определения топологии нейронной сети и загрузки весовых коэффициентов нейронной сети и фазы моделирования нейронной сети в реальном масштабе времени.



Таблица 2.2 - Основные технические характеристики нейрочипа

Число нейронов, реализуемое в одной ПЛИС	2 (ПЛИС Spartan, 40 тыс. вентиляей) 16 (ПЛИС Virtex, 200 тыс. вентиляей)
Разрядность входных сигналов нейрона	1 (двоичные)
Разрядность весовых коэффициентов нейрона	8
Функция активации нейронов	Сигнум (знак)
Скорость работы одного нейрона	10 МГц
Работа нескольких нейронов	Параллельно, независимо друг от друга
Время получения выходного сигнала	10 нс (без учета загрузки данных)
Фрагмента слоя нейронной сети	15 нс (с учетом загрузки данных)
Максимально возможное количество входных сигналов одного нейрона	256
Максимально реализуемое количество слоев нейронной сети	Не ограничено
Максимально возможное количество нейронов в одном слое нейронной сети	256

Несмотря на то, что нейрочип предназначен для обработки двоичной информации, он может применяться для распознавания черно-белых изображений (букв, цифр, символов), двоичных образов, обработки двоичных сигналов;

Реализация нейровычислителей на основе ПЛИС требует участия эксперта на топологической стадии проектирования. Это обусловлено тем, что автоматизированный режим разводки пока не позволяет достигать 60-100% использования ресурсов кристалла по разводке, а это является принципиальным для сильносвязанных схем, к которым относятся и нейросетевые вычислители. Характеристики ПЛИС с точки зрения реализации нейросетевых парадигм представлены в таблице 2.3.

Построение нейровычислителей на их основе хотя и дает высокую гибкость создаваемых структур, но пока еще проигрывает по производительности, по сравнению с другими решениями. Для проектирования нейронных сетей на ПЛИС характерны достаточно высокие аппаратные затраты. Если учесть, что для реализации десятка параллельно работающих нейронов требуется задействовать несколько тысяч вентиляей, и при этом каждый нейрон требует как минимум одного умножителя, можно сделать вывод, что существующие на сегодняшний день ПЛИС с интеграцией в несколько миллионов вентиляей наиболее пригодны для

реализации малых и средних по величине нейронных сетей порядка нескольких тысяч нейронов и непригодны для реализации больших и сверхбольших по величине нейронных сетей, содержащих сотни тысяч и миллионы нейронов.

Таблица 2.3. Особенности реализации нейровычислителей на ПЛИС.

№	Тип ПЛИС	Производитель	Сложность кристалла, макроячеек (CLB)	Максимальное число нейронов
1	XC4005E/XL	XILINX	196 (14x14)	6
2	XC4013XLA	XILINX	576 (24x24)	18
3	XC4020XLA	XILINX	784 (28x28)	24
4	XC4044XLA	XILINX	1600 (40x40)	50
5	XC4062XLA	XILINX	2304 (42x42)	72
6	XC4085XL	XILINX	3136 (56x56)	97
7	XC40250XV	XILINX	8000	200
8	EPF10K2	ALTERA	144	4
9	EPF10K50E	ALTERA	360	11
10	EPF10K100E	ALTERA	624	19
11	EPF10K250E	ALTERA	1520	50
12	M4LV-96/48	AMD	966	3
13	M4LV-192/96	AMD	192	6
14	M5LV-256	AMD	256	8
15	M5LV-512	AMD	512	16

Однако, стоит обратить внимание на темпы роста вычислительной мощности ПЛИС. По своим характеристикам они не уступают универсальным процессорам. Современные ПЛИС работают на частотах до 300 МГц, а емкость их достигает 3 млн логических вентилях, что почти в десять раз больше, чем емкость процессора Pentium II, другими словами, на современной ПЛИС можно реализовать до десяти процессоров Pentium II. На ПЛИС с интегрированием даже в 40 тыс. вентилях можно реализовать параллельную работу 15 нейронов. Кроме того, ПЛИС дешевы, а проектирование устройства на их базе занимает всего несколько месяцев.

## 2.2 Архитектура аппаратной нейронной сети

Рассмотрим реализованную на нейрочипе нейронную сеть, имеющую следующие функциональные характеристики.

1. Каждый слой нейросети выполняет следующую функцию:

$$Z_i = f(Y_i) = f\left(U_i + \sum_{j=1}^N X_j W_{ij}\right), (i = 1, \dots, M; j = 1, \dots, N), \quad (2.1)$$

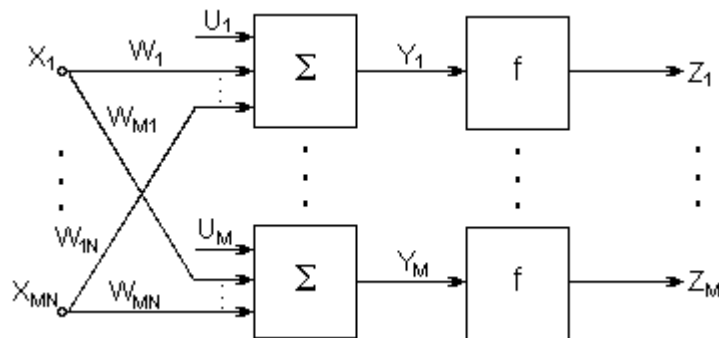
где  $Z_i$  - выходной сигнал  $i$ -го нейрона ( $i$ -й нейрон);

- $X_j$  -  $j$ -й входной сигнал слоя ( $j$ -й синапс);  
 $U_i$  - смещение  $i$ -го нейрона;  
 $W_{ij}$  - весовой коэффициент  $j$ -го входа  $i$ -го нейрона;  
 $Y_i$  - сумма взвешенных входов  $i$ -го нейрона;  
 $f$  - функция активации;  
 $N$  - количество входных сигналов слоя;  
 $M$  - количество нейронов в слое.

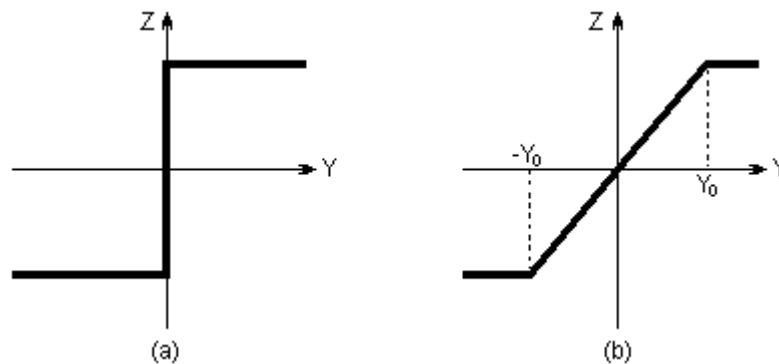
2 Операнды  $Z_i$ ,  $X_j$ ,  $U_i$  и  $W_{ij}$  представляются в прямом и дополнительном кодах и могут иметь произвольную разрядность.

3 Количество слоев в нейросети, а также количество нейронов и сигналов в каждом слое могут быть произвольными.

4 Между входами и выходами отдельных слоев нейросети допускаются любые межсоединения. То есть выходной сигнал  $k$ -го слоя может поступать на один из входов  $i$ -го слоя, где  $k=1, \dots, K$ ,  $i=1, \dots, K$ , а  $K$  - число слоев нейросети.



Слой нейросети



Простейшие функции активации "f": а) пороговая, б) насыщения

Рисунок - 2.1

В основу архитектуры нейрочипа положен оригинальный метод выполнения его базовых операций с помощью операционного узла (ОпУ), представляющего собой однородную вычислительную среду, которая позволяет производить операции над синапсами и весами произвольной разрядности (от 1 до 64 бит).

Взвешивание и сложение синапсов является наиболее сложной операцией и требует больших аппаратных и временных ресурсов. Поэтому данная операция является основной операцией, на которую ориентирован ОпУ нейрочипа. Его структурная организация позволяет выполнить взвешивание и сложение синапсов методом параллельного умножения синапсов на весовые коэффициенты [1].

В данном случае ОпУ за один такт осуществляет взвешивание нескольких синапсов и вычисление их сумм одновременно для нескольких нейронов. То есть за один такт ОпУ реализует функции фрагмента нейросети, включающего в себя несколько синапсов и несколько нейронов.

Работа ОпУ в данном режиме иллюстрируется ниже на примере реализации функций фрагмента нейросети, включающего 2 нейрона и 3 синапса (рис. 2.2), на ОпУ с  $m=19$  (суммарная разрядность выходов) и  $n=12$  (суммарная разрядность входов). В данном примере операнды имеют следующие разрядности:  $X_1-3$ ,  $X_2-4$ ,  $X_3-5$ ,  $U_1-10$ ,  $U_2-9$ ,  $Y_1-10$ ,  $Y_2-9$ ,  $W_{1-5}$ ,  $W_{12-4}$ ,  $W_{13-3}$ ,  $W_{21-4}$ ,  $W_{22-3}$ ,  $W_{23-2}$ .

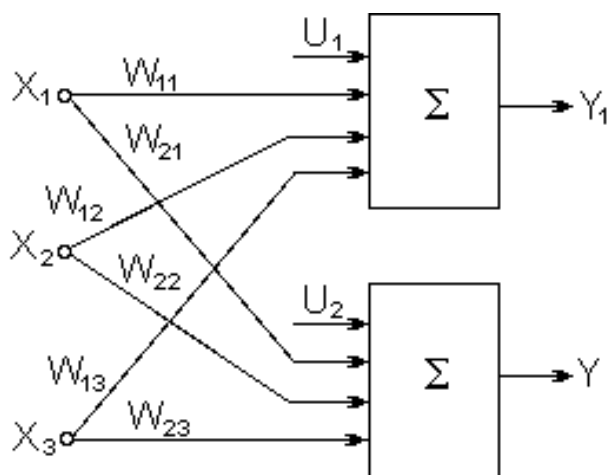


Рисунок 2.2 - Фрагменты слоя нейросети.

Предварительно в ОпУ загружаются соответствующие битовые элементы матрицы весов, содержимое которой определяется на этапе обучения нейросети. В данном режиме работы элементами матрицы являются разряды весовых коэффициентов и нулевые элементы, расположенные в строго фиксированных позициях.

Такая настройка как бы разбивает ОпУ на  $P \times R$  подматриц (рис. 2.3), где  $P$  - количество нейронов, а  $R$  - количество синапсов в реализуемом фрагменте нейросети. Для рассматриваемого примера  $P=2$ ,  $R=3$ . Будем считать, что подматрица с координатами  $(p,r)$  соответствует  $p$ -му нейрону ( $p=1,\dots,P$ ) и  $r$ -му синапсу ( $r=1,\dots,R$ ). Тогда каждая подматрица с координатами  $(p,1)$  вычисляет функцию  $X_1W_{p1}+U_p$ , а каждая подматрица с координатами  $(p,t)$  формирует произведение  $X_tW_{pt}$  и прибавляет к нему результат, полученный на выходе подматрицы с координатами  $(p,t-1)$ , где  $t=2,\dots,R$ .

Таким образом, на выходе подматрицы (p,R) формируется результат операции.

$$Y_p = U_p + \sum_{r=1}^R x_r \cdot w_{pr} \quad (2.2)$$

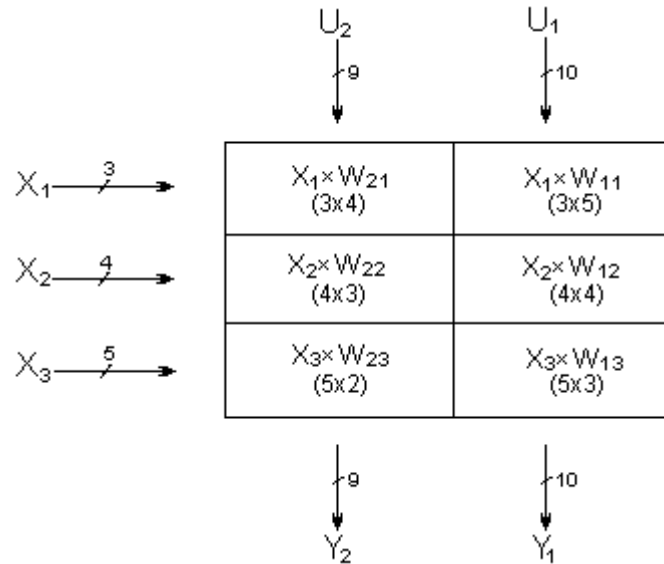


Рисунок 2.3 - Разбиение матрицы на подматрицы

Необходимым условием работоспособности ОпУ в данном режиме является то, что количество бит, отводимых для каждого p-го нейрона, должно быть не больше максимально возможной разрядности  $Y_p$ . Только при этом условии исключается возможность прохождения сигналов переноса, возникающих в цепях сложения, через границы между соседними нейронами. С одной стороны, данное условие обеспечивает конкатенацию нескольких нейронов в единой вычислительной среде, какую представляет собой ОпУ, а с другой, оно исключает возможность арифметических переполнений и, следовательно, необходимость дополнительного контроля. Выполнение этого условия должно обеспечиваться на этапе обучения нейросети путем введения в матрицу весов нулевых столбцов в области старших разрядов каждого нейрона [2].

Таким образом, количество нейронов, одновременно обслуживаемых ОпУ, зависит от числа синапсов, их разрядности и значений весовых коэффициентов. Суммарная разрядность  $Y_p$  не должна превышать значения  $m$ . Количество синапсов, одновременно обрабатываемых ОпУ, разрядностью синапсов. Суммарная разрядность  $X$  не должна превышать значения  $n$ . Настройка нейрочипа на работу с конкретными величинами разрядности синапсов и весов производится путем загрузки в специальные регистры управляющей информации как перед началом работы, так и в процессе вычислений. Это позволяет динамически изменять разрядность

обрабатываемых данных, а следовательно скорость и точность вычислений от слоя к слою, от нейрона к нейрону, от синапса к синапсу.

В случае работы нейрочипа с одинаковой разрядностью синапсов и весов которая составляет 8 бит, за один процессорный такт ОпУ производит 24 операции умножения с накоплением, что при частоте тактовых импульсов 30 МГц составит 720 МСРС (миллионов соединений в секунду). Другими словами, за один процессорный такт производится вычисление участка нейросети, состоящего из 3 нейронов по 8 синапсов каждый, разрядности нейронов и синапсов составляют при этом один байт.

### 2.3 Структура нейрочипа

Общая структура нейрочипа приведена на рис. 3.4.

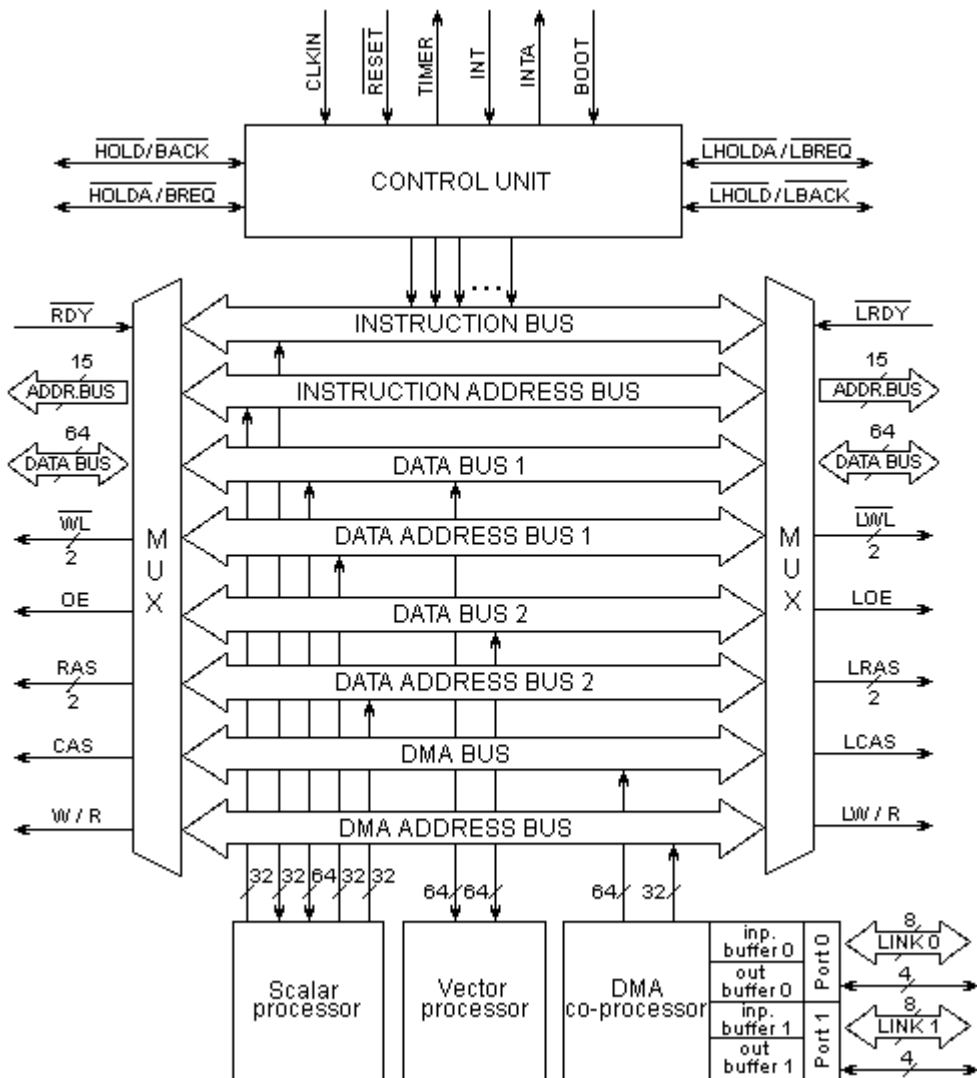


Рисунок 3.4 - Общая структура нейрочипа

В состав нейрочипа входят:

- векторный процессор (Vector processor), который позволяет реализовать базовые операции в нейросетях над массивами данных, представленных в виде векторов с элементами, которые могут иметь переменную разрядность. Основным узлом векторного процессора является операционный узел, описанный выше;
- скалярный процессор (Scalar processor), предназначенный для вычисления адресов команд, управления их выборкой, вычисления адресов операндов и весовых коэффициентов при работе нейрочипа с памятью, а также для поддержки скалярных операций над данными;
- два идентичных программируемых интерфейса с локальной и глобальной шиной (MUX), по которым может работать с двумя внешними памятьями по 64-разрядным шинам данных. Эти памяти могут быть либо SRAM, либо DRAM. Тип памяти определяется в процессе инициализации;
- два коммуникационных порта с сопроцессорами ПДП, предназначенные для поддержки доступа в память при обмене по двунаправленным байтовым линкам (Link0 и Link1) через коммуникационные порты (Port0 и Port1) на фоне вычислений;
- устройство управления (Control unit) выполняет функции общего управления, осуществляет арбитраж использования внешней памяти, а также поддерживает 8 прерываний - 1 внешнее и 7 внутренних, в том числе прерывания от системного таймера, по завершению обмена по линкам, а также пользователь может использовать пошаговое прерывание в режиме отладки.

Данный кристалл использует следующие внутренние шины:

- шину команд (INSTRUCTION BUS) - 32 разряда, по которой выбираются команды из памяти;
- шину адреса команд (INSTRUCTION ADDRESS BUS) - 32 разряда, по которой выставляется адрес выбираемой команды;
- шину данных 1 (DATA BUS 1) и шину данных 2 (DATA BUS 2) по 64 разряда каждая для возможности одновременной работы с операндами и подкачки весовых коэффициентов в векторный процессор;
- шину адреса данных 1 (DATA ADDRESS BUS 1) и шину адреса данных 2 (DATA ADDRESS BUS 2) по 32 разряда каждая;
- шину ПДП (DMA BUS) - 64 разряда для обмена в режиме ПДП с линками;
- шину адреса ПДП (DMA ADDRESS BUS) - 32 разряда.

Шины памяти имеют сквозную адресацию. В какую из двух шин памяти производится доступ, определяется старшим разрядом вычисленного адреса. Тем самым обеспечивается возможность иметь данные и команды в любой памяти. Обмен с каждой из памятей в зависимости от команды может осуществляться либо по 64 разряда, либо по 32, когда младший разряд вычисленного адреса указывает, с какой из половин 64-разрядной памяти необходимо работать.

В нейропроцессоре имеется следующий набор 32-разрядных регистров:

- восемь АДРЕСНЫХ регистров AR0-AR7, предназначенных для организации доступа к оперативной памяти;
- адресный регистр AR7 имеет альтернативное обозначение SP (stack pointer - указатель стека). Этот регистр может использоваться для организации доступа к памяти по стековому принципу;
- восемь регистров ОБЩЕГО НАЗНАЧЕНИЯ GR0-GR7, которые предназначены для хранения значений, считанных из памяти, и промежуточных результатов вычислений;
- регистр СЧЕТЧИКА КОМАНД PC (Program Counter), используемый для определения адреса очередной команды, подлежащей выполнению. Программа имеет доступ к регистру PC как по чтению, так и по записи; иными словами, допускается динамическое управление порядком выполнения команд;
- регистр СЛОВА СОСТОЯНИЯ ПРОЦЕССОРА PSWR (Program Status Word Register) содержит информацию, описывающую текущее состояние процессора, включая признаки, характеризующие результаты выполнения последних скалярных операций ("флаги"), информацию о ресурсах процессора (например, о локальной и глобальной шинах), а также текущие значения масок прерываний. Все поля данного регистра доступны из программы по чтению; поля масок прерываний доступны также по записи;
- два 64-разрядных регистра для указания разрядности синапсов и весов.

## **2.4 Система команд нейрочипа**

Нейрочип работает с командами фиксированной длины по 32 разряда, которые можно разделить на 4 основные группы: команды скалярного процессора по обработке операндов, команды векторного процессора, команды управления и команды пересылки.

Система команд скалярного процессора организована таким образом, что базовые операции (то есть операции над регистрами общего назначения) могут совмещаться с операциями над адресными регистрами.

Нейрочип имеет одно внешнее прерывание и несколько внутренних: два прерывания от таймеров, четыре прерывания от портов коммуникации по завершению ввода/вывода, пошаговое прерывание в режиме отладки.

## **3.3 Экспериментальная часть**

### **3.3.1 Оборудование**

### **3.3.2 Задание на работу**

### **3.3.3 Методические указания по выполнению работы**

### **3.3.4 Содержание отчета**



Отчет должен состоять из следующих частей:

- введение;
- постановка задачи;
- основная часть;
- заключение;
- приложение.

### **Заключение**

Таким образом, можно сделать вывод о том, что современные ПЛИС можно активно использовать для аппаратной реализации НС, они позволяют реализовать большое количество параллельно работающих нейронов, что объясняется высокой плотностью расположения логических вентилях внутри кристалла. Кроме того, ПЛИС ведущих фирм имеют высокие скорости обработки информации, работают с частотами до 300 МГц. ПЛИС можно сопрягать с другими СБИС посредством встроенных интерфейсов, например, с сигнальными процессорами, реализовать нейровычислитель, в состав которого входил бы сигнальный процессор или каскады микропроцессоров, а интеллектуальный блок включал ПЛИС. ПЛИС являются относительно дешевыми по сравнению с заказными микросхемами и могут перепрограммироваться путем пережигания или наращивания перемычек между вентилями.

Однако, для проектирования нейронных сетей на ПЛИС характерны достаточно высокие аппаратные затраты. Если учесть, что для реализации десятка параллельно работающих нейронов требуется задействовать несколько тысяч вентилях, и при этом каждый нейрон требует как минимум одного умножителя, можно сделать вывод, что существующие на сегодняшний день ПЛИС с интеграцией в несколько миллионов вентилях наиболее пригодны для реализации малых и средних по величине нейронных сетей порядка нескольких тысяч нейронов и непригодны для реализации больших и сверхбольших по величине нейронных сетей, содержащих сотни тысяч и миллионы нейронов. Проблему параллельной обработки информации можно разрешать путем использования каскадов ПЛИС или усложнением программного обеспечения.

### **Список литературы**

1. Круглов В.В. Нечеткая логика и искусственные нейронные сети. – М.: Мир, 1993. – 224 с.
5. Комарцова Л.Г. , Максимов А.В. Нейрокомпьютеры. Ред. Овчаренко Н.Е. М.: МГТУ им. Баумана, 2004. – 398 с.
2. Канаев Ф.Ю., В.П. Лукин. Адаптивная оптика. Численные и экспериментальные исследования. – Томск: Изд-во Института оптики атмосферы СО РАН, 2005. – 249 с.

3. Колесников С. Аппаратная реализация нейронных сетей: «КИ» №15, 16/2005. – 6 с.
4. Круг П.Г. Нейронные сети и нейрокомпьютеры: Учебно-методическое пособие по курсу «Микропроцессоры». – М.: Издательство МЭИ, 2002. – 177 с.
5. Магдич Л.Н., Молчанов В.Я. Акустооптические устройства и их применение.- М.: Сов. радио, 1978, 112 с.
6. Максфилд К. Проектирование на ПЛИС - Курс молодого бойца. – М.: Издательский дом «Додэка XXI», 2007. -408 с.

Учебное пособие

Слядников Е.Е.

Программируемые логические интегральные схемы  
для реализации нейронных сетей

Методические указания к лабораторной работе  
по дисциплине «Основы оптоинформатики»

Усл. печ. л. \_\_\_\_\_ Препринт  
Томский государственный университет  
систем управления и радиоэлектроники  
634050, г.Томск, пр.Ленина, 40