

# Дисциплина «Микроэлектроника»

ТЕМА: «Цифровые микроэлектронные устройства комбинационного типа». Часть 2.

Легостаев Николай Степанович,  
профессор кафедры «Промышленная электроника»

## Содержание

К цифровым микроэлектронным устройствам комбинационного типа относят:

- Мультиплексоры и демультимплексоры.
- Шифраторы и дешифраторы.
- Сумматоры и вычитатели.
- Цифровые компараторы.
- Программируемые логические матрицы конъюнкций и дизъюнкций.

## Мультиплексоры и демультиплексоры.

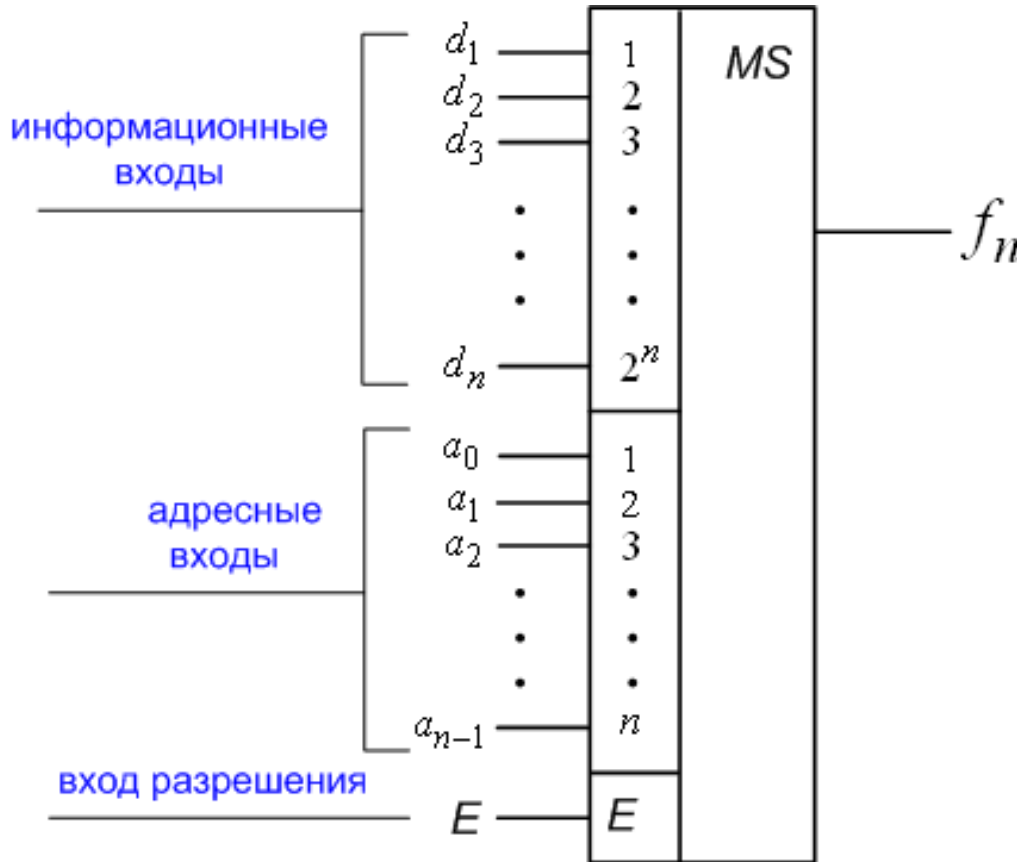
*Назначение мультиплексоров* (от англ. multiplex – многократный) – коммутировать в желаемом порядке информацию, поступающую с нескольких входов, на один выход. *Мультиплексоры используют* для временного разделения информации, поступающей по разным каналам.

Мультиплексоры обладают *двумя группами входов* и *одним выходом* (реже двумя выходами, один из которых прямой  $f_n$ , а другой – инверсный  $\overline{f_n}$ ).

Одна группа входов объединяет *информационные входы*, а другая группа – *управляющие входы*. В свою очередь, управляющие входы подразделяются на *адресные входы* и *входы разрешения*.

*Мультиплексор* (от англ. multiplex – многократный) – это комбинационное цифровое устройство, содержащее  $n$  адресных входов,  $2^n$  информационных входов  $1, 2, \dots, 2^n$  (в случае полного мультиплексора) и один выход  $f_n$  (либо два – один прямой  $f_n$ , другой инверсный  $\overline{f_n}$ ), где индекс  $n$  говорит о том, что мультиплексор имеет  $n$  адресных входов.

## Мультиплексоры и демультиплексоры.



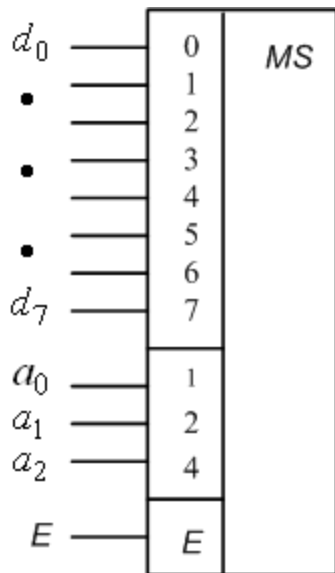
Если на адресные входы подать  $n$ -разрядный двоичный код числа  $a_{n-1} \times \dots \times a_2 a_1 a_0$  то выход подключится к  $i$ -му информационному входу, то есть информация, поступающая на  $i$ -ый информационный вход, будет проходить на выход независимо от того, какие сигналы поступают на остальные информационные входы.

## Мультиплексоры и демультиплексоры.

Логическая функция, выполняемая полным мультиплексором с  $n$  адресными входами и одним прямым входом разрешения, на прямом выходе, имеет вид

$$f = E \sum_{i=0}^{2^n-1} m_i d_i,$$

где  $m_i$  – минтерм, соответствующий  $i$ -му набору переменных на адресных входах;  $E$  – сигнал на входе разрешения;  $d_i$  – сигнал на  $i$ -ом информационном входе.



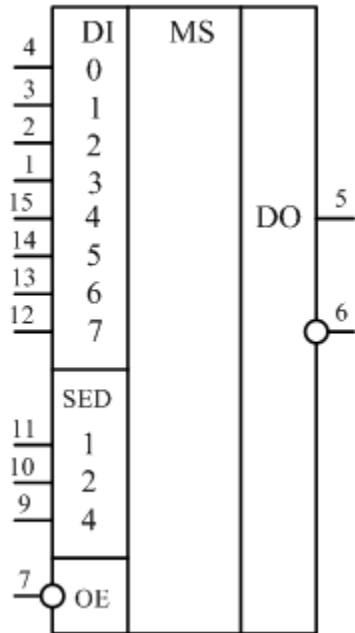
Для полного мультиплексора 8–1 логическая функция имеет вид:

$$f_3 = E \sum_{i=0}^7 m_i d_i = E (\bar{a}_2 \bar{a}_1 \bar{a}_0 d_0 + \bar{a}_2 \bar{a}_1 a_0 d_1 + \bar{a}_2 a_1 \bar{a}_0 d_2 + \bar{a}_2 a_1 a_0 d_3 + a_2 \bar{a}_1 \bar{a}_0 d_4 + a_2 \bar{a}_1 a_0 d_5 + a_2 a_1 \bar{a}_0 d_6 + a_2 a_1 a_0 d_7),$$

где  $a_i$  – сигналы, подаваемые на адресные входы мультиплексора.

**Полный мультиплексор 8–1**

## Мультиплексоры и демультиплексоры.



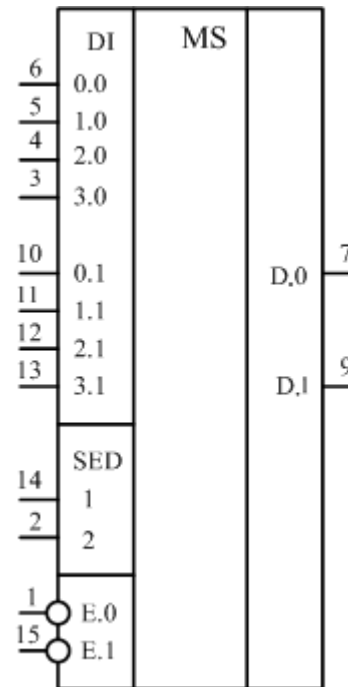
### Мультиплексор K555KP7

имеет восемь информационных входов, три адресных и один инверсный вход разрешения.

У микросхемы два выхода – один прямой, другой инверсный.

При логическом 0 на входе OE сигнал на прямом выходе повторяет сигнал на том информационном входе, номер которого совпадает с десятичным эквивалентом двоичного кода на выводах 9,10,11 микросхемы.

### Мультиплексор K555KP7



### Сдвоенный мультиплексор K555KP2

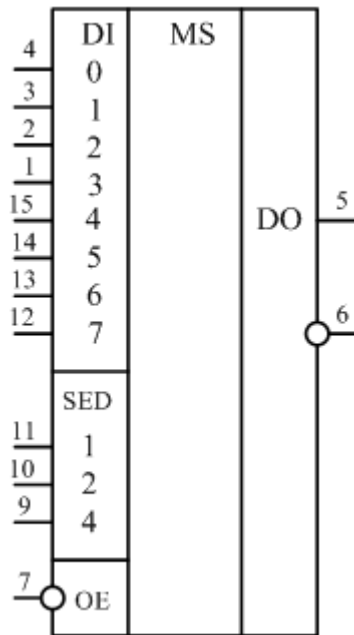
представляет собой два четырехканальных коммутатора с общими адресными входами .

При логическом 0, поданном на вход E.0, на выход D.0 проходит сигнал с одного из входов 0.0 – 3.0, адрес которого зафиксирован на выводах 2 и 14 микросхемы мультиплексора. При логическом 0, поданном на вход E.1, на выход D.1 проходит сигнал с одного из входов 0.1 – 3.1.

### Сдвоенный Мультиплексор K555KP2

## Мультиплексоры и демультиплексоры.

**Задание 1:** Для мультиплексора К555КП7 укажите двоичный код числа  $a_2 a_1 a_0$ , поданного на адресные входы мультиплексора с целью подключения прямого выхода мультиплексора к информационному входу 3 (вывод 1).

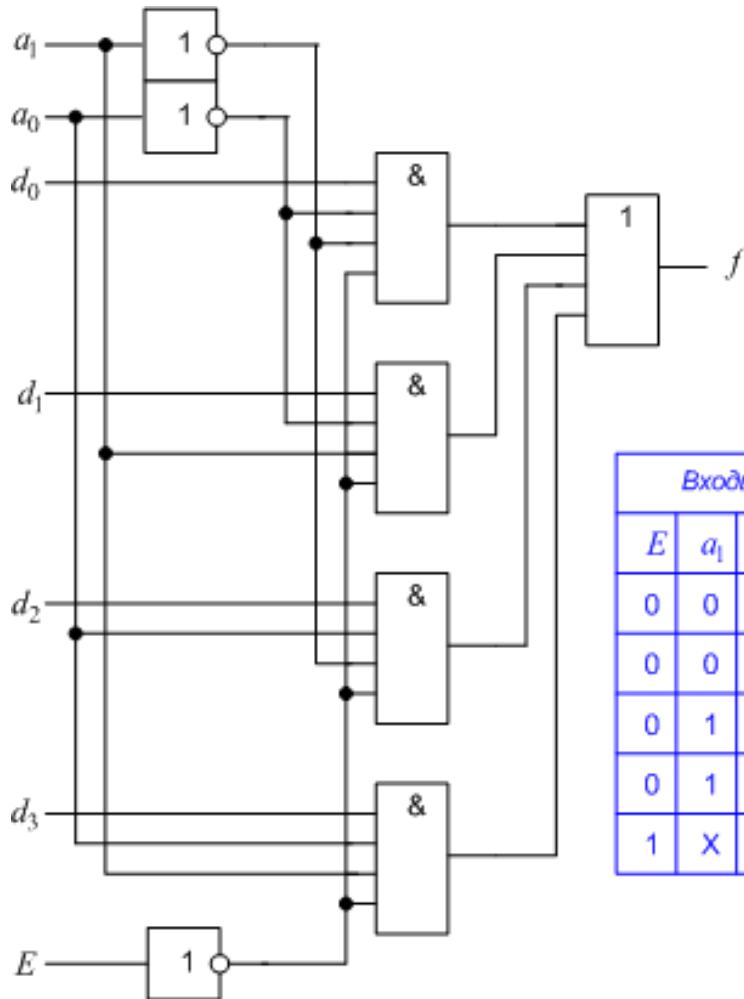


Мультиплексор К555КП7

Мультиплексор К555КП7 имеет восемь информационных входов, три адресных и один инверсный вход разрешения. У микросхемы мультиплексора К555КП7 два выхода – один прямой, другой инверсный. При логическом 0 на входе OE сигнал на прямом выходе повторяет сигнал на том информационном входе, номер которого совпадает с десятичным эквивалентом двоичного кода на выводах 9,10,11 микросхемы.

## Мультиплексоры и демультиплексоры.

Правильный ответ для задания 1:  $a_2 a_1 a_0 = 011$ .



Используя методикку синтеза комбинационных цифровых устройств и общее выражение булевой функции полного мультиплексора, можно получить структурную схему реализации мультиплексора на логических элементах.

Входы			$f$
$E$	$a_1$	$a_0$	
0	0	0	$d_0$
0	0	1	$d_1$
0	1	0	$d_2$
0	1	1	$d_3$
1	X	X	0

Логическая структура реального мультиплексора “четыре линии к одной” (4–1).



## Мультиплексоры и демультиплексоры.

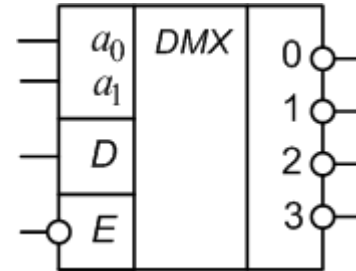
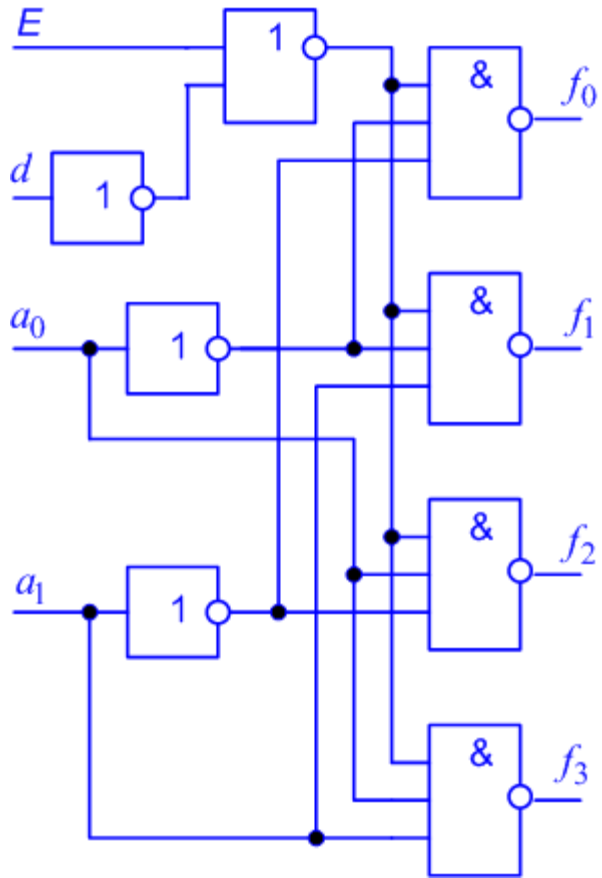
**Демультиплексоры** в функциональном отношении противоположны мультиплексорам: *сигналы с одного информационного входа распределяются в необходимой последовательности по нескольким выходам*. Выбор нужного выхода, как и в мультиплексоре, обеспечивается двоичным кодом на адресных входах. При  $n$  адресных входах полный демультиплексор имеет  $2^n$  выходов, которые могут быть прямыми или инверсными. На каждом прямом выходе демультиплексора, содержащего прямой вход разрешения, реализуется булева функция

$$f_i = E m_i d,$$

где  $m_i$  – минтерм, соответствующий  $i$ -му набору переменных на адресных входах;  $E$  – сигнал на входе разрешения;  $d$  – сигнал на информационном входе.

ИМС демультиплексоров имеют 4, 8 или 16 выходов. Если требуется большее число выходов, демультиплексоры наращиваются в систему и в этом отношении принципиального различия с мультиплексорами нет.

## Мультиплексоры и демультиплексоры.



Условное графическое обозначение  
полного демультиплексора 1–4.

Полный демультиплексор 1–4 на своих выходах  
реализует систему булевых функций:

$$f_0 = \overline{\overline{E}m_0d} = \overline{\overline{E}\overline{a_1}\overline{a_0}d}, \quad f_1 = \overline{\overline{E}m_1d} = \overline{\overline{E}\overline{a_1}a_0d},$$

$$f_2 = \overline{\overline{E}m_2d} = \overline{\overline{E}a_1\overline{a_0}d}, \quad f_3 = \overline{\overline{E}m_3d} = \overline{\overline{E}a_1a_0d}.$$

Логическая структура полного  
демультиплексора 1–4.

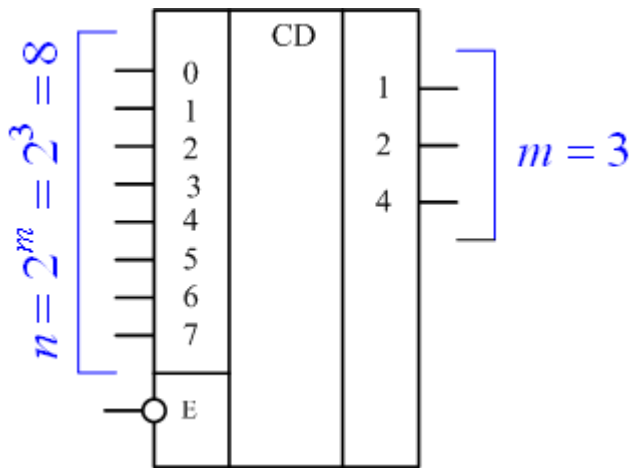
## Шифраторы и дешифраторы.

К основным видам преобразования информации в цифровых системах относят шифрацию и дешифрацию, для реализации которых используют комбинационные цифровые устройства, называемые шифраторами и дешифраторами соответственно.

**Шифратором** называют комбинационную схему, реализующую преобразование унитарного кода “1 из  $n$ ” в  $m$ -разрядный двоичный код ( в унитарном коде “1 из  $n$ ” только один разряд принимает значение 1, а все оставшиеся разряды – 0).

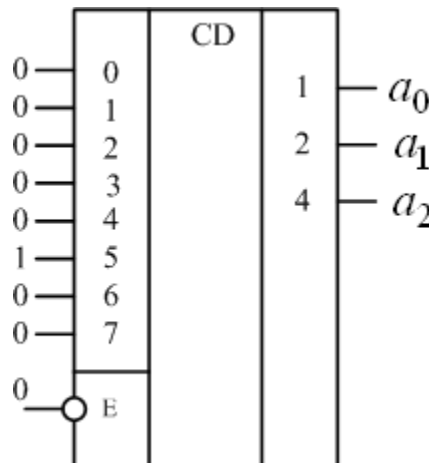
Число входов шифратора не превышает количества возможных комбинаций выходных сигналов:  $n \leq 2^m$ , причем если  $n = 2^m$ , то шифратор называют полным, а если  $n < 2^m$ , то неполным.

## Шифраторы и дешифраторы.



При подаче сигнала на один из входов (на один и не более) на выходе шифратора формируется двоичный код номера возбужденного входа.

**Задание 2:** Для шифратора, представленного на рисунке, укажите двоичный код числа  $a_2 a_1 a_0$ , сформированного на выходе шифратора.



## Шифраторы и дешифраторы.

Правильный ответ для задания 2:  $a_2 a_1 a_0 = 101$ .

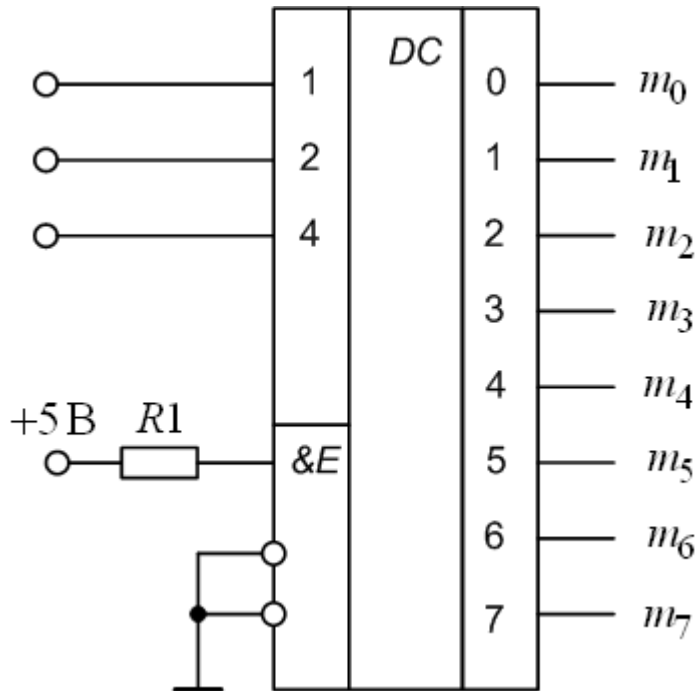
**Дешифратором** называют комбинационную схему, реализующую преобразование  $n$ -разрядного двоичного кода в унитарный код “1 из  $m$ ” (в унитарном коде “1 из  $m$ ” только один разряд принимает значение 1, а все оставшиеся разряды – 0).

Если дешифратор имеет  $n$  входов,  $m$  выходов и использует **все возможные наборы входных переменных**, то число входов и выходов такого дешифратора (**полного дешифратора**) связано соотношением  $m = 2^n$ .

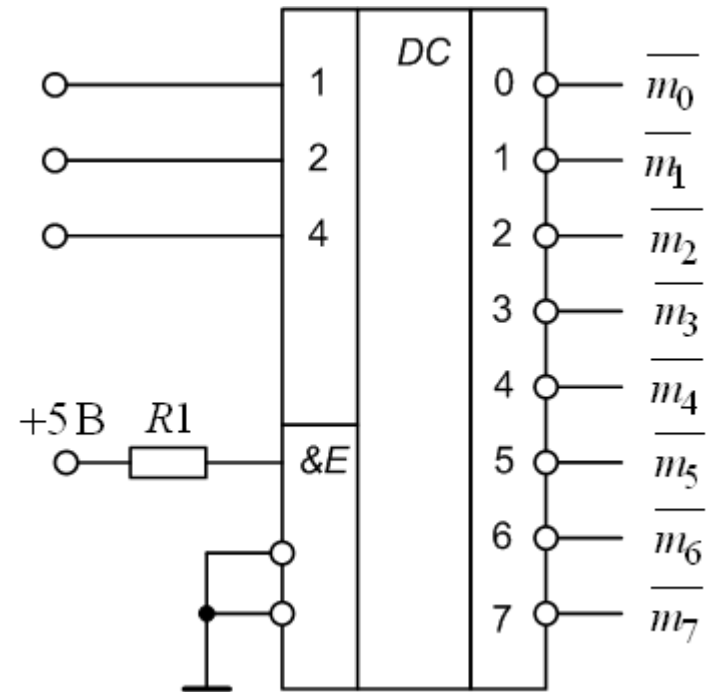
Если дешифратор использует **не все возможные наборы входных переменных**, то число входов и выходов такого дешифратора (**неполного дешифратора**) связано соотношением  $m < 2^n$ .

## Шифраторы и дешифраторы.

Дешифратор с прямыми выходами реализует минтермы входных переменных  $f_i = m_i$ , а дешифратор с инверсными выходами – инверсии минтермов, то есть макстермы входных переменных  $f_i = \overline{m_i} = M_i$ .



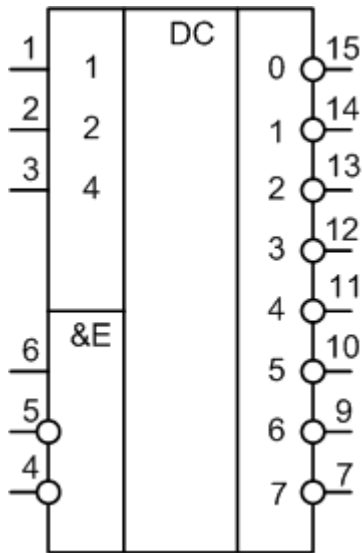
Дешифратор с **прямыми** выходами.



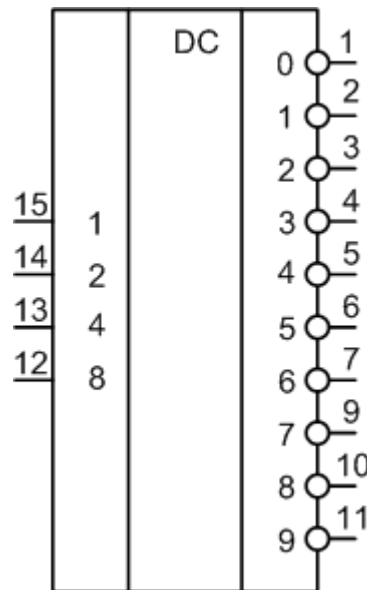
Дешифратор с **инверсными** выходами.

## Шифраторы и дешифраторы.

Входы дешифратора часто нумеруют не порядковыми номерами, а в соответствии *с весами двоичных разрядов*, то есть не 1,2,3,4,..., а 1,2,4,8,16,... Число входов и выходов дешифратора указывают таким образом: например, дешифратор 3-8 (читается «три в восемь»); дешифратор 4-10 (читается «четыре в десять»). Дешифратор «3-8» – это полный дешифратор, а дешифратор «4-10» – неполный дешифратор.



ИМС К555ИД7:  
дешифратор 3-8.

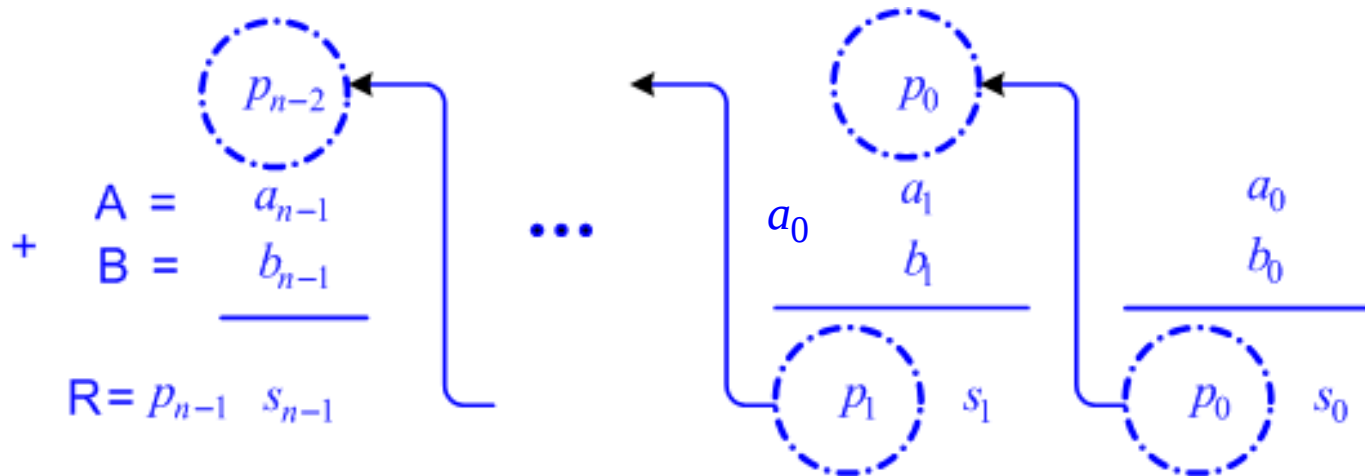


ИМС К555ИД6: дешифратор 4-10.

Для неполного дешифратора коды распадаются на два множества. Первое множество образует *рабочие коды*, каждому из которых соответствует определенный выход дешифратора. Второе множество состоит из *неработающих кодов*, для которых выходы дешифратора не предусмотрены. При подаче на входы дешифратора любого из неработающих кодов на всех выходах дешифратора устанавливается неактивный уровень напряжения.

## Сумматоры.

Двоичный сумматор служит для формирования арифметической суммы  $n$ -разрядных двоичных чисел  $A$  и  $B$ . При этом может формироваться и перенос  $p$  в следующий  $(n+1)$  разряд.



**Сложение двух  $n$ -разрядных чисел:** Сложение цифр  $a_0$  и  $b_0$  младшего разряда дает бит суммы  $s_0$  и бит переноса  $p_0$ . В следующем (втором разряде) происходит сложение цифр  $p_0, a_1, b_1$  и формируется бит суммы  $s_1$  и бит переноса  $p_1$ .

Операция продолжается до тех пор, пока не будет сложена каждая пара цифр во всех разрядах. Результатом сложения является  $(n+1)$  – разрядное число  $R = p_{n-1} s_{n-1} \dots s_1 s_0$ .



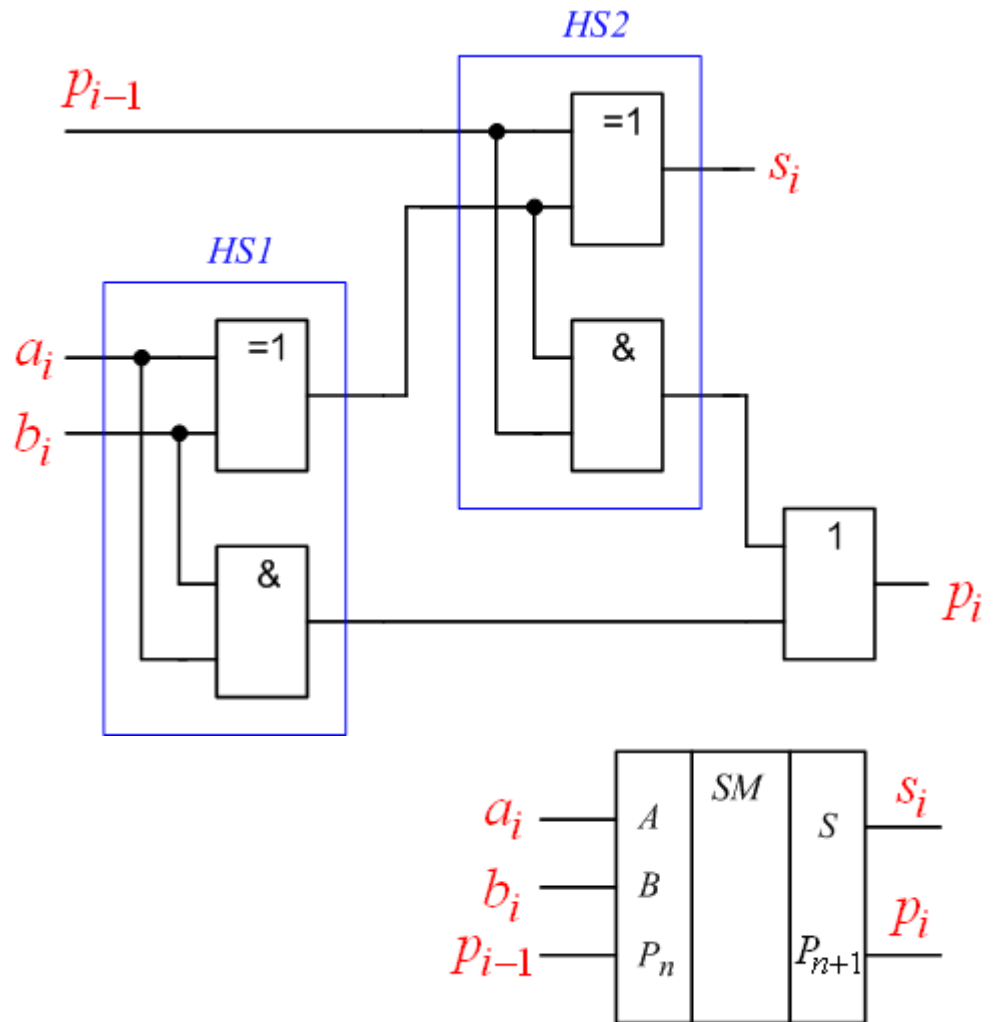
## Сумматоры.

Принцип действия полного одноразрядного сумматора определяется таблицей истинности

№	Входы			Выходы	
	$a_i$	$b_i$	$P_{i-1}$	$s_i$	$P_i$
0	0	0	0	0	0
1	0	1	0	1	0
2	1	0	0	1	0
3	1	1	0	0	1
4	0	0	1	1	0
5	0	1	1	0	1
6	1	0	1	0	1
7	1	1	1	1	1

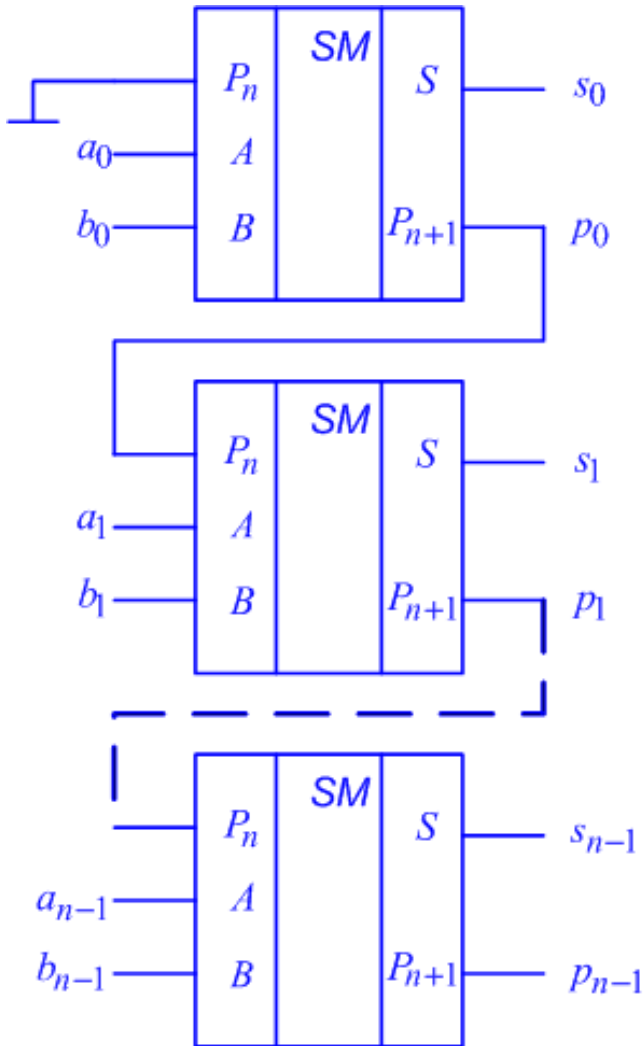
$$s_i = a_i \oplus b_i \oplus P_{i-1}$$

$$P_i = a_i \cdot b_i + P_{i-1} (a_i \oplus b_i)$$



## Сумматоры.

Схема  $n$ -разрядного сумматора с последовательным переносом:

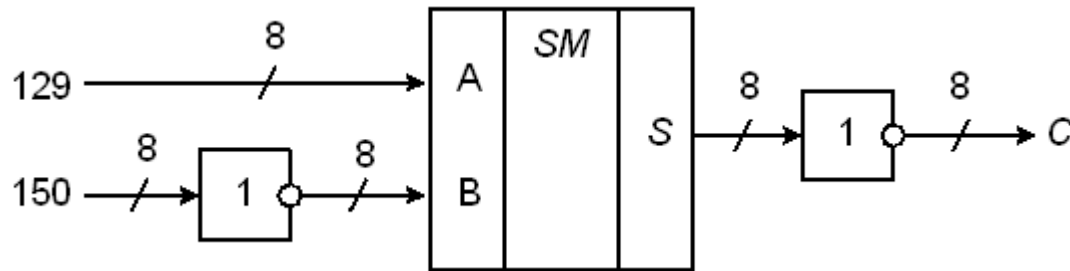


Для суммирования  $n$ -разрядных двоичных чисел объединяется  $n$  полных одноразрядных сумматоров. При этом отдельные разряды суммируемых чисел  $A = a_{n-1}a_{n-2}\dots a_1a_0$  и  $B = b_{n-1}b_{n-2}\dots b_1b_0$  подаются на входы  $a_i$  и  $b_i$  ( $i = 0, 1, \dots, n-1$ ).

На вход  $p_{i-1}$  подается перенос из предыдущего, более младшего разряда. Формируемый в данном разряде перенос  $p_i$  передается в следующий, более старший разряд.

## Сумматоры.

**Пример 1:** Представить в десятичной системе счисления число  $C$ , формируемое на выходе схемы.



**Решение примера 1:** Микросхема сумматора формирует на выходе арифметическую сумму  $S$  восьмиразрядных двоичных чисел  $A$  и  $B$ . Переведем числа 150 и 129 из десятичной системы счисления в двоичную:

128	64	32	16	8	4	2	1
-----	----	----	----	---	---	---	---

1	0	0	1	0	1	1	0
---	---	---	---	---	---	---	---

$$\rightarrow 150_{10} = 10010110_2$$

128	64	32	16	8	4	2	1
-----	----	----	----	---	---	---	---

1	0	0	0	0	0	0	1
---	---	---	---	---	---	---	---

$$\rightarrow 129_{10} = 10000001_2$$

## Сумматоры.

*Решение примера 1 (продолжение):* Так как двоичный код числа 150 подается на группу входов  $B$  через инверторы, необходимо выполнить поразрядное инвертирование двоичного кода этого числа:

$$\overline{10010110} = 01101001.$$

Определим арифметическую сумму двоичных кодов 10000001 и 01101001:

$$\begin{array}{r} + 10000001 \\ 01101001 \\ \hline 11101010 \end{array}$$

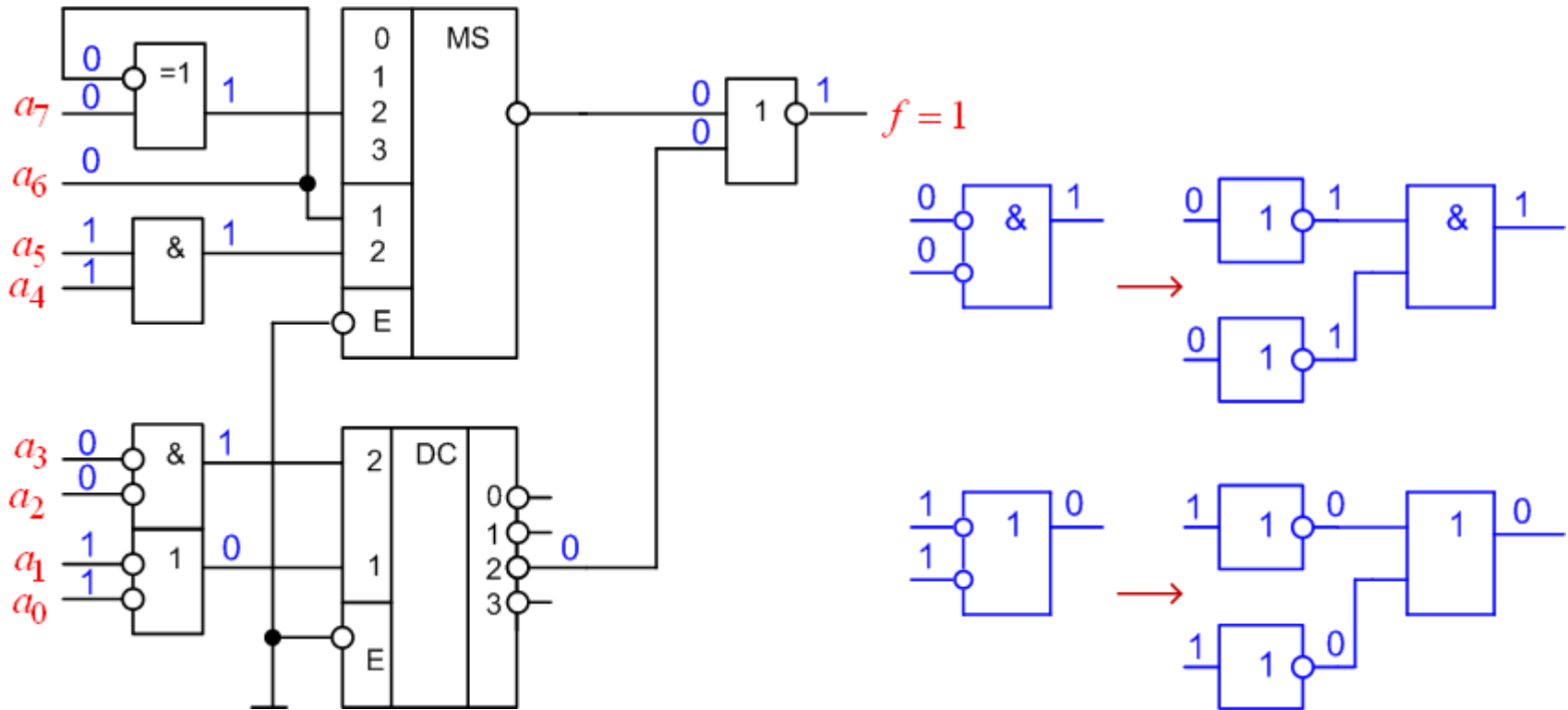
Из схемы следует, что число  $C$  формируется путем поразрядного инвертирования полученной на выходе сумматора арифметической суммы  $S$ :

$$C = \overline{S} = \overline{11101010} = 00010101_2 = 21_{10}.$$

*Ответ для примера 1:* На выходе схемы формируется десятичное число  $C=21$ .

## Примеры и задания.

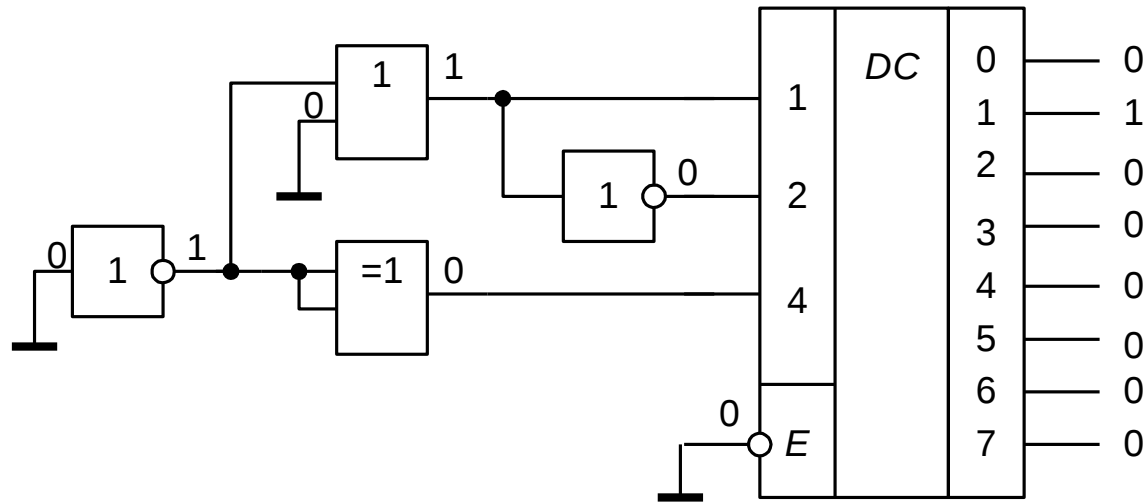
**Пример 2.** Определите входные сигналы  $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$ , при которых  $f = 1$ .



Ответ для примера 2:  $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0 = 00110011$

## Примеры и задания.

**Пример 3.** Определите двоичный код на выходах комбинационной схемы.

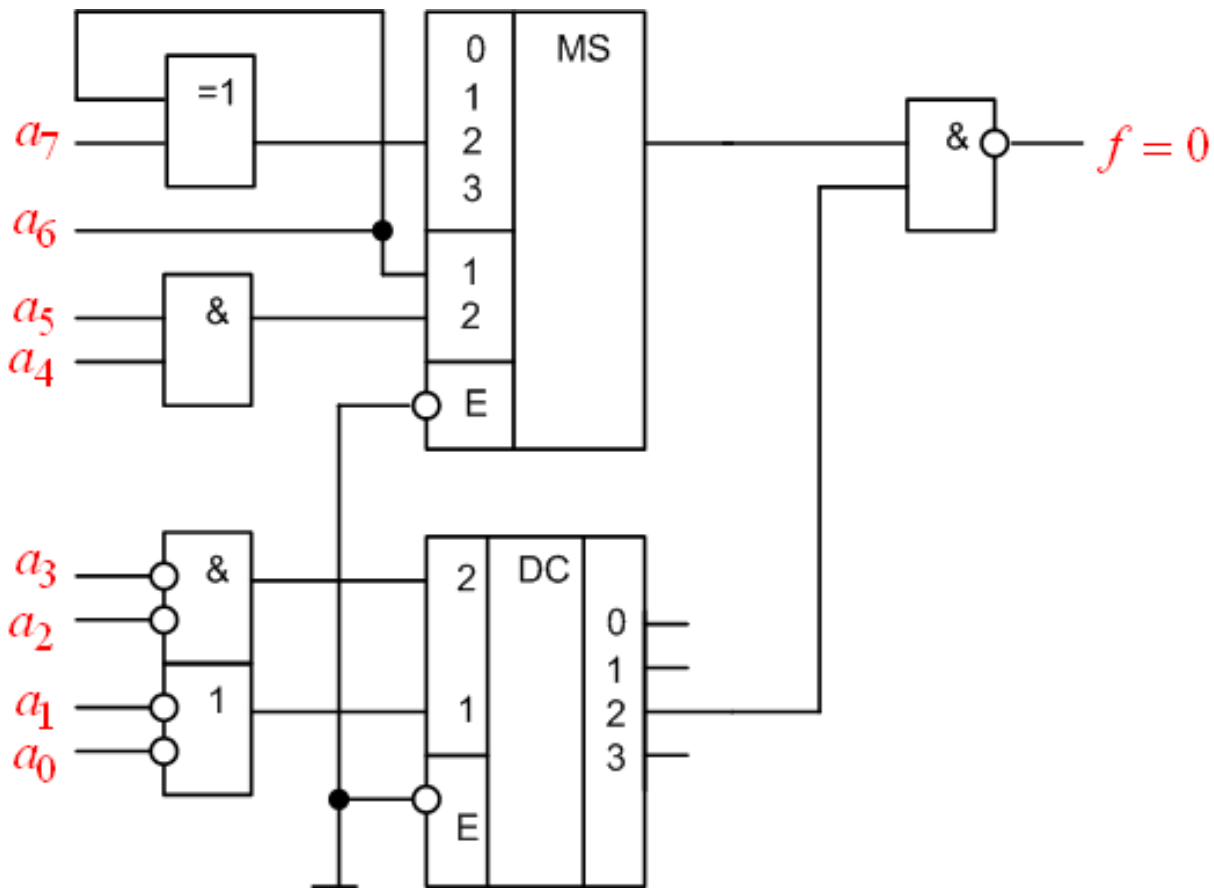


**Решение примера 3.** Заземление входа микросхемы при использовании положительной логики и положительного напряжения питания обеспечивает подачу на этот вход сигнала логического нуля. Так как вход разрешения является инверсным, подача на него логического нуля разрешает работу дешифратора. Логические элементы схемы формируют на адресных входах дешифратора двоичный код 001. Данный код определяет номер выхода (**выход 1**), на котором формируется сигнал логической единицы, при этом на остальных выходах формируются сигналы логического нуля. Таким образом, выходной код схемы – **00000010**.



## Примеры и задания.

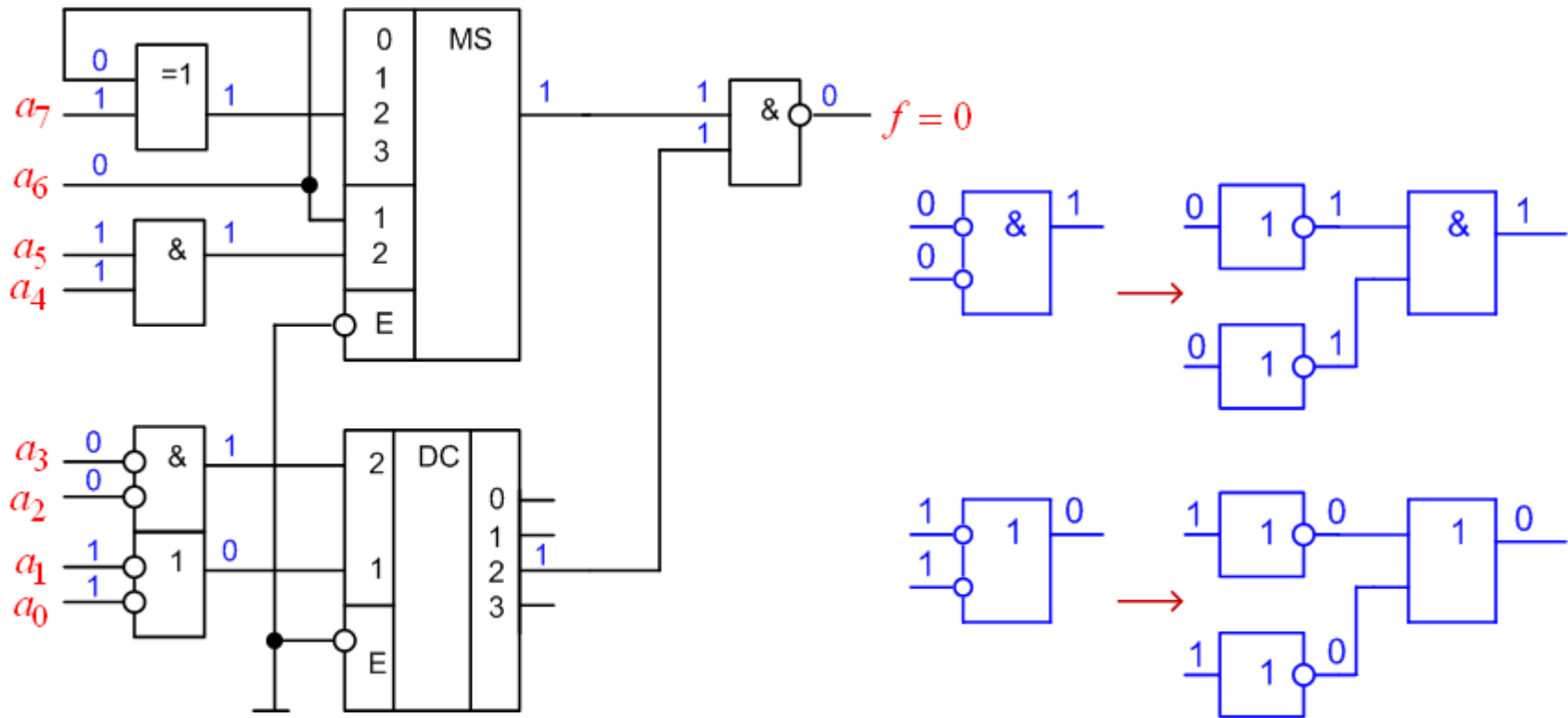
**Задание 3.** Определите входные сигналы  $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$ , при которых  $f = 0$ .





## Примеры и задания.

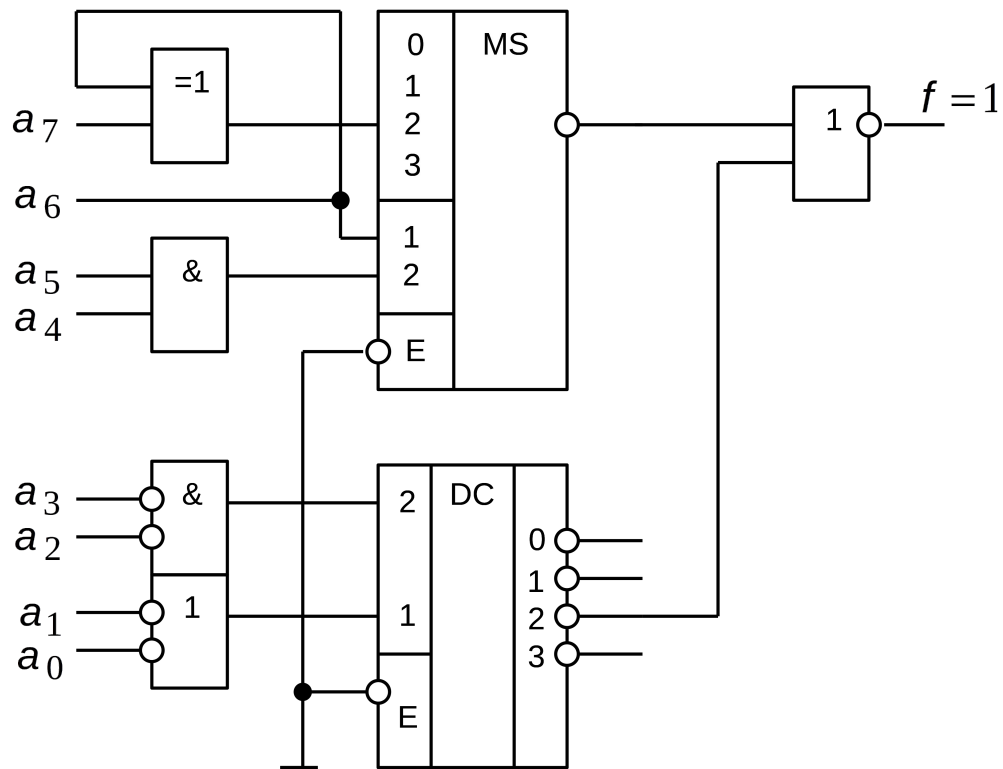
*Решение задания 3.* Определите входные сигналы  $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$ , при которых  $f = 0$ .



*Ответ для задания 4:*  $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0 = 10110011$

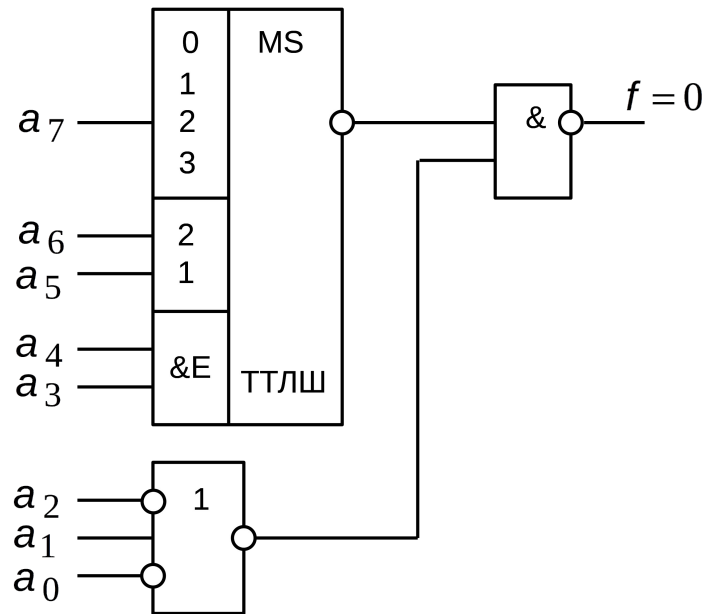
## Вопросы для самоконтроля

1. Определите входные сигналы  $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$ , при которых  $f = 1$ .



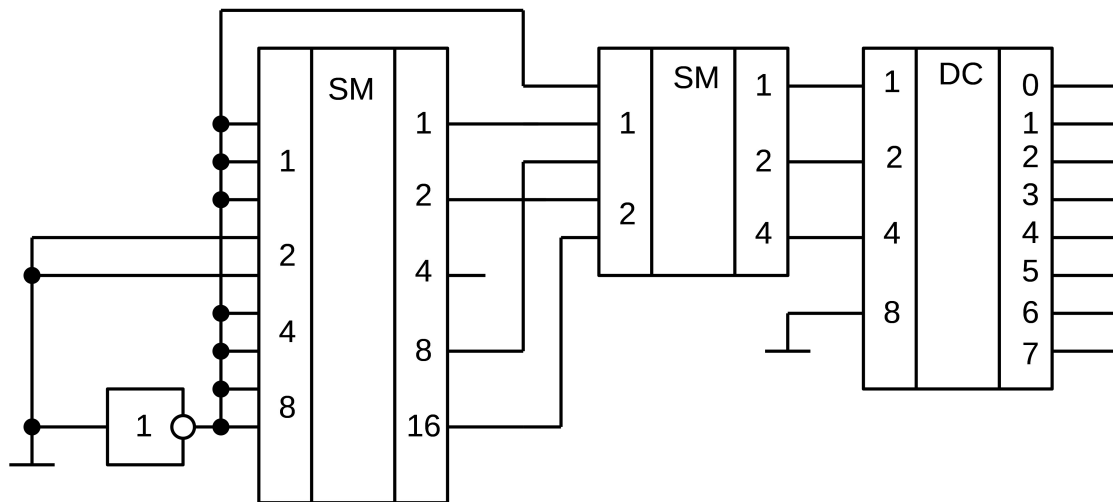
## Вопросы для самоконтроля

2. Определите входные сигналы  $a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$ , при которых  $f = 0$ .



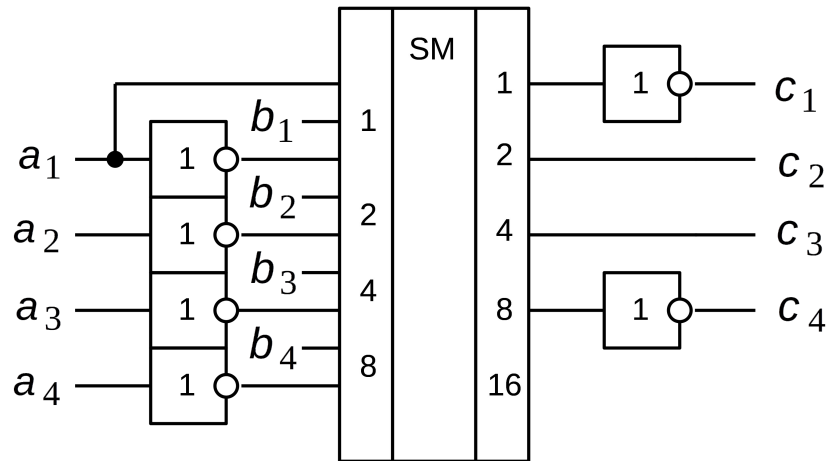
## Вопросы для самоконтроля

3. Определите восьмиразрядный двоичный код, формируемый на выходе комбинационной схемы.



## Вопросы для самоконтроля

4. Определить двоичный код числа  $c_4 c_3 c_2 c_1$  на выходе комбинационной схемы, если  $a_4 a_3 a_2 a_1 = 1101$ , а  $b_4 b_3 b_2 b_1 = 1010$ .



## Рекомендуемая литература

1. **Легостаев Н.С.** Микроэлектроника: учебное пособие / Н.С. Легостаев, К.В. Четвергов. – Томск: Эль Контент, 2013. – 172 с. ISBN 978-5-4332-0073-9
2. **Легостаев Н.С.** Микроэлектроника: методические указания по изучению дисциплины / Н.С. Легостаев, К.В. Четвергов. – Томск: факультет дистанционного обучения, ТУСУР, 2012. – 90 с.
3. **Легостаев Н.С.** Микроэлектроника: слайды / Н.С. Легостаев, К.В. Четвергов. – Томск: факультет дистанционного обучения, ТУСУР, 2012. – 303 слайда.

**Тема следующего занятия** «Цифровые микроэлектронные устройства последовательностного типа: триггеры (RS-триггеры, Т-триггеры, D-триггеры, JK-триггеры), регистры памяти и регистры сдвига, счетчики и делители частоты».

**Для подготовки к занятию** изучите материал, представленный в разделе 5 учебного пособия по дисциплине «Микроэлектроника». Рекомендую изучение начать с изучения обобщенной структуры последовательностного цифрового устройства, а затем переходить к изучению триггеров, которые являются неотъемлемой частью регистров и счетчиков. Постарайтесь запомнить условные графические обозначения триггеров.

**Спасибо за внимание**