

Дисциплина
«Микроэлектроника»

ТЕМА: «Цифровые микроэлектронные
устройства последовательностного типа».
Часть 2.

Легостаев Николай Степанович,
профессор кафедры «Промышленная электроника»

Содержание

- Регистры.
 - ▶ Регистры памяти.
 - ▶ Регистры сдвига.
- Счетчики.
 - ▶ Двоичные счетчики.
 - ▶ Десятичные счетчики.
 - ▶ Счетчики с произвольным коэффициентом пересчета.
 - ▶ Счетчики с программируемым коэффициентом пересчета.
- Делители частоты.

Регистры. Общие положения.

Регистр – последовательностное цифровое устройство, предназначенное для хранения и преобразования многоразрядных двоичных чисел (слов).

Регистр представляет собой совокупность триггеров, число которых соответствует числу разрядов хранимого двоичного слова, *и вспомогательных комбинационных схем*, обеспечивающих реализацию определенных преобразований двоичной информации.

Состояние n-разрядного регистра определяется состояниями *n* триггеров и отображается *n*-разрядным двоичным словом $Y = y_n \dots y_1$.

Регистры. Общие положения.

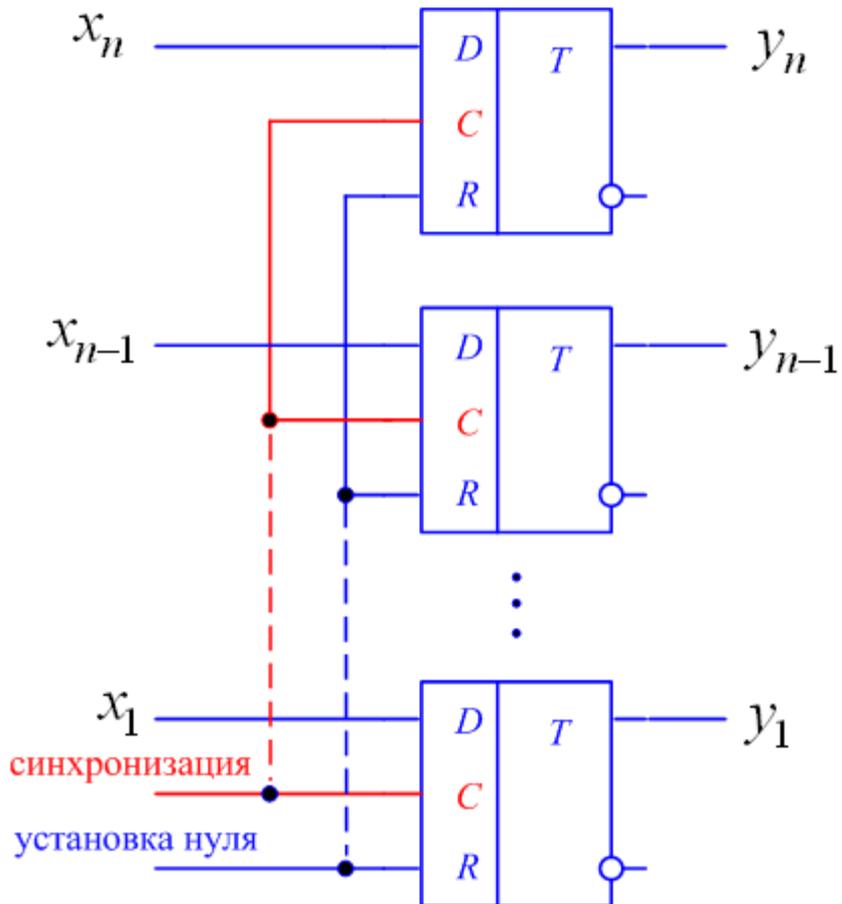
В регистре могут выполняться следующие операции:

- *запись информации* – занесение новой информации в регистр; для записи на вход регистра подается n -разрядное двоичное слово $X = x_n \dots x_1$.
- *считывание информации* – вывод информации из регистра для передачи в другие узлы цифровой аппаратуры;
- *установка в начальное состояние* (“сброс”) – установка всех триггеров регистра в одинаковое (чаще нулевое) состояние с помощью одного управляющего сигнала;
- *сдвиг слова влево или вправо* на заданное число разрядов;
- *поразрядные логические операции.*

По назначению регистры подразделяются на *регистры памяти* и *регистры сдвига*.

Регистры памяти.

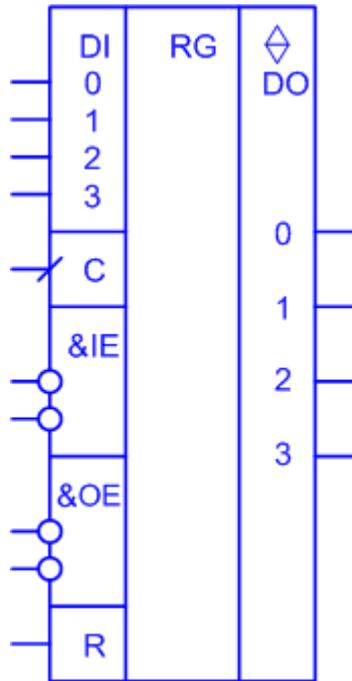
Регистры памяти предназначены для хранения цифровой информации небольшого объема.



Функциональная схема n -разрядного регистра памяти.

Регистры памяти представляют собой наборы синхронных триггеров с независимыми информационными и объединенными в общую шину синхронизации тактовыми входами. Каждый из триггеров обеспечивает хранение одного разряда двоичного числа. В качестве элементов памяти регистра в основном используются синхронные D -триггеры.

Регистры памяти.



УГО четырехразрядного регистра памяти с тремя выходными состояниями.

Регистр памяти с тремя выходными состояниями, который содержит четырехразрядную входную шину **DI**, четырехразрядную выходную шину **DO**, динамический вход синхронизации по фронту тактовых импульсов **C**, инверсные входы **&IE** (входы “разрешение записи”), объединенные логикой И, инверсные входы **&OE** (входы “разрешение считывания”), объединенные логикой И, а также прямой вход сброса **R**. При совпадении на входах **&IE** уровней логического нуля (разрешение записи) по фронту импульса синхронизации в регистр записывается четырехразрядное слово со входной шины **DI**, которое считывается с выходной шины **DO** при совпадении уровней логического нуля на входах **&OE** (разрешение считывания). Если хотя бы на одном из входов **&OE** присутствует уровень логической единицы, микросхема находится в состоянии разомкнутого выхода. При подаче на вход **R** уровня логической единицы происходит сброс регистра (все триггеры регистра устанавливаются в нулевое состояние) независимо от сигналов на остальных входах.

Регистры сдвига.

Регистры сдвига помимо хранения обеспечивают выполнение операции сдвига двоичной информации.

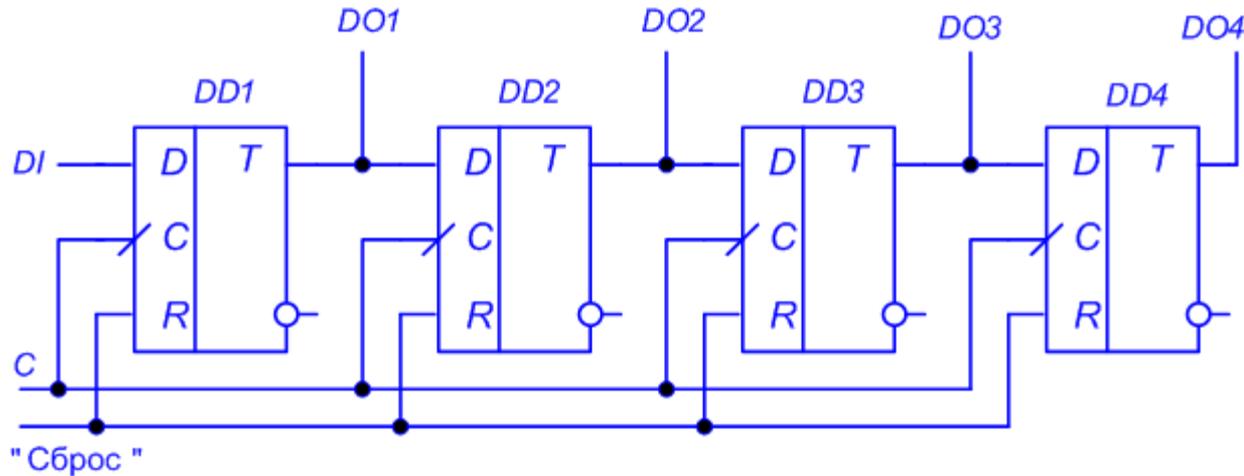
Сущность сдвига состоит в том, что с приходом каждого тактового импульса происходит перезапись содержимого триггера каждого разряда в соседний разряд без изменения порядка следования двоичных цифр.

По направлению сдвига различают однонаправленные регистры, которые осуществляют сдвиг информации вправо (регистры прямого сдвига, регистры со сдвигом вправо) или влево (регистры обратного сдвига, регистры со сдвигом влево), и *реверсивные регистры* (допускают сдвиг в обоих направлениях).

Работу регистра сдвига можно наблюдать, например, в микрокалькуляторах, где при наборе каждой цифры на клавиатуре числа на индикаторе сдвигаются влево. Например, для набора числа 41 нужно сделать следующее. Сначала нажимается и отпускается клавиша с цифрой 4. Цифра 4 появляется в крайней правой позиции на индикаторе. Затем нажимается и отпускается клавиша с цифрой 1. В результате цифра 4 на индикаторе сдвигается на одну позицию влево, а на ее месте в крайнем правом положении появляется цифра 1 – на индикаторе высвечивается число 41.



Регистры со сдвигом вправо.

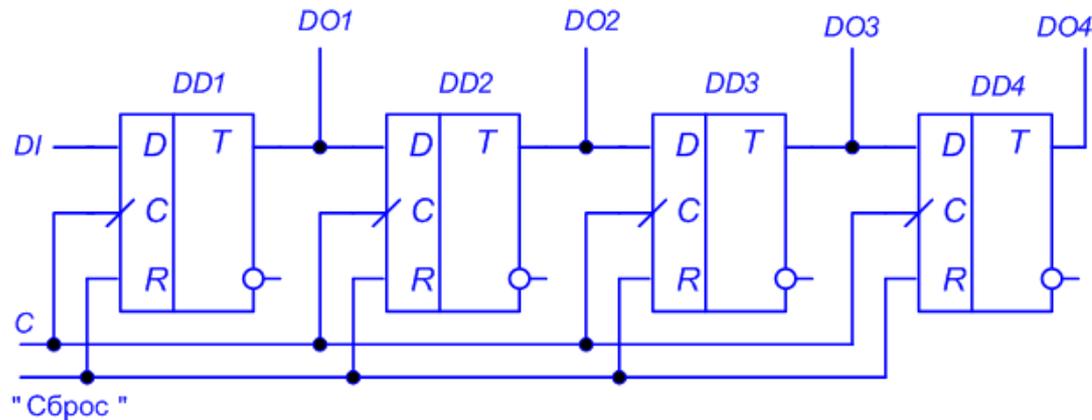


Функциональная схема четырехразрядного последовательного регистра сдвига вправо (термин «*последовательный*» отражает тот факт, что в этот регистр *данные вводятся поразрядно*).

Регистр представляет собой последовательную цепь *D*-триггеров с динамическим управлением по фронту тактовых импульсов. Тактовые импульсы (импульсы сдвига) поступают на все триггеры одновременно. Информационным входом *DI* регистра является вход триггера *DD1*. При подаче тактовых импульсов происходит последовательная запись информации со входа *DI* и ее сдвиг в сторону возрастания номеров триггеров (сдвиг вправо). Для записи в регистр *четырёхразрядного* слова необходимо *четыре* тактовых импульса.

Регистры со сдвигом вправо.

Допустим, что в регистр последовательно вводится, начиная с младшего разряда, двоичный код **1101**. Предварительный сброс регистра производится подачей сигнала логической единицы на вход “Сброс” (все триггеры устанавливаются в нулевое состояние).

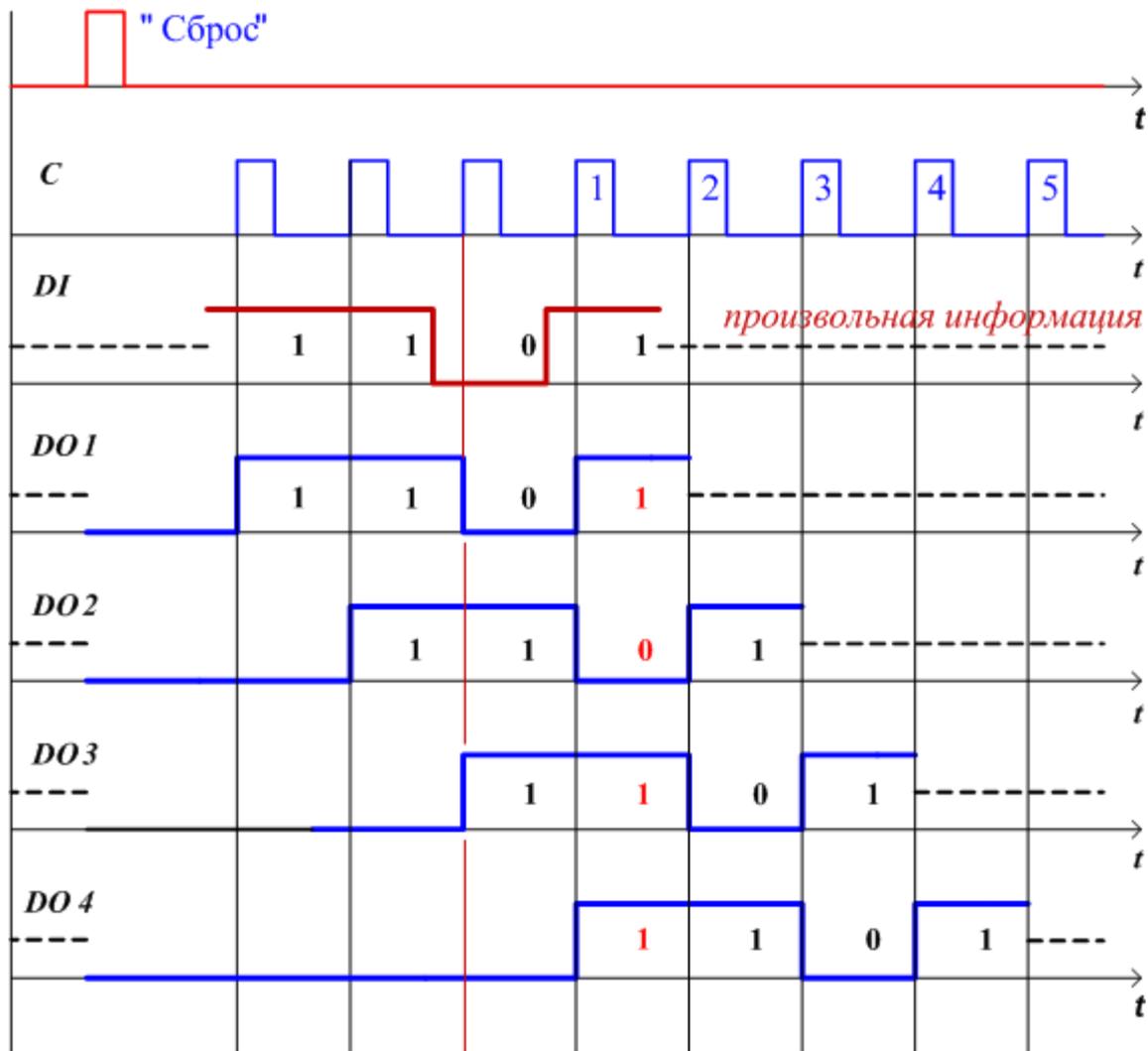


С первым тактовым импульсом в триггер *DD1* записывается единица младшего разряда входного слова. Со следующим тактовым импульсом эта единица будет сдвинута в триггер *DD2*, а в триггер *DD1* одновременно поступит информация следующего разряда входного слова. Аналогично происходит дальнейший сдвиг информации в триггеры *DD3* и *DD4*.

После четырех тактовых импульсов код на выходах *DO1-DO4* соответствует входному коду и может быть **параллельно считан** внешним устройством.

Последовательное считывание информации из регистра осуществляется с выхода *DO4*, начиная с пятого тактового импульса.

Регистры со сдвигом вправо.



Импульс №1: В триггер *DD1* записывается единица младшего разряда входного слова.

Импульс №2: Единица младшего разряда входного слова сдвигается в триггер *DD2*.

Одновременно в триггер *DD1* поступает информация следующего разряда (ноль) входного слова.

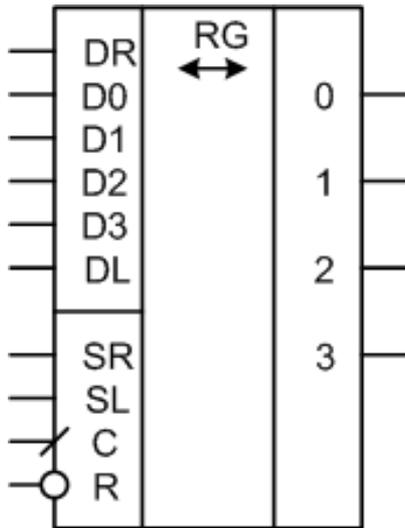
Импульсы №3 и №4: Происходит дальнейший сдвиг информации в триггеры *DD3* и *DD4*.

После тактовых импульсов №1 – №4 код на выходах *DO1-DO4* триггера соответствует входному коду.

В регистр последовательно вводится двоичный код **1101**, начиная с младшего разряда.

Универсальные регистры.

Универсальные регистры в зависимости от подачи управляющих сигналов могут выполнять функции регистров памяти, однонаправленных и реверсивных регистров сдвига.



Условное графическое обозначение микросхемы универсального четырехразрядного регистра.

Микросхема универсального четырехразрядного регистра содержит:

входы $D0-D3$ для подачи информации при параллельной записи;

вход DR для подачи информации при последовательной записи и сдвиге вправо;

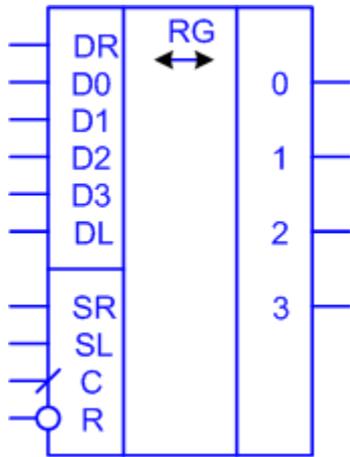
вход DL для подачи информации при последовательной записи и сдвиге влево;

входы SR, SL для управления режимом работы;

тактовый вход C ;

асинхронный инверсный вход сброса R .

Универсальные регистры.



УГО микросхемы универсального четырехразрядного регистра.

При подаче сигнала логического нуля на вход R происходит установка всех триггеров регистра в нулевое состояние независимо от сигналов на остальных входах регистра.

При наличии на входе R сигнала логической единицы режим работы регистра определяется комбинацией сигналов на управляющих входах SR, SL :

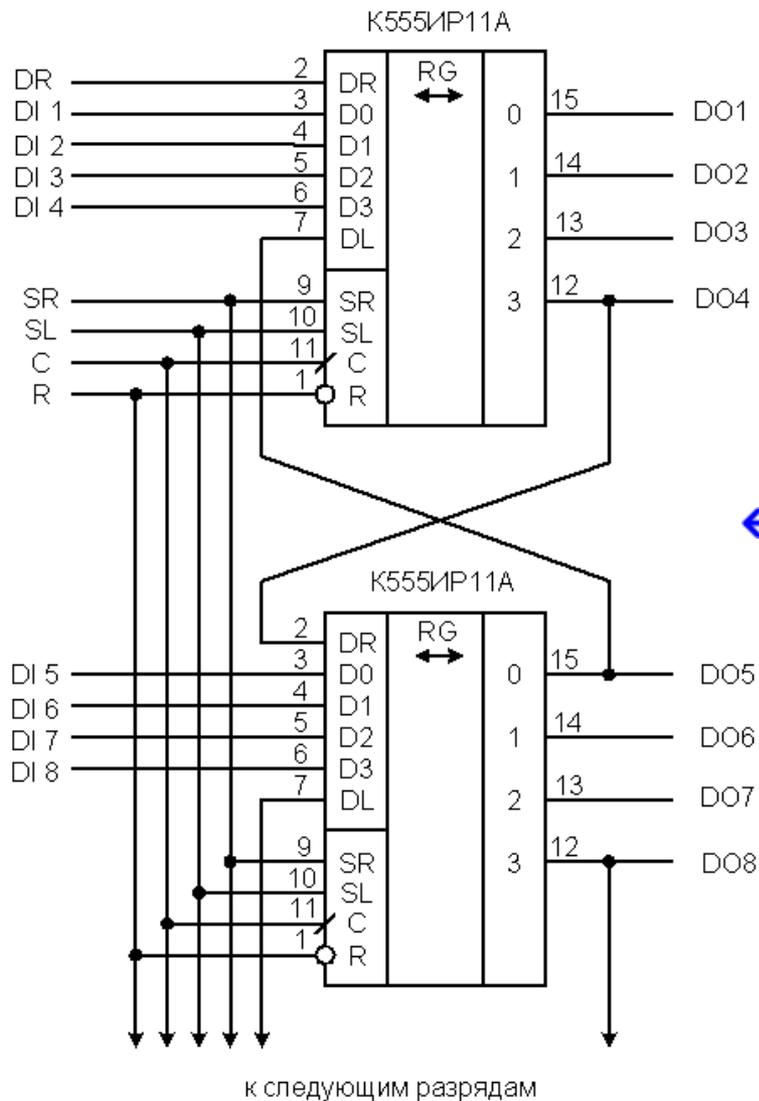
1) Комбинации управляющих сигналов $SR=0, SL=0$ соответствует режиму *хранения*.

2) При $SR=1, SL=0$ по фронту тактовых импульсов происходит последовательная запись информации со входа DR и *сдвиг* ее *вправо*.

3) При $SR=0, SL=1$ по фронту тактовых импульсов происходит последовательная запись информации со входа DL и *сдвиг* ее *влево*.

4) При комбинации $SR=1, SL=1$ по фронту тактовых импульсов осуществляется параллельная *запись информации* со входов $D0-D3$.

Универсальные регистры.



Наращивание разрядности универсального регистра.

Счетчики. Общие положения.

Счетчик – последовательностное цифровое устройство, циклически переходящее из одного состояния в другое под воздействием счетных (тактовых) сигналов, поступающих на его счетный (тактовый) вход.

Для реализации счетчиков используются T-, D- и JK-триггеры с динамическим управлением, каждый из которых образует соответствующий разряд двоичного кода.

Состояние счетчика определяется двоичным кодом, зафиксированным на его триггерах.

В зависимости от организации внутренних связей между триггерами различают:

- *асинхронные счетчики* (счетчики с последовательным переносом), у которых входные счетные сигналы непосредственно воздействуют на вход синхронизации только одного триггера, а на входы синхронизации каждого последующего триггера сигналы поступают с выхода предыдущего;
- *синхронные счетчики* (счетчики с параллельным переносом), у которых входные счетные сигналы непосредственно воздействуют на входы синхронизации всех триггеров, а каждый триггер вырабатывает для всех последующих триггеров лишь сигналы управления.

Счетчики. Общие положения.

По направлению счета выделяют счетчики:

- *суммирующие*, состояния которых в процессе счета изменяются в сторону возрастания;
- *вычитающие*, состояния которых в процессе счета изменяются в сторону убывания;
- *реверсивные*, способные осуществлять счет как в сторону возрастания, так и в сторону убывания состояний.

Основным параметром счетчика является *коэффициент пересчета (модуль счета)* $k_{\tilde{n} \div}$ определяемый числом всех различных состояний, через которые проходит счетчик в процессе одного полного цикла счета. Другими словами, коэффициент пересчета представляет собой число импульсов, которые необходимо подать на счетный вход, чтобы счетчик, пройдя полный цикл счета, вернулся в исходное состояние.

Состояния счетчика с коэффициентом пересчета $k_{\tilde{n} \div}$ лежат в диапазоне $Q_{\tilde{n} \div} = \overline{0, k_{\tilde{n} \div} - 1}$.

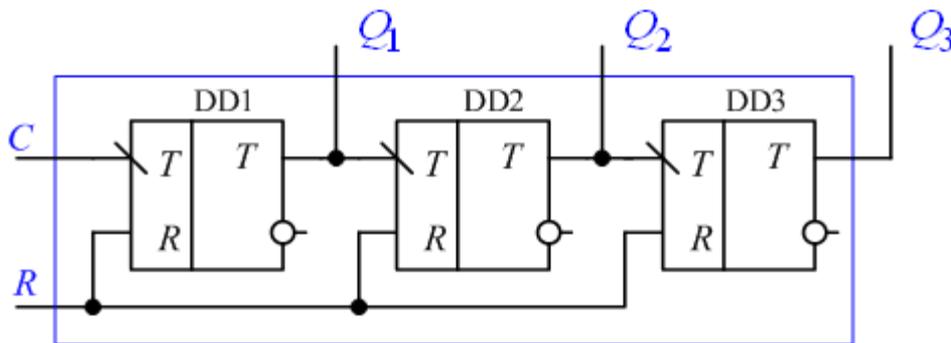
Счетчики. Общие положения.

По значению коэффициента пересчета различают:

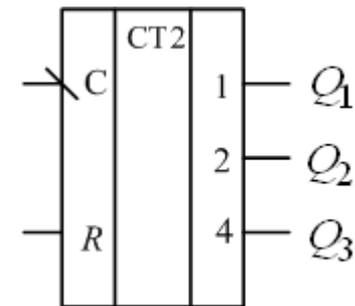
- *двоичные счетчики*, у которых $k_{\tilde{n}\div} = 2^n$ где n – число разрядов выходного двоичного кода счетчика (число триггеров); состояние счетчика определяется n -разрядным двоичным кодом в диапазоне $Q_{\tilde{n}\div} = \overline{0, 2^n - 1}$;
- *десятичные счетчики*, у которых $k_{\tilde{n}\div} = 10^l$, где l – число двоичных тетрад выходного двоично-десятичного кода счетчика; состояние счетчика определяется $4l$ – разрядным двоично-десятичным кодом в диапазоне $Q_{\tilde{n}\div} = \overline{0, 10^l - 1}$;
- *счетчики с произвольным постоянным коэффициентом пересчета*;
- *счетчики с переменным (программируемым) коэффициентом пересчета*.

Суммирующие асинхронные двоичные счетчики.

Для организации асинхронного двоичного счетчика с коэффициентом пересчета $k_{\text{н.д.}}$ необходимо использовать $n = \log_2 k_{\text{н.д.}}$ счетных триггеров, соединяя выход предыдущего триггера со счетным входом последующего. При этом младшему разряду выходного n -разрядного двоичного кода счетчика будет соответствовать первый триггер, на счетный вход которого непосредственно подаются счетные импульсы.

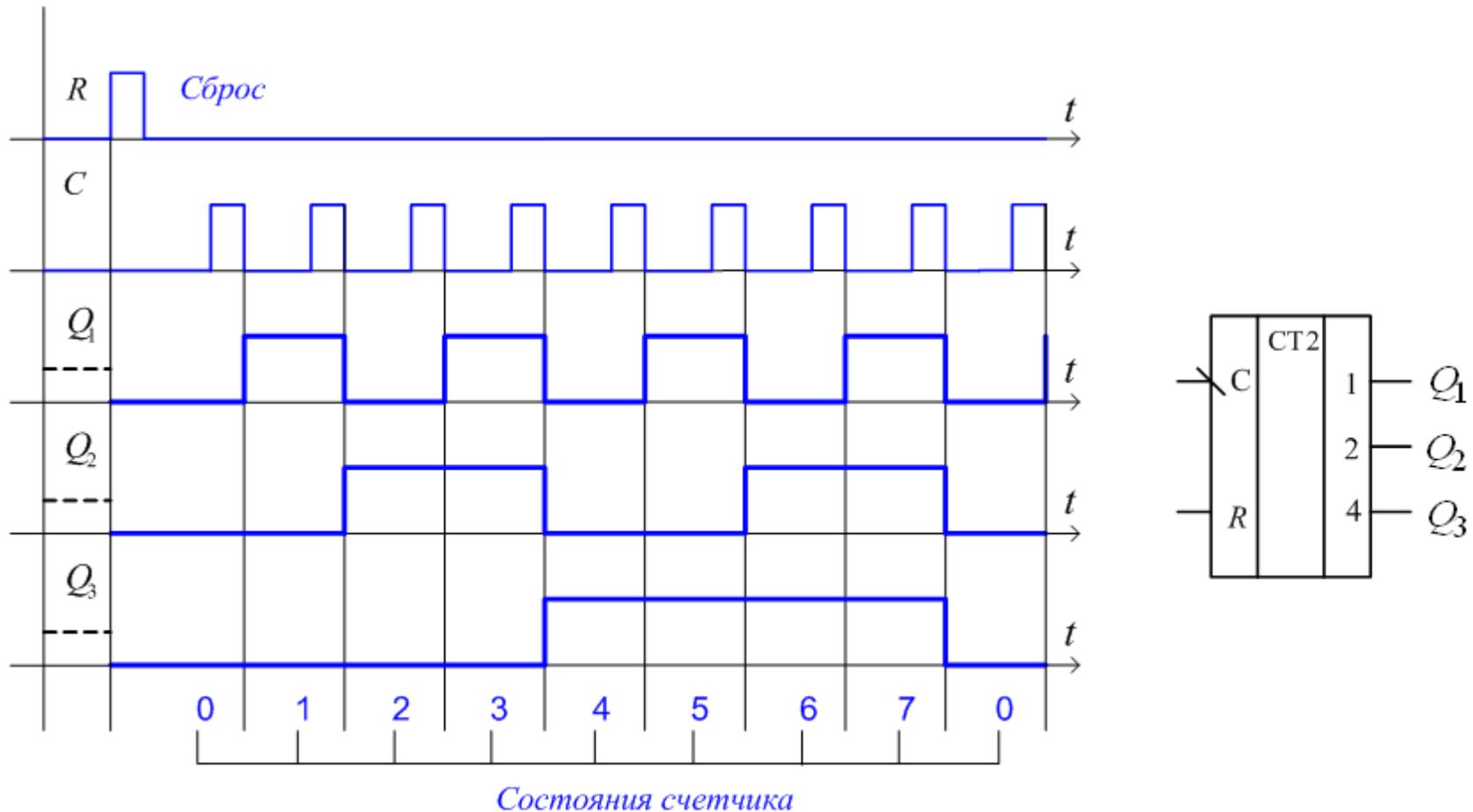


Функциональная схема суммирующего асинхронный двоичного счетчика.



Условное графическое обозначение суммирующего асинхронный двоичного счетчика.

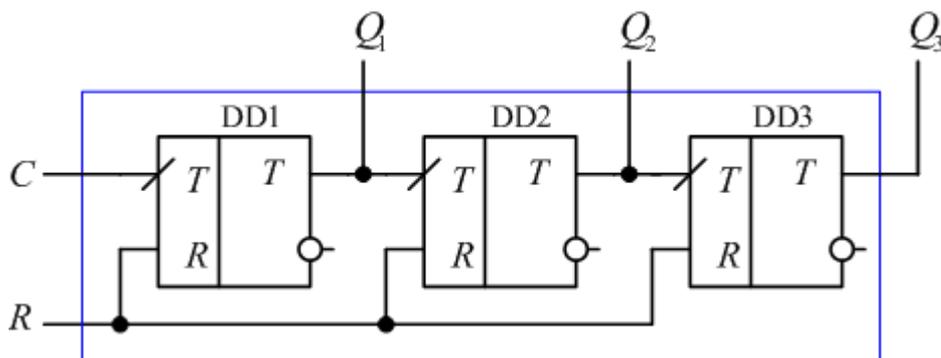
Суммирующие асинхронные двоичные счетчики.



Временные диаграммы суммирующего асинхронного двоичного счетчика.

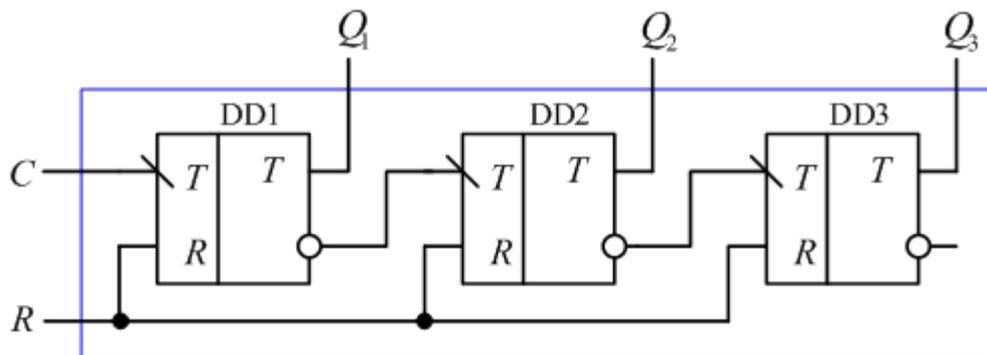
Вычитающие асинхронные двоичные счетчики.

Для организации *асинхронного вычитающего счетчика* необходимо либо применять счетные триггеры с управлением *по фронту* тактовых импульсов,



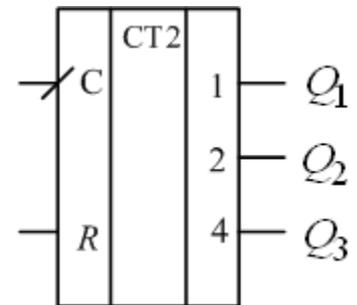
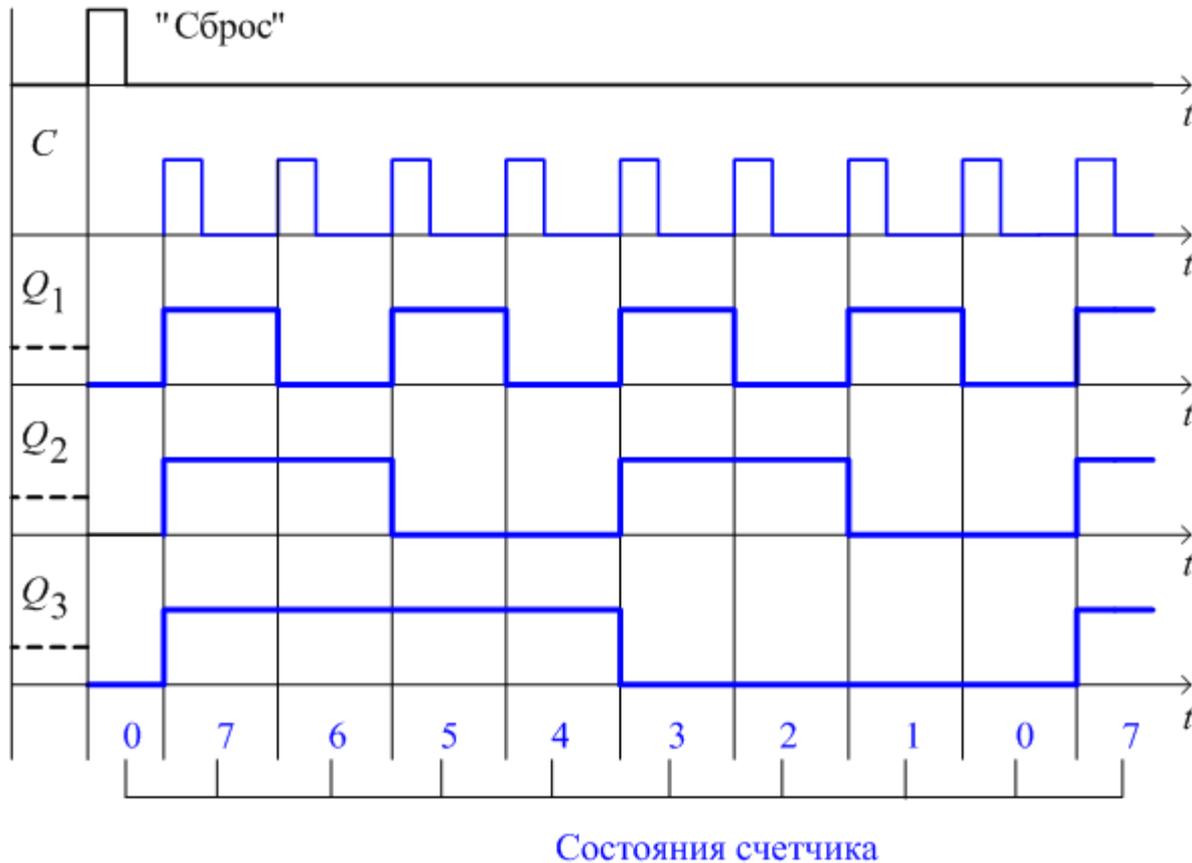
Пример реализации *вычитающего асинхронного двоичного счетчика* с $k_{\text{н.д.}} = 8$ на базе $n = \log_2 8 = 3$ счетных триггеров с управлением *по фронту* тактовых импульсов.

либо в качестве тактовых сигналов последующих триггеров с управлением *по срезу* использовать сигналы с инверсных выходов предыдущих триггеров.



Пример реализации *вычитающего асинхронного двоичного счетчика* с $k_{\text{н.д.}} = 8$ на базе $n = \log_2 8 = 3$ счетных триггеров с управлением *по срезу* тактовых импульсов.

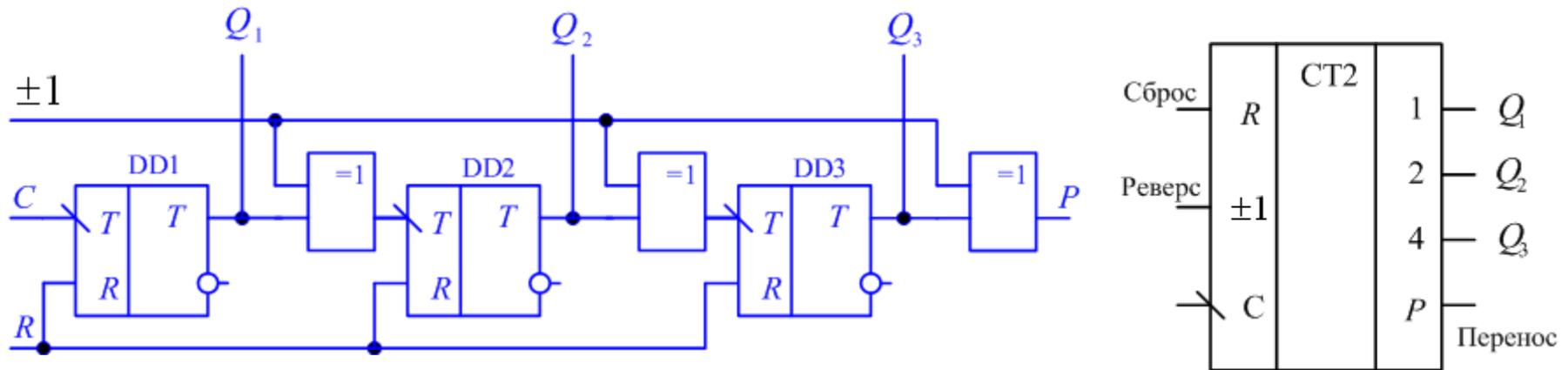
Вычитающие асинхронные двоичные счетчики.



Временные диаграммы вычитающего асинхронного двоичного счетчика на базе счетных триггеров с управлением по фронту тактовых импульсов

Реверсивные асинхронные двоичные счетчики.

Для построения *реверсивного асинхронного счетчика* необходимо в зависимости от сигнала управления в качестве тактовых сигналов последующих триггеров использовать либо прямые, либо инверсные выходные сигналы предыдущих триггеров. Формирование соответствующего тактового сигнала можно реализовать, используя логические элементы “исключающее ИЛИ”.



Функциональная схема асинхронного реверсивного счетчика.

Вход R предназначен для установки счетчика в нулевое состояние. Направление счета определяется сигналом управления, подаваемым на вход ± 1 . При поступлении на вход ± 1 сигнала логического нуля логические элементы “исключающее ИЛИ” работают как повторители сигналов с прямых выходов триггеров, обеспечивая счет в прямом направлении. Если на вход ± 1 подан сигнал логической единицы, элементы “исключающее ИЛИ” функционируют как инверторы сигналов с прямых выходов триггеров, в результате чего счет осуществляется в обратном направлении. Для наращивания разрядности счетчика используется выход переноса P , который подключается к тактовому входу C триггера последующего разряда.

Счетчики с произвольным постоянным коэффициентом пересчета.

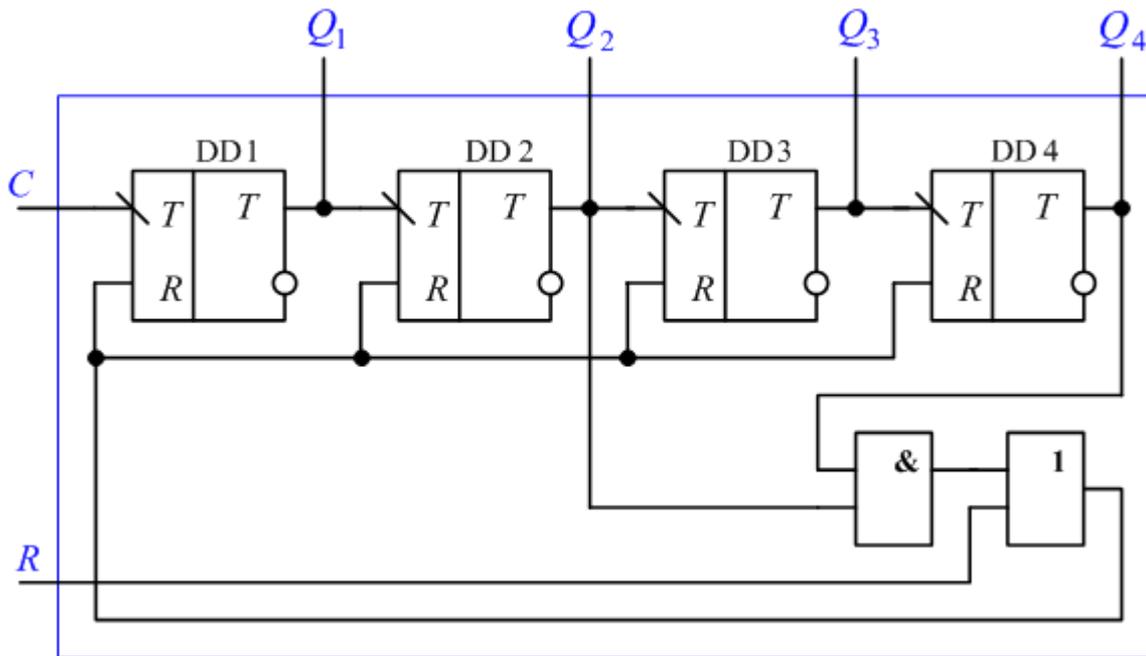
Счетчики с произвольным постоянным коэффициентом пересчета $k_{\tilde{n} \div}$ как правило содержат двоичный счетчик из $n = \lceil \log_2 k_{\tilde{n} \div} \rceil + 1$ триггеров, где $\lceil x \rceil$ – функция «целая часть x ». При этом коэффициент пересчета лежит в диапазоне $2^n \leq k_{\tilde{n} \div} < 2^{n+1}$ что свидетельствует о наличии избыточных состояний счетчика.

Для исключения избыточных состояний двоичный счетчик дополняется комбинационной схемой, обеспечивающей принудительную установку счетчика в заданное исходное состояние.

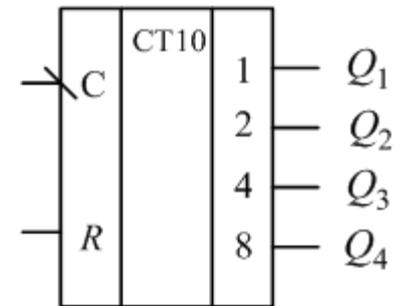
Частным случаем счетчиков с произвольным постоянным коэффициентом пересчета являются *десятичные счетчики*, которые выпускаются в виде интегральных микросхем. Для построения десятичного счетчика с коэффициентом пересчета $k_{\tilde{n} \div}$ необходимо $l = \lg k_{\tilde{n} \div}$ тетрад выходного кода и $n = 4 \lg k_{\tilde{n} \div}$ триггеров.

Десятичный асинхронный суммирующий счетчик с коэффициентом пересчета $k_{\tilde{n}} = 10$.

Реализация счетчика с коэффициентом пересчета $k_{\tilde{n}} = 10$ требует $n = 4 \lg 10 = 4$ триггера, образующих одну двоичную тетраду (один разряд десятичного кода).

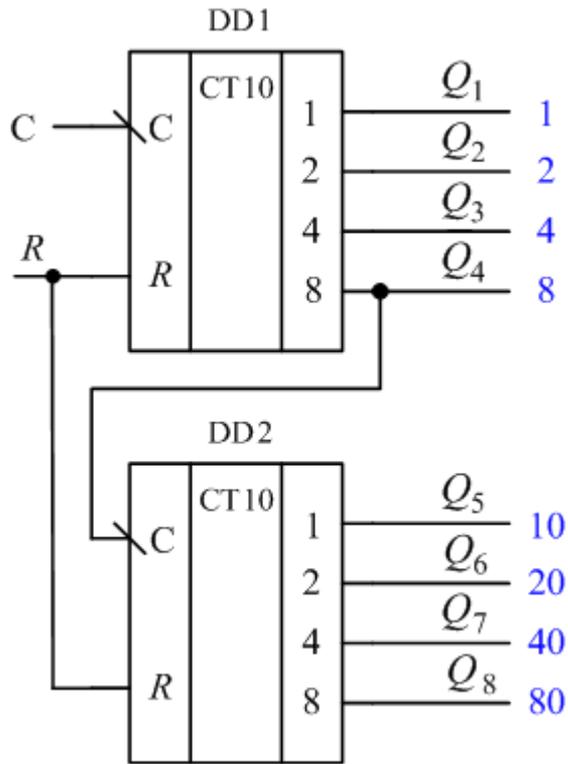


Функциональная схема десятичного асинхронного суммирующего счетчика с коэффициентом пересчета

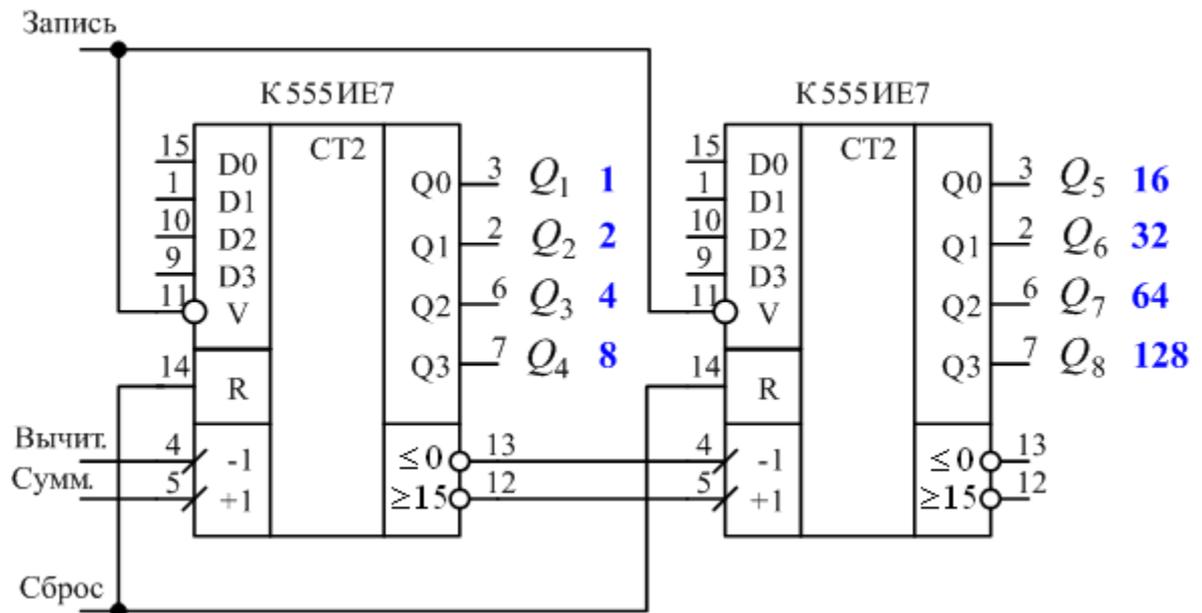


Условное графическое обозначение десятичного асинхронного суммирующего счетчика с коэффициентом пересчета $k_{\tilde{n}} = 10$.

Наращивание разрядности счетчиков.



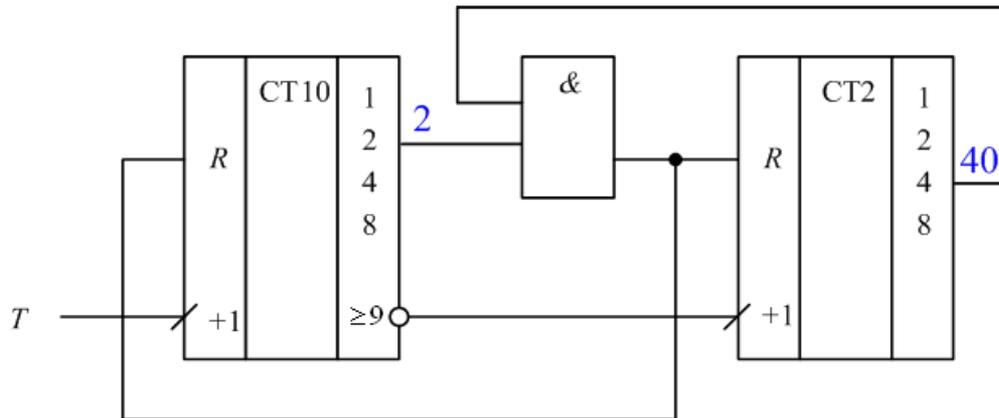
Функциональная схема
асинхронного суммирующего
счетчика с коэффициентом
пересчета $k_{\tilde{n}} = 100$



Наращивание разрядности реверсивного
двоичного счетчика

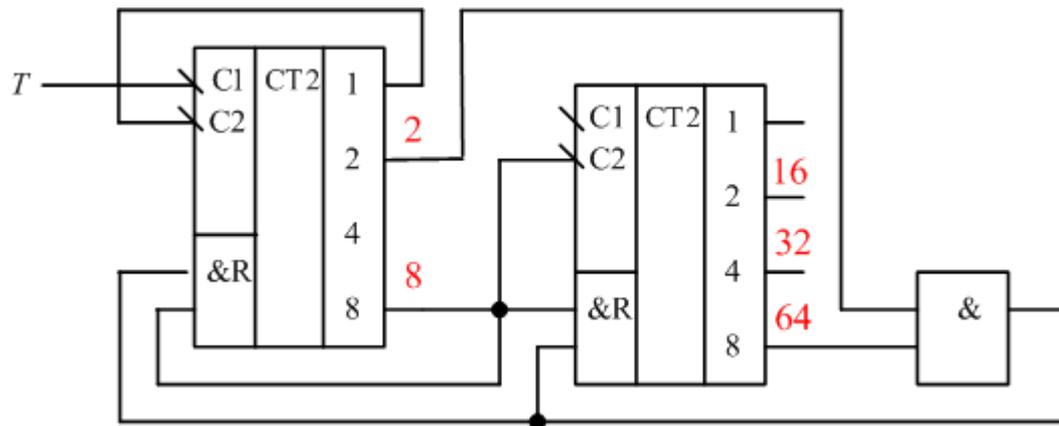
Примеры.

Пример 1: Определение коэффициент пересчета счетчика.



**Правильный ответ
для примера 1: 42**

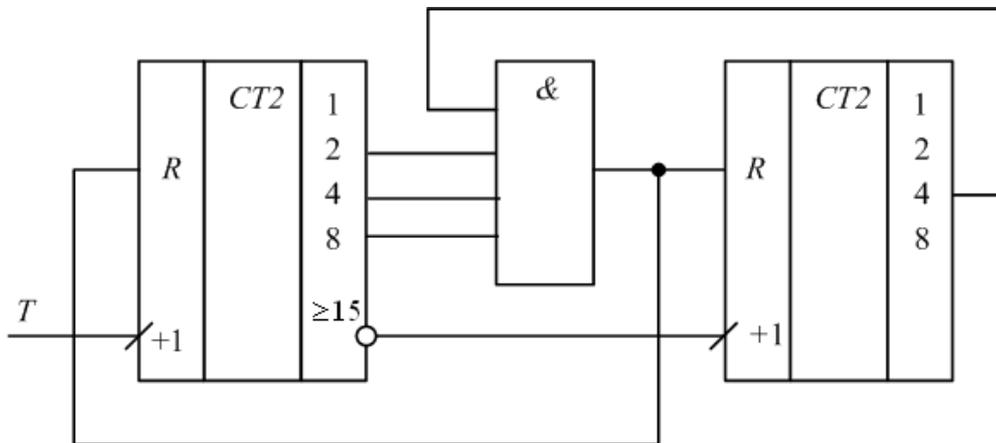
Пример 2: Определение коэффициент пересчета счетчика.



**Правильный ответ
для примера 2: 74**

Задание.

Задание 1: Определите коэффициент пересчета счетчика.



Цифровой делитель частоты.

Правильный ответ для задания 1: 78

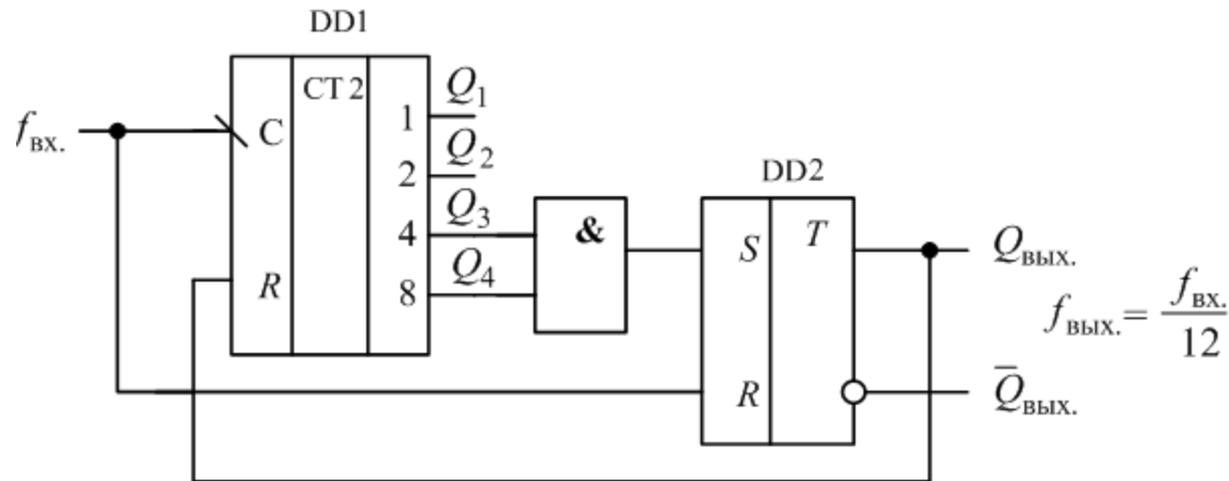
Цифровой делитель частоты представляет собой последовательностное цифровое устройство, на выходе которого формируется периодическая последовательность импульсов с частотой $f_{\text{вых}} = \frac{f_{\text{вх}}}{k_{\text{дел}}}$, где $f_{\text{вх}}$ – частота периодической последовательности импульсов на входе, а $k_{\text{дел}}$ – коэффициент деления частоты.

Реализация цифровых делителей частоты основана на применении цифровых счетчиков, у которых $k_{\text{дел}} = k_{\text{сч}} = 2^n$. При этом последовательность смены состояний может быть произвольной, важно лишь обеспечить требуемый коэффициент пересчета счетчика. Наиболее просто реализуются делители частоты с коэффициентами деления $k_{\text{дел}} = 2^n$, где n – произвольное натуральное число, поскольку на выходе k -го разряда двоичного счетчика частота следования импульсов связана с частотой $f_{\text{вх}}$ тактовых импульсов соотношением

$$f_{\text{вых},k} = \frac{f_{\text{вх}}}{2^n}.$$

Цифровой делитель частоты.

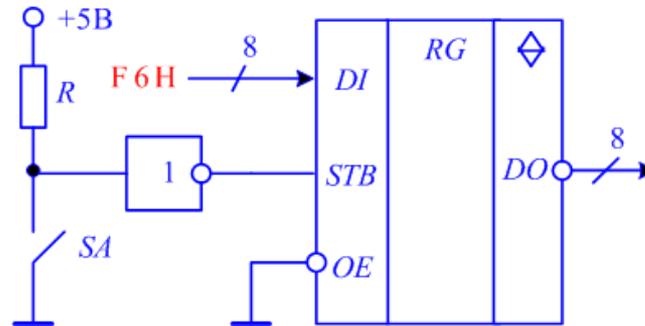
Для построения делителей частоты с коэффициентом деления $k_{\text{д}} \neq 2^n$ необходимо синтезировать счетчик с произвольным коэффициентом пересчета.



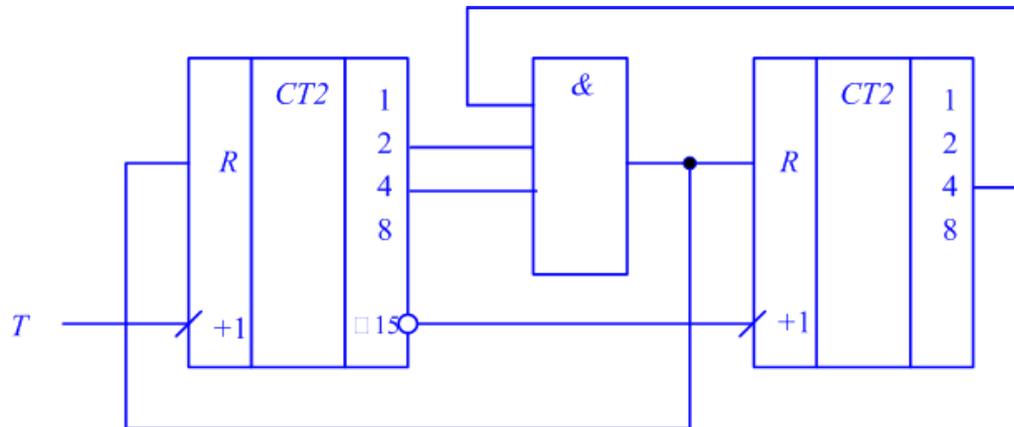
Функциональная схема делителя частоты с коэффициентом деления $k_{\text{д}} = 12$.

Вопросы для самоконтроля

1. Определите восьмиразрядное слово на выходе регистра памяти после замыкания ключа.

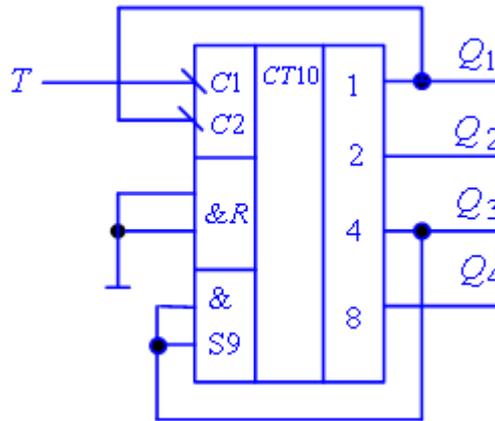


2. Определите коэффициент пересчета счетчика.



Вопросы для самоконтроля

3. Определите уровни сигналов $Q_4 Q_3 Q_2 Q_1$ на выходах предварительно обнуленного счетчика после подачи на его вход 100 импульсов.



4. Определите уровни сигналов на выходах восьмиразрядного суммирующего двоичного счетчика после поступления на его вход 28 импульсов, если счетчик находился в 148 состоянии.
5. Определите уровни сигналов на выходах восьмиразрядного вычитающего двоичного счетчика после поступления на его вход 70 импульсов, если счетчик находился в 142 состоянии.

Рекомендуемая литература

1. **Легостаев Н.С.** Микроэлектроника: учебное пособие / Н.С. Легостаев, К.В. Четвергов. – Томск: Эль Контент, 2013. – 172 с. ISBN 978-5-4332-0073-9
2. **Легостаев Н.С.** Микроэлектроника: методические указания по изучению дисциплины / Н.С. Легостаев, К.В. Четвергов. – Томск: факультет дистанционного обучения, ТУСУР, 2012. – 90 с.
3. **Легостаев Н.С.** Микроэлектроника: слайды / Н.С. Легостаев, К.В. Четвергов. – Томск: факультет дистанционного обучения, ТУСУР, 2012. – 303 слайда.

Тема следующего занятия «Основные схемотехнические структуры цифровой интегральной микроэлектроники».

Для подготовки к занятию изучите материал, представленный в разделах 7.1 «Базовые логические элементы транзисторно-транзисторной логики» и раздел 7.2 «Базовые логические элементы на комплементарных МДП-транзисторах» учебного пособия по дисциплине «Микроэлектроника».

Спасибо за внимание